

# ارزیابی عملکرد آنالوگ و پارامترهای اثر کانال کوتاه روی ترانزیستور اثر میدان بر پایه عایق توپولوژیک

مهران ولی<sup>۱</sup>، دانشجوی دکترا؛ داریوش دیدبان<sup>۲</sup>، استادیار؛ نگین معزی<sup>۳</sup>، استادیار

۱- گروه مهندسی نانو الکترونیک - پژوهشکده علوم و فناوری نانو - دانشگاه کاشان - کاشان - ایران - mehran.vali@grad.kashanu.ac.ir

۲- دانشکده مهندسی برق و کامپیوتر - دانشگاه کاشان - کاشان - ایران - dideban@kashanu.ac.ir

۳- دانشگاه فنی و حرفه‌ای - کاشان - ایران - n.moezi@tvu.ac.ir

**چکیده:** در راستای ارزیابی مواد جدید برای طراحی و شبیه سازی ترانزیستورهای اثر میدان در ابعاد نانومتری، در این مقاله ویژگی‌های الکترونیکی ترانزیستور اثر میدان بر پایه عایق توپولوژیک شبیه‌سازی و بررسی می‌گردد. از آنجا که گپ انرژی در ناحیه کانال این ترانزیستور با استفاده از میدان مغناطیسی عمود قابل تنظیم می‌باشد، ابتدا با رسم نمودار جریان بر حسب ولتاژ گیت به‌ازای مقادیر مختلف میدان مغناطیسی عمود، مشخصه‌های جریان مستقیم (*DC Characteristics*) همچون نسبت جریان روشن به جریان خاموش و ولتاژ آستانه (*Threshold voltage*) و عوامل مؤثر بر این پارامترها تجزیه و تحلیل می‌گردد. سپس برای ارزیابی اثرات کانال کوتاه، دو پارامتر نوسان زیرآستانه (*subthreshold slope*) و میزان تنزل سد القاشده ناشی از ولتاژ درین (*DIBL*) مورد بررسی قرار می‌گیرد. نتایج به‌دست‌آمده برای (*subthreshold slope*) و (*DIBL*) به‌ازای مغناطش  $m = 1$  به ترتیب مقادیر  $8.24 \text{ mV/dec}$  و  $0.064$  را نشان می‌دهد که برای کاربردهای ترانزیستوری بسیار مناسب می‌باشد. در نهایت مشخصه‌های آنالوگ (*Analog Characteristics*) ترانزیستور شبیه‌سازی شده، همچون ترانسانایی (*Transconductance*)، هدایت خروجی (*Output conductance*)، مقاومت خروجی (*Output resistance*) و بهره ولتاژ (*Gain*) به‌دست‌آمده و عوامل مؤثر بر این پارامترها مورد ارزیابی قرار می‌گیرد.

**واژه‌های کلیدی:** ترانزیستور اثر میدان، عایق توپولوژیک، نسبت جریان روشن به جریان خاموش، ولتاژ آستانه، اثرات کانال کوتاه، نوسان زیرآستانه، مشخصه‌های آنالوگ، ترانسانایی، هدایت خروجی، مقاومت خروجی، بهره ولتاژ.

## Evaluation of Analog Performance and Short Channel Effect Parameters on Field Effect Transistor based on Topological Insulations

M. Vali<sup>1</sup>, PhD student; D. Dideban<sup>2</sup>, Assistant professor; N. Moezi<sup>3</sup>, Assistant professor

<sup>1</sup> Institute of Nanoscience and Nanotechnology, University of Kashan, Kashan, Iran, Email: mehran.vali@grad.kashanu.ac.ir

<sup>2</sup> Department of Electrical and Computer Engineering, University of Kashan, Kashan, Iran, Email: dideban@kashanu.ac.ir

<sup>3</sup> Technical and Vocational University, Kashan, Iran, Email: n.moezi@tvu.ac.ir

**Abstract:** In this paper, in order to evaluate new materials for design and simulation of the field effect transistors in nano dimensions, we simulate and investigate the electronic properties of a field effect transistor based of topological insulator. Since the energy gap in the channel region of this transistor is adjustable by a perpendicular magnetic field, first by obtaining the transfer characteristics, we analyze the DC characteristics such as  $I_{on}/I_{off}$  ratio and the threshold voltage. Moreover, we evaluate the short channel effects (SCEs) including subthreshold slope (SS) and drain induced barrier lowering (DIBL). The obtained results for (SS) and (DIBL) for  $m=1$  show the values of  $8.24 \text{ mV/dec}$  and  $0.064$ , respectively, which are very suitable for transistor applications. Finally we achieve the analog characteristics of the simulated field effect transistor such as transconductance, output conductance, output resistance and voltage gain and study the parameters affecting these figures of merits.

**Keywords:** Field effect transistor, topological insulator,  $I_{on}/I_{off}$  ratio, threshold voltage, short channel effects, subthreshold slope, analog characteristics, transconductance, output conductance, output resistance, voltage gain.

تاریخ ارسال مقاله: ۱۳۹۶/۶/۱۸

تاریخ اصلاح مقاله: ۱۳۹۶/۸/۲۲ و ۱۳۹۶/۱۲/۱۱

تاریخ پذیرش مقاله: ۱۳۹۷/۶/۲۱

نام نویسنده مسئول: داریوش دیدبان

نشانی نویسنده مسئول: ایران - کاشان - بلوار قطب راوندی - دانشگاه کاشان - دانشکده مهندسی برق و کامپیوتر.

## ۱- مقدمه

ساختار نواری آن بدون گپ انرژی است. در ناحیه کانال به واسطه ماده فرومغناطیس لایه‌نشانی شده، در اثر مجاورت میدان مغناطیسی با مغناطش عمود باعث باز شدن گپ انرژی در ساختار نواری عایق توپولوژیک می‌شود. برای اعمال ولتاژ گیت بر روی این ناحیه یک لایه گیت فلزی در نظر گرفته شده است. بنابراین کانال از جنس عایق توپولوژیک ولی گیت از جنس فلز در نظر گرفته شده است. از آنجا که هدف ما بررسی پارامترهای جریان مستقیم و عملکرد آنالوگ ترانزیستور در ابعاد چند نانومتری می‌باشد، ابتدا منحنی مشخصه جریان بر حسب ولتاژ گیت رسم گردیده و پارامترهای تعیین کننده خواص ترانزیستوری همچون نسبت جریان روشن به خاموش، ولتاژ آستانه و همچنین به دلیل اهمیت اثرات کانال کوتاه پارامترهای نوسان زیرآستانه (*Subthreshold slope*) و (*DIBL*) مورد بررسی قرار می‌گیرد. سپس از دیدگاه کاربردهای آنالوگ، ترانزیستور شبیه‌سازی شده بررسی می‌گردد. از این‌رو بهره ولتاژ که یک پارامتر مهم در کاربردهای فرکانس رادیویی می‌باشد نیز تحلیل می‌گردد. برای این کار لازم است ابتدا ترانسکانایی (*Transconductance*) و هدایت خروجی (*Output conductance*) به‌زای پارامترهای مختلف از جمله طول کانال و اندازه مغناطش عمود بررسی شود. همچنین مقاومت خروجی (*Output resistance*) که یک پارامتر آنالوگ می‌باشد ارزیابی می‌گردد.

## ۲- مدل نظری و روش محاسباتی

ساختاری را که در ادامه توضیح داده خواهد شد پیش‌تر در مرجع [۱۳] به‌عنوان یک ترانزیستور اثر میدان بر پایه عایق توپولوژیک شبیه‌سازی گردیده و منحنی مشخصه‌های جریان بر حسب ولتاژ گیت و جریان بر حسب ولتاژ درین و عوامل مؤثر بر این نتایج بررسی گردیده‌اند. شکل ۱ ساختار ترانزیستور اثر میدان شبیه‌سازی شده بر پایه عایق توپولوژیک را به‌صورت طرح‌واره نشان می‌دهد. همانطور که در شکل دیده می‌شود یک نوار باریک از یک عایق فرومغناطیس مثل *EuO* به پهنای  $d$  بر روی سطح عایق توپولوژیک در صفحه  $(x-y)$  نشانده شده است تا خاصیت مغناطیسی را با استفاده از اثر مجاورت در بازه  $0 < x < d$  القا کند. با توجه به اینکه عایق توپولوژیک دارای حالت‌های رسانندگی در سطح بوده و در حجم خواص عایقی دارند، ضخامت عایق توپولوژیک در محاسبات وارد نمی‌شود. ضمناً ضخامت عایق فرومغناطیس زیر گیت و ضخامت دی اکسید سیلیکان (*SiO2*) ثابت و برابر ۱۰ نانومتر در نظر گرفته شده‌اند. لایه‌های عایق توپولوژیک غیر مغناطیسی در چپ و راست ناحیه فرومغناطیس به اتصال‌های از جنس طلا که سورس و درین می‌باشند متصل است. گیت فلزی که بر روی ناحیه

در ترانزیستورهای اثر میدان فلز، اکسید، نیم‌رسانا (*MOSFET*)، زمانی که ابعاد کاهش می‌یابد، در ابعاد چند ده نانومتر اثرات کانال کوتاه (*Short channel effects*) و جریان نشتی (*current leakage*) افزایش می‌یابد [۴-۱]. از این‌رو تلاش‌ها برای یافتن روش‌های جدید و مواد جایگزین برای طراحی و شبیه‌سازی ترانزیستورهای اثر میدان در ابعاد چند نانومتری افزایش یافت [۵]. یکی از مواد جدیدی که اخیراً شناسایی شده است عایق‌های توپولوژیک می‌باشند. عایق‌های توپولوژیک حالت‌های جدیدی از ماده کوانتومی هستند که به دلیل ویژگی‌های منحصر به فرد الکترونیکی و تراپردی که سطح این مواد از خود نشان می‌دهند توجه بسیاری را به خود جلب کرده‌اند و یکی از مواد بالقوه برای توسعه قطعات الکترونیکی نانومتری از جمله ترانزیستورهای اثر میدان می‌باشند [۶، ۷]. در عایق‌های توپولوژیک همانند گرافن، به دلیل خطی بودن نمودار پاشندگی انرژی در اطراف نقطه دیراک، حاملین بار بر روی سطح عایق‌های توپولوژیک فرمیون‌های بدون جرم دیراک می‌باشند و بنابراین خواص تراپردی حاملین بار روی سطح عایق‌های توپولوژیک متفاوت از خواص تراپردی حاملین بار در ساختارهای بر پایه فلزها و نیم‌رساناهای معمولی است. در عایق‌های توپولوژیک، حاملین بار با انرژی پایین که دارای سرعت فرمی (معادل سرعت نور است) می‌باشند با معادله دیراک بدون جرم توصیف می‌شوند [۸، ۹].

گپ انرژی صفر در نمودار پاشندگی عایق‌های توپولوژیک باعث کاهش جریان خاموش و در نتیجه افت نسبت جریان روشن به خاموش می‌شود. یکی از ویژگی‌های منحصر به فرد عایق‌های توپولوژیک این است که با قراردادن یک لایه عایق فرومغناطیس روی سطح عایق توپولوژیک می‌توان خاصیت فرومغناطیسی را روی سطح عایق توپولوژیک القا کرد. از طرفی مشاهده شده است که برخلاف گرافن، انتقال فرمیون‌های دیراک روی سطح عایق‌های توپولوژیک به جهت مغناطش وابسته است. مولفه‌های مغناطش مماس با سطح عایق توپولوژیک، موقعیت سطح فرمی الکترون‌ها را جابه‌جا می‌کند. در حالی که مؤلفه مغناطش عمود بر سطح عایق توپولوژیک موجب القا یک گپ انرژی در طیف انرژی خطی حالت‌های سطحی عایق توپولوژیک می‌شود [۱۰].

در این مقاله، با بهره‌گیری از خواص الکترونیکی عایق‌های توپولوژیک، با استفاده از حل معادله دیراک و با روش ماتریس انتقال [۱۱، ۱۲] شبیه‌سازی یک ترانزیستور اثر میدان بر پایه عایق توپولوژیک بررسی می‌گردد. بستر مورد نظر در نواحی مختلف ترانزیستور شبیه‌سازی شده عایق توپولوژیک می‌باشد که

سورس که به ازای  $x < 0$  می‌باشد، به زمین متصل شده و پتانسیل این ناحیه صفر است. به ناحیه کانال یک ولتاژ ناشی از گیت قرار گرفته بر روی این ناحیه اعمال می‌شود. از طرفی به دلیل پتانسیل ناشی از ولتاژ درین، سد ناشی از ولتاژ گیت از ناحیه سورس می‌شکند. از این رو سد پتانسیل ناحیه کانال که ناشی از ولتاژ گیت و ولتاژ درین است به صورت تعداد زیادی لایه نازک با پتانسیل ثابت در نظر گرفته می‌شود. از طرفی به ناحیه سمت راست ناحیه کانال ولتاژ درین اعمال شده است.

با نشانیدن یک ماده فرومغناطیس با مغناطش عمود بر صفحه  $(X-Y)$  روی سطح عایق توپولوژیک، در اثر مجاورت یک گپ انرژی در ساختار نواری عایق توپولوژیک باز می‌شود که این گپ انرژی با تغییر اندازه میدان مغناطیسی عمود قابل کنترل است. از آنجا که افزایش گپ انرژی در ناحیه کانال منجر به افت بیشتر جریان خاموش می‌شود، در تحقیق حاضر با در نظر گرفتن این پدیده در ناحیه کانال ترانزیستور شبیه‌سازی شده یک لایه فرومغناطیس بر روی سطح عایق توپولوژیک در نظر گرفته شده است تا بتوان در ناحیه کانال، گپ انرژی قابل کنترل داشت. از این رو برای بررسی اثر تغییر طول کانال روی نتایج، نمودار تغییرات ترانسپانسیب بر حسب ولتاژ گیت به ازای مقادیر مختلف طول ناحیه کانال مورد بررسی قرار گرفته است.

در این روش محاسباتی، ناحیه سد فرومغناطیس به تعداد زیادی نوار باریک با پهنای یکسان تقسیم می‌شود. به گونه‌ای که در هر باریک  $z$  با مختصات  $x_j$  پتانسیل مؤثر به صورت تقریبی برابر با مقدار ثابت  $V_g - V_{ds}x_j/d$  می‌باشد. در ناحیه چپ به ازای  $x < 0$  و در ناحیه راست به ازای  $x > d$  با حل هامیلتونی رابطه (۱) توابع موج به صورت زیر به دست می‌آید:

$$\psi_{x < 0} = \begin{pmatrix} 1 \\ e^{i\theta_1} \end{pmatrix} e^{ik_1x} + r \begin{pmatrix} 1 \\ -e^{-i\theta_1} \end{pmatrix} e^{-ik_1x}$$

$$\psi_{x > d} = t \begin{pmatrix} 1 \\ e^{i\theta_2} \end{pmatrix} e^{ik_2x} \quad (۴)$$

در این روابط  $k_1 = E \cos \theta_1$  و  $k_2 = (E + V_{ds}) \cos \theta_2$  مولفه‌های  $x$  بردار موج الکترون با انرژی  $E$  به ترتیب در نواحی سورس و درین هستند.

تابع موج در  $z$  امین باریکه ناحیه فرومغناطیس مطابق رابطه زیر می‌باشد:

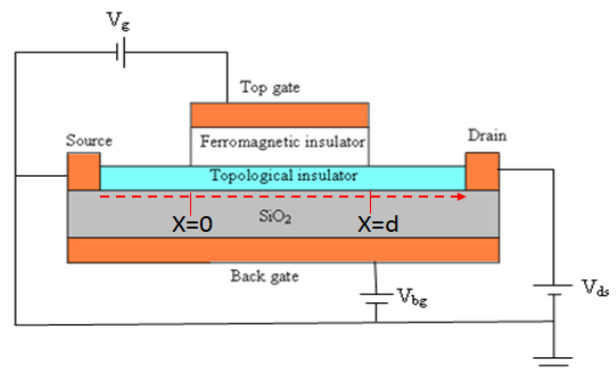
$$\psi_j = a_j \begin{pmatrix} 1 \\ A_j e^{i\theta_j} \end{pmatrix} e^{ik_jx} + b_j \begin{pmatrix} 1 \\ -A_j e^{-i\theta_j} \end{pmatrix} e^{-ik_jx} \quad (۵)$$

که در این رابطه:

عایق فرومغناطیس قرار دارد منجر به شکل گیری یک سد پتانسیل در ناحیه کانال فرومغناطیس روی سطح عایق توپولوژیک می‌شود و جریان شارش یافته در داخل قطعه از سورس به درین را کنترل می‌کند. ولتاژ گیت ناشی از گیت پشتی به هر سه ناحیه به طور یکسان اعمال می‌شود و باعث هم‌تراز شدن سطوح انرژی فرمی در سه ناحیه می‌شود. اما اعمال ولتاژ گیت بالایی باعث تغییر در تراز فرمی ناحیه کانال و تشکیل سد پتانسیل در این ناحیه می‌شود که با تنظیم مقدار آن، جریان در ترانزیستور کنترل می‌شود. از آنجا که در مرجع [۱۳] به صورت پایه‌ای یک ترانزیستور عایق توپولوژیک شبیه‌سازی گردیده و در کار حاضر برخی پارامترهای الکترونیکی و اثرات کانال کوتاه آن مورد استخراج و بررسی قرار گرفته است، در محاسبات حال حاضر نیز مانند قبل ماده زیر گیت که از جنس  $EuO$  می‌باشد با ثابت دی‌الکتریک  $23/9$  در نظر گرفته شده است. گیت فلزی زیر قطعه، انرژی فرمی و یا به عبارت دیگر چگالی حاملین بار در نواحی مختلف ترانزیستور را کنترل می‌کند. حرکت یک الکترون در این ساختار با استفاده از هامیلتونی زیر توصیف می‌شود [۱۴، ۱۵]:

$$H = v_F \bar{p} \cdot \bar{\sigma} + \bar{m} \cdot \bar{\sigma} + V(x) \quad (۱)$$

در این رابطه  $\bar{p}$  عملگر اندازه حرکت در داخل صفحه  $(x-y)$ ،  $\bar{\sigma}$  بردار ماتریس پائولی،  $v_F$  سرعت فرمی و  $\bar{m} = m \hat{z}$  مغناطش اعمال شده با استفاده از اثر مجاورت می‌باشد.



شکل ۱. طرح‌واره ترانزیستور اثر میدان بر پایه عایق

پتانسیل مؤثر در سراسر ساختار با استفاده از رابطه زیر تعریف

می‌شود:

$$V(x) = \begin{cases} 0 & \text{for } x < 0 \\ V_g - V_{ds}x/d & \text{for } 0 < x < d \\ -V_{ds} & \text{for } x > d \end{cases} \quad (۲)$$

که در این رابطه  $V_{ds}$  ولتاژ درین-سورس اعمال شده به ناحیه درین و  $V_g$  ولتاژ گیت اعمال شده است. در ترانزیستور شبیه‌سازی شده سه ناحیه سورس و کانال و درین در نظر گرفته شده است. ناحیه

استفاده شده است که مطابق رابطه (۱۱) می‌باشد. در بخش ۳ نتایج به دست آمده از ترانزیستور شبیه‌سازی شده بر پایه عایق توپولوژیک ارائه و مورد تجزیه و تحلیل قرار می‌گیرد. لازم به ذکر است این نتایج با استفاده از کدنویسی در نرم‌افزار متلب به دست آمده است.

### ۳- نتایج و بحث

در این بخش ویژگی‌های الکترونیکی ترانزیستور اثر میدان بر پایه عایق توپولوژیک بررسی می‌گردد. از این رو ابتدا در زیربخش ۱-۳ مشخصه‌های جریان مستقیم (*DC Characteristics*) از جمله نسبت جریان روشن به جریان خاموش، ولتاژ آستانه (*Threshold voltage*)، نوسان زیر آستانه (*subthreshold slope*)، تنزل سد القا شده ناشی از ولتاژ درین (*DIBL*) و عوامل مؤثر بر این پارامترها بررسی می‌گردند. سپس در زیربخش ۲-۳ مشخصه‌های آنالوگ همچون ترانسانایی (*Transconductance*)، هدایت خروجی (*Output conductance*)، مقاومت خروجی (*Output resistances*) و بهره ولتاژ (*Gain*) برای این ترانزیستور به دست می‌آیند و عوامل مؤثر بر این پارامترها ارزیابی می‌گردند.

#### ۳-۱- مشخصه‌های جریان مستقیم

برای راحتی در محاسبات، با استفاده از یک طول پایه  $a$  و انرژی پایه  $E_0 = \hbar v_F / a$ ، همه کمیت‌ها به صورت بدون بعد ارائه می‌شوند. برای ماده  $\text{Bi}_2\text{Se}_3$  با سرعت فرمی  $v_F = 1.2 \times 10^5 \text{ m/s}$  و طول پایه  $a = 20 \text{ nm}$  مقدار انرژی پایه برابر  $E_0 = 20.4 \text{ meV}$  می‌باشد [۲۰]. شکل ۲ نمودار جریان بر حسب ولتاژ گیت را برای ترانزیستور اثر میدان بر پایه عایق توپولوژیک بین دو وضعیت جریان روشن و خاموش برای انرژی فرمی پایه  $E_F = 2/5$ ، ولتاژ بایاس درین-سورس  $V_{ds} = 0.12$ ، طول کانال  $d = 3$  (معادل  $60 \text{ nm}$ ) و به‌ازای مقادیر مختلف مغناطش عمود نشان می‌دهد.

$$A_j = \frac{E - V_g + V_{ds} x_j / d - m}{\sqrt{(E - V_g + V_{ds} x_j / d)^2 - m^2}} \quad (6)$$

$$k_j = \sqrt{(E - V_g + V_{ds} x_j / d)^2 - m^2} \quad (7)$$

$\theta_1$  و  $\theta_2$  به ترتیب زاویه فرودی الکترون‌ها در ناحیه لید چپ و لید راست است و  $\theta_j$  زاویه فرودی الکترون‌ها در باریکه  $j$  ام ناحیه کانال فرومغناطیس می‌باشد. با استفاده از بقای مؤلفه  $y$  اندازه حرکت در فصل مشترک نواحی مختلف که ناشی از بقای وارونی انتقال در جهت  $y$  در هر ناحیه است، زوایای  $\theta_2$  و  $\theta_j$  را می‌توان بر حسب زاویه فرودی  $\theta_1$  به صورت زیر روابط بیان کرد:

$$\theta_2 = \arcsin\left(\frac{E \sin \theta_1}{E + V_{ds}}\right) \quad (8)$$

$$\theta_j = \arcsin\left(\frac{E \sin \theta_1}{E - V_g + V_{ds} x_j / d}\right) \quad (9)$$

با اعمال پایستگی توابع موج در مرز نواحی مختلف و با استفاده از روش ماتریس انتقال، احتمال عبور مطابق رابطه زیر به دست می‌آید [۱۶، ۱۷]:

$$T(E, V_{ds}, \theta_1) = \frac{\cos \theta_2}{\cos \theta_1} |t|^2 \quad (10)$$

در روش ماتریس انتقال، دامنه موج فرودی و بازتابی الکترون‌ها در هر ناحیه به صورت ماتریسی در نظر گرفته می‌شود. با در نظر گرفتن رابطه بین ماتریس مولفه‌های نواحی مجاور در سرتاسر ساختار، می‌توان معادله بین ماتریس مولفه‌ها را از ناحیه سورس تا درین به صورت زیر به دست آورد [۱۶]:

$$\begin{pmatrix} 1 \\ r \end{pmatrix} = M \begin{pmatrix} t \\ 0 \end{pmatrix} \quad (11)$$

که در این رابطه ماتریس انتقال به دست آمده مطابق رابطه زیر می‌باشد [۱۷، ۱۸]:

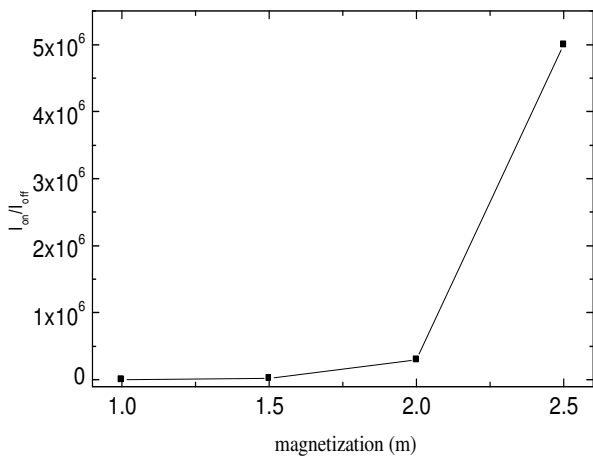
$$M = \prod_j M_j^{-1}(x_j) M_{j+1}(x_j) \quad (12)$$

در این رابطه  $M_j(x_j)$  ماتریس انتقال بین  $j$  امین و  $j+1$  امین باریکه در ناحیه فرومغناطیس و در موقعیت  $x_j$  می‌باشد.

پس از تعیین احتمال عبور، جریان در دمای صفر درجه را می‌توان مطابق فرمول بندی لاندائوئر-بوتیکر طبق رابطه زیر محاسبه کرد [۱۶، ۱۹]:

$$I = I_0 \int_{E_F - V_{ds}}^{E_F} \int_{-\pi/2}^{\pi/2} T(E, V_{ds}, \theta_1) |E| \cos \theta_1 d\theta_1 dE \quad (13)$$

در این رابطه زوایای  $\theta_2$  و  $\theta_j$  باید بین  $-\frac{\pi}{2}$  تا  $\frac{\pi}{2}$  در نظر گرفته شود تا تمام زوایای فرودی را شامل شود. در رابطه (۱۳) جریان بر حسب احتمال عبور (رابطه ۱۰) به دست می‌آید. همانطور که در رابطه (۱۰) ملاحظه می‌شود احتمال عبور  $T$  بر حسب دامنه عبور  $t$  به دست می‌آید. برای محاسبه دامنه عبور از روش ماتریس انتقال



شکل ۳. نسبت جریان روشن به خاموش بر حسب تغییرات

به علاوه محاسبات انجام شده نشان می دهد که با افزایش اندازه مغناطش، نوسان زیرآستانه (SS) کاهش می یابد. نوسان زیرآستانه (SS)، یک پارامتر مهم در ترانزیستورهای اثر میدان می باشد که مطابق رابطه زیر به دست می آید [۲۲، ۱]:

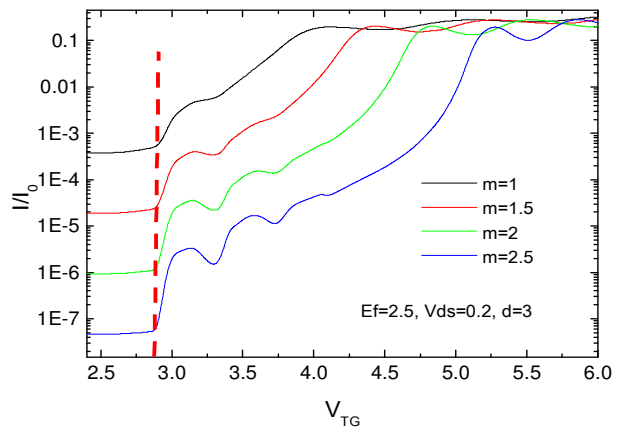
$$SS = dV_g / d \log(I/I_0) \quad (14)$$

این پارامتر عبارت است از مقدار ولتاژ گیت لازم برای افزایش یک واحد در جریان زیرآستانه و هر چه این پارامتر کوچک تر باشد مطلوب تر است، زیرا به ترانزیستور اجازه می دهد تا در انرژی های خیلی پایین عمل کند. جدول ۱ مقادیر اندازه گیری شده نوسان زیرآستانه (SS) برای مغناطش های مختلف را نشان می دهد. مشاهده می شود که مقادیر به دست آمده کوچک تر از مقدار متوسط در ترانزیستورهای اثر میدان فلز-اکسید-نیم رسانای معمولی می باشد که برابر با ۶۰ mV/decade است. در نتیجه این موضوع منجر به بهبود رفتار سوئیچ زنی به حالت خاموش در ترانزیستور بر پایه عایق توپولوژیک نسبت به ترانزیستورهای اثر میدان معمولی می شود.

پارامتر دیگری که برای ترانزیستور شبیه سازی شده مورد بررسی قرار می گیرد (DIBL) می باشد. این پارامتر عبارت است از نسبت تغییرات ولتاژ آستانه به تغییرات ولتاژ بایاس درین-سورس که مطابق رابطه زیر به دست می آید [۲۳]:

$$DIBL = \frac{V_{TH2} - V_{TH1}}{V_2 - V_1} \quad (15)$$

در این رابطه به ترتیب  $V_{TH1}$  و  $V_{TH2}$  ولتاژ آستانه به ازای ولتاژ بایاس درین-سورس  $V_1$  و  $V_2$  می باشد. جدول ۱ نتیجه محاسبه (DIBL) بین ولتاژ بایاس های  $V_1=0.1$  و  $V_2=1.5$  به ازای مقادیر مختلف مغناطش را نشان می دهد. مشاهده می شود که با افزایش مغناطش مقادیر (DIBL) افزایش می یابد. با این حال نتایج به دست آمده نشان می دهد که این مقادیر نسبت به مقادیر متناظر



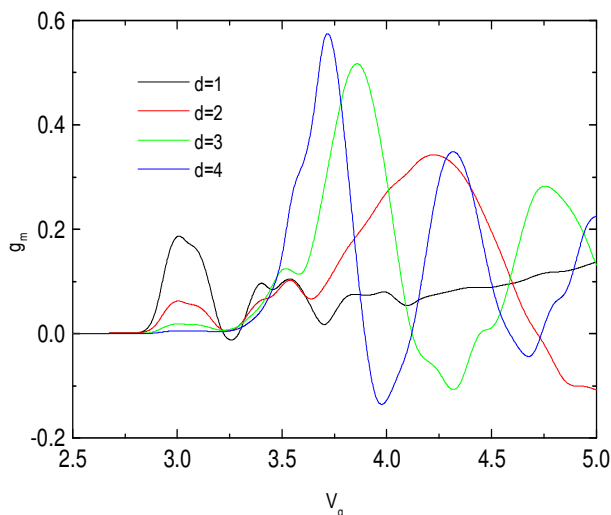
شکل ۴. نمودار جریان بر حسب ولتاژ گیت برای ترانزیستور اثر میدان عایق توپولوژیک بین دو وضعیت جریان روشن و خاموش برای مقادیر مختلف مغناطش عمود.

همانطور که در شکل با خط چین مشخص شده است، ولتاژ آستانه برای همه منحنی ها تقریباً برابر با  $V_g \approx 1.87$  می باشد که بیانگر این است که ولتاژ آستانه مستقل از اندازه مغناطش عمود است. در مرجع [۲۱] نویسندگان کاربردهای منطقی در ترانزیستور اثر میدان تونلی دوگیتی بدون پیوند را مورد بررسی قرار داده اند. آن ها دریافتند که اندازه ولتاژ آستانه وابسته به اختلاف تابع کار (work function) ماده کانال و فلز گیت می باشد که مربوط به ویژگی های جنس ماده کانال و فلز گیت است. در اینجا نیز در شکل ۲ به ازای تغییر اندازه مغناطش، برای همه منحنی ها جنس کانال و فلز گیت تغییر نمی کند.

در ادامه برای ارزیابی اثرات کانال کوتاه در ترانزیستور اثر میدان بر پایه عایق توپولوژیک شبیه سازی شده، تغییرات نوسان زیر آستانه (SS) و میزان تنزل سد القاشده ناشی از ولتاژ درین (DIBL) مورد بررسی قرار می گیرد. همانطور که در شکل ۲ مشاهده می شود، تأثیر تغییرات مغناطش بر جریان روشن ناچیز است در حالی که با افزایش مغناطش عمود به دلیل افزایش گپ انرژی در ناحیه کانال، جریان خاموش افت بیشتری می یابد که این موضوع دو مشخصه مهم در عملکرد ترانزیستور را تحت تأثیر قرار می دهد. شکل ۳ نمودار تغییرات جریان روشن به جریان خاموش را به ازای مقادیر مختلف مغناطش عمود نشان می دهد. مشاهده می شود که با افزایش مغناطش عمود، نسبت جریان روشن به جریان خاموش که یک پارامتر مهم در کاربردهای دیجیتال است افزایش می یابد و به ازای  $m=2$  اندازه آن از مقدار  $10^4$  که مقدار مناسبی برای کاربردهای ترانزیستوری در انرژی های پایین می باشد عبور می کند.

همانطور که مشاهده می‌شود، با افزایش ولتاژ گیت ابتدا ترانسانایی برای همه منحنی‌ها مقدار ناچیزی دارد. سپس با افزایش بیشتر مقدار ولتاژ گیت، ابتدا منحنی مربوط به مغناطش  $m=1$  شروع به افزایش می‌کند و بعد از آن منحنی‌های ترانسانایی بعدی به ترتیب افزایش مقادیر مغناطش، افزایش می‌یابند. مقادیر ناچیز ترانسانایی در منحنی‌ها به‌ازای مقادیر مختلف مغناطش، مربوط به ناحیه قبل از جریان روشن منحنی‌های متناظر در نمودار جریان برحسب ولتاژ گیت شکل ۲ می‌باشد و به‌ازای ولتاژ گیتی که جریان روشن می‌شود ترانسانایی به مقدار بیشینه خود می‌رسد. همان‌طور که مشاهده می‌شود با افزایش مغناطش مقدار ترانسانایی بیشینه افزایش می‌یابد، به‌طوری‌که به‌ازای مغناطش  $m=2/5$  بیشترین مقدار ترانسانایی به دست می‌آید. بنابراین افزایش مغناطش منجر به دستیابی به مقادیر بزرگ‌تر ترانسانایی و کاربرد آنالوگ بهتر می‌شود.

حال برای بررسی اثر تغییر طول کانال بر مشخصه‌های آنالوگ، رفتار ترانسانایی ( $g_m$ ) به‌ازای تغییرات طول کانال مورد توجه قرار می‌گیرد. شکل ۵ نمودار ترانسانایی ( $g_m$ ) برحسب ولتاژ گیت را برای طول کانال‌های مختلف نشان می‌دهد. همه طول‌ها نسبت به مقدار پایه  $a=20\text{nm}$  نرمالیزه شده‌اند. مشاهده می‌شود که ترانسانایی ( $g_m$ ) به طول کانال حساس است و با افزایش طول کانال ترانسانایی ( $g_m$ ) افزایش می‌یابد. اما با ادامه افزایش طول کانال میزان حساسیت ترانسانایی ( $g_m$ ) به طول کانال کم می‌شود، به طوری که در شکل ۵ مشاهده می‌شود که با افزایش طول کانال فاصله بین بیشینه منحنی‌ها کم می‌شود.



شکل ۵. نمودار ترانسانایی ( $g_m$ ) برحسب ولتاژ گیت به‌ازای  $m=1$  برای طول کانال‌های مختلف.

برای ترانزیستورهای اثر میدان برپایه سیلیکن بسیار کوچک‌تر می‌باشد.

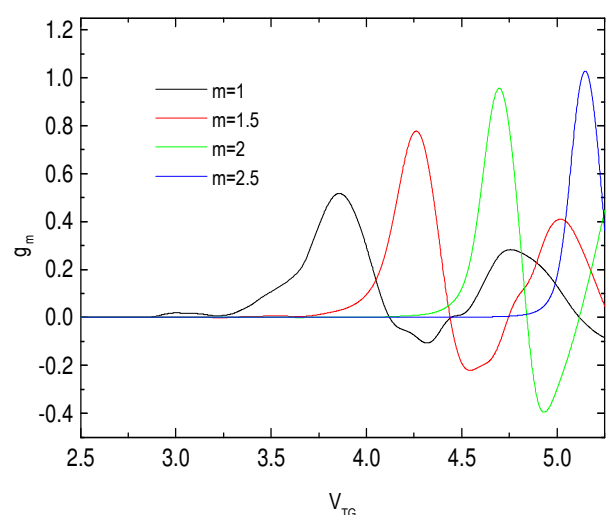
جدول ۱. مقادیر SS و DIBL به‌ازای مقادیر مختلف

	SS(mV/dec)	DIBL
$m=1$	۸/۲۴	۰/۰۶۴
$m=1/5$	۵/۶۱	۰/۱۶۱
$m=2$	۳/۸۵	۰/۳۲۲
$m=2/5$	۲/۸۱	۰/۵۸۰

### ۲-۳- مشخصه‌های آنالوگ

اکنون ترانزیستور اثر میدان شبیه‌سازی شده از نقطه نظر عملکرد آنالوگ مورد بررسی قرار می‌گیرد و اثر پارامترهایی همچون تغییر مغناطش عمود و تغییر طول کانال بر روی مشخصه‌های آنالوگ از جمله ترانسانایی ( $g_m$ )، هدایت خروجی ( $g_d$ )، مقاومت خروجی ( $R_o$ ) و بهره ولتاژ ( $A_v$ ) بررسی می‌گردد [۲۳-۲۷]. لازم به ذکر است از آنجا که اتلاف انرژی در ناحیه زیرآستانه پایین است، مشخصه‌های آنالوگ در این ناحیه مورد ارزیابی قرار می‌گیرد.

ابتدا رفتار ترانسانایی ( $g_m$ ) به‌ازای مقادیر مختلف مغناطش مورد بررسی قرار می‌گیرد. پارامتر ترانسانایی ( $g_m$ ) میزان تقویت ( $amplification$ ) در ترانزیستور را مشخص می‌کند. بنابراین هر چه مقادیر ( $g_m$ ) بزرگ‌تر باشد، بیانگر بهره‌وری بیشتر تقویت است و قطعه برای کاربردهای آنالوگ مناسب‌تر می‌باشد. مقادیر ترانسانایی ( $g_m$ ) مطابق رابطه  $g_m = \partial(I/I_0)/\partial V_g$  و از نمودار جریان برحسب ولتاژ گیت (شکل ۲) به دست می‌آید. شکل ۴ نمودار ترانسانایی برحسب ولتاژ گیت را برای مقادیر مختلف مغناطش عمود و به‌ازای  $E_F=2/5$  نشان می‌دهد.

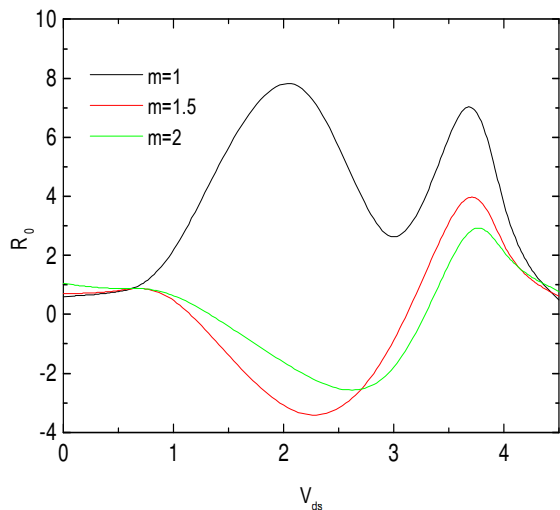


شکل ۴. نمودار ترانسانایی برحسب ولتاژ گیت برای مقادیر مختلف مغناطش عمود.

پارامتر بعدی که در کاربردهای آنالوگ دارای اهمیت بالایی است مقاومت خروجی ( $R_o$ ) می باشد که برابر با معکوس هدایت خروجی است و از رابطه  $R_o = (\partial(I/I_0)/\partial V_{ds})^{-1}$  به دست می آید. تغییرات مقاومت خروجی ( $R_o$ ) برحسب تغییرات ولتاژ بایاس درین- سورس در شکل ۷ رسم شده است. مشاهده می شود که که منحنی مقاومت خروجی ( $R_o$ ) مربوط به مغناطش  $m=1$  دارای بیشترین مقاومت می باشد و با افزایش مقادیر مغناطش مقاومت خروجی کاهش می یابد.

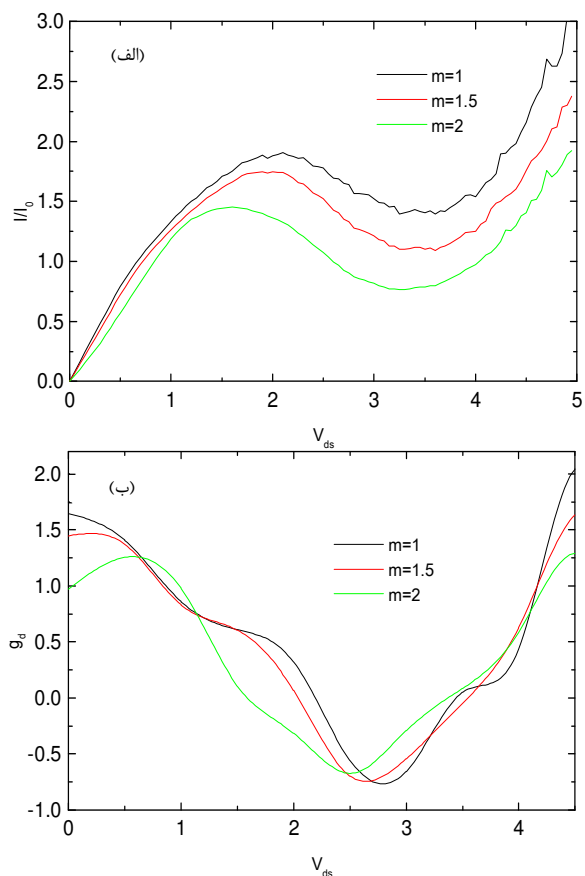
پس از محاسبه ترانسانایی ( $g_m$ ) و هدایت خروجی ( $g_d$ )، گام بعد محاسبه بهره ولتاژ  $A_v = g_m / g_d$  برای ترانزیستور اثر میدان بر پایه عایق توپولوژیک شبیه سازی شده می باشد. شکل ۸ نمودار تغییرات بهره ولتاژ ( $A_v$ ) برحسب ولتاژ گیت را به ازای  $E_F = 2.5$  و برای مقادیر مختلف مغناطش نشان می دهد.

همانطور که در شکل ۸ مشاهده می شود، مقادیر بهره ولتاژ به ازای ولتاژ گیت های نزدیک به ولتاژ آستانه مقدار بیشتری دارد و با افزایش ولتاژ کاهش می یابد که نشان دهنده آن است که بهره ولتاژ که یک پارامتر مهم در تعیین مشخصه های آنالوگ است در ناحیه اطراف ولتاژ آستانه بیشترین مقدار را دارد. در ضمن مشاهده می شود که با افزایش مقدار مغناطش عمود بهره ولتاژ به مقدار چشمگیری افزایش می یابد. بنابراین با افزایش مقادیر مغناطش عمود، میزان بهره وری برای مشخصه های آنالوگ و کاربردهای فرکانس رادیویی افزایش می یابد.



شکل ۷. مقاومت خروجی برحسب ولتاژ درین- سورس.

در ادامه دومین پارامتر آنالوگ یعنی هدایت خروجی ( $g_d$ ) مورد بررسی قرار می گیرد. شکل ۶ نمودار تغییرات هدایت خروجی ( $g_d$ ) برحسب ولتاژ بایاس درین- سورس را برای  $E_F = 2.5$  و  $V_g = 6$  و به ازای مقادیر مختلف مغناطش عمود نشان می دهد. مقادیر هدایت خروجی ( $g_d$ ) به صورت مستقیم از منحنی جریان برحسب ولتاژ بایاس درین- سورس شکل ۶ (الف) استخراج شده و همچنین از رابطه  $g_d = \partial(I/I_0)/\partial V_{ds}$  به دست می آید. همانطور که از شکل ۶ (ب) مشاهده می شود، با افزایش ولتاژ درین مقادیر هدایت خروجی ( $g_d$ ) برای هر سه منحنی به یک شکل تغییر می کند. با افزایش ولتاژ بایاس هدایت خروجی ( $g_d$ ) کاهش می یابد. این روند کاهشی تا  $V_{ds} \approx 2.5$  ادامه می یابد و سپس مقادیر هدایت خروجی ( $g_d$ ) برای هر سه منحنی افزایش پیدا می کند. این رفتار هدایت خروجی ( $g_d$ ) ناشی از رسانندگی دیفرانسیلی منفی در نمودار جریان برحسب ولتاژ بایاس شکل ۶ (الف) می باشد.



شکل ۶. نمودار (الف) جریان و (ب) تغییرات هدایت خروجی برحسب ولتاژ بایاس.

همچنین مشاهده می شود که منحنی هدایت خروجی ( $g_d$ ) به ازای مغناطش  $m=2$  در مقایسه با دو منحنی دیگر در کل مقدار کمتری دارد.

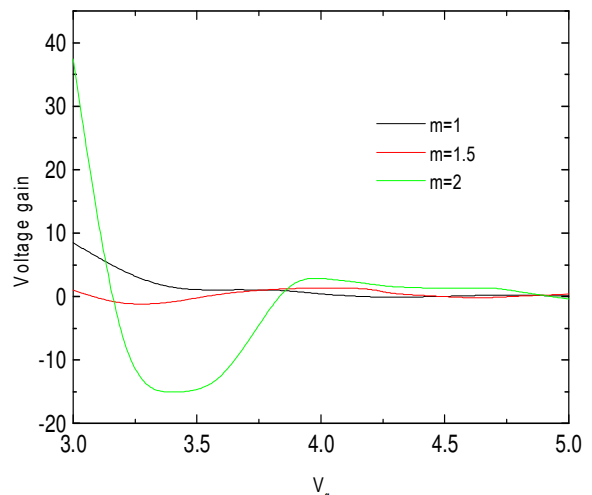
سیلیکانی نمایشگر ایمنی بسیار بیشتر این ترانزیستور نسبت به اثرات کانال کوتاه در ترانزیستورهای نانومتری می‌باشد. به عبارت دیگر، ولتاژ بایاس درین اثر بسیار کمی بر ولتاژ آستانه به‌عنوان یک پارامتر کلیدی افزاره دارد.

جدول ۲: مقایسه پارامترهای کلیدی ترانزیستور عایق توپولوژیک این مقاله با چند ترانزیستور ارائه شده در مقالات دیگر

	SS	DIBL	$I_{on}/I_{off}$	Gain
TI FET For m= ۲/۵	۲/۸۱	۰/۵۸	۱۰ <sup>۶</sup>	۳۸
[۲۹]	۶/۲۳	-	۱۰ <sup>۵</sup>	۱۶
[۳۰]	۶۸	-	۱۰ <sup>۵</sup>	۱۷
[۳۱]	۶۶	۲۷	۱۰ <sup>۵</sup>	-

### ۵- نتیجه‌گیری

در این مقاله با بهره‌گیری از خواص تراپردی عایق‌های توپولوژیک شبیه‌سازی یک ترانزیستور اثر میدان بر پایه عایق توپولوژیک انجام شده است. از جمله خواص تراپردی ویژه عایق‌های توپولوژیک ساختار نواری این مواد می‌باشد که موجب شده است این ماده در حالت عادی خاصیت شبه فلزی داشته باشد و از طرفی به دلیل خطی بودن ساختار نواری این ماده در اطراف نقاط دیراک، سرعت حاملین بار سرعت فرمی باشد. از دیگر ویژگی‌های این مواد این است که در اثر اعمال میدان مغناطیسی عمود بر سطح این مواد گپ انرژی در ساختار نواری این ماده باز می‌شود و این ماده به فاز نیم‌رسانایی می‌رود. با تنظیم اندازه میدان مغناطیسی می‌توان اندازه گپ انرژی را کنترل کرد. در این مقاله بر اساس این ویژگی‌های منحصر به فرد که در مواد نیمه‌هادی مرسوم نظیر سیلیکان که پایه و اساس ترانزیستورهای اثر میدان معمولی است وجود ندارد، یک ترانزیستور اثر میدان جدید شبیه‌سازی گردید. نتایج نشان می‌دهد که با افزایش مغناطش که به ناحیه کانال اعمال شده گپ انرژی در ناحیه کانال افزایش یافته و بنابراین نسبت جریان روشن به خاموش که یک مشخصه مهم ترانزیستوری است از مقدار  $10^4$  که یک مقدار ایده‌آل است تجاوز می‌کند. همچنین به دلیل ساختار نواری نواحی کانال و سورس و درین در نمودار جریان برحسب ولتاژ درین یک قله به دره با نسبت بالا رخ می‌دهد. همچنین نتایج ارائه شده در این مقاله نشان می‌دهد که در مقایسه با ترانزیستور اثر میدان معمولی، ترانزیستور اثر میدان بر پایه عایق توپولوژیک دارای عملکرد آنالوگ و دیجیتالی مناسب‌تری نسبت به سایر ترانزیستورهای در ابعاد مشابه می‌باشد.



شکل ۸. نمودار تغییرات بهره ولتاژ ( $A_v$ ) برحسب ولتاژ گیت برای مقادیر مختلف مغناطش.

در مرجع [۲۸] نویسندگان یک فیلم نازک از ماده عایق توپولوژیک را در نظر گرفته‌اند و بر روی آن یک ترانزیستور اثر میدان را شبیه‌سازی کرده‌اند. در اینجا به دلیل فیلم شدن عایق توپولوژیک گپ انرژی در ساختار نواری آن پدیدار شده است. نتایج آنها نشان می‌دهد که همانند کار حاضر، خواص الکترونیکی خوبی به دست آمده است. از جمله نسبت جریان روشن به جریان خاموش در حد  $10^4$  می‌باشد. همچنین مقادیر به دست آمده برای ترانسسانیی الکتریکی نسبت به یک ترانزیستور سیلیکونی مقادیر ضعیف‌تری را نشان می‌دهد.

در جدول شماره ۲، چند مشخصه کلیدی ترانزیستور بررسی شده در این مقاله با ترانزیستورهای سه مرجع دیگر در ابعاد مشابه مقایسه شده است. مراجع [۲۹، ۳۰] به ترتیب ترانزیستور اثر میدان بر پایه ماده دو بعدی ژرمان (ژرمانیم دو بعدی) و گرافن در ابعاد مشابه بوده و مرجع [۳۱] نیز یک ترانزیستور اثر میدان معمولی بر پایه سیلیکان در همین ابعاد می‌باشد. همان‌طور که از پارامترهای این جدول پیداست، ترانزیستور پیشنهادی بر مبنای عایق توپولوژیک دارای نسبت جریان روشن به خاموش یک دهه بزرگتر از سایر ترانزیستورهای مورد بررسی می‌باشد. همچنین بهره ذاتی بالاتر این ترانزیستور نسبت به سایر ترانزیستورها، موید برتری آن برای کاربردهای آنالوگ می‌باشد. علاوه بر آن، شیب زیرآستانه بسیار کم ترانزیستور مورد بررسی در این مقاله نسبت به ترانزیستورهای سیلیکانی مرسوم دارای محدودیت  $60 \text{ mV/dec}$  و همچنین نسبت به ترانزیستورهای تونلی ژرمانیم که دارای محدودیت فوق نمی‌باشند، نمایانگر برتری آن از لحاظ مصرف توان استاتیک کمتر در مدارهای دیجیتالی می‌باشد. در نهایت مقایسه پارامتر  $DIBL$  این ترانزیستور با پارامتر مشابه در ترانزیستورهای



[12] R. Vali, "Spin filtering through Cd<sup>1-</sup>yMgTe/Cd<sup>1-x</sup>MnTe heterostructure," *Physica E: Low-dimensional Systems and Nanostructures*, vol. 69, no. ۳, pp. ۶37-642, 2008.

[13] M.Vali, D. Dideban, N. Moezi, "A scheme for a topological insulator field effect transistor " *Physica E: Low-dimensional Systems and Nanostructures*, vol. ۴۰, pp. 360-363, ۲۰15.

[14] Y. Zhang and F. Zhai, "Tunneling magnetoresistance on the surface of a topological insulator with periodic magnetic modulations," *Applied Physics Letters*, vol. ۹۶, no. ۱۷, pp. ۱۷۱۱۰۹-172111, 2010.

[15] J. Zhang and J. Yuan, "Electron transport with tunable ferromagnetic barriers on the surface of topological insulators," *The European Physical Journal B*, vol. ۸۵, no.100, pp. 1-6, 2012.

[16] S. Datta, *Electronic transport in mesoscopic systems*. Cambridge university press, ۱۹۹7.

[17] S. Ghazanfari, "Transfer Matrix Approach to One-Dimensional Electron Transport in Graphene Sheets with Piecewise Constant Potentials," *Acta Physica Polonica A*, vol. 123, no. 1, pp. 148-151, 2013.

[18] M. Katsnelson, K. Novoselov and A. Geim, "Chiral tunnelling and the Klein paradox in graphene," *Nature physics*, vol. 2, no. 9, pp. 620-625, 2006.

[19] L. Wang, K. Shen, S. Cho, and M. Wu, "A scheme for spin transistor with extremely large on/off current ratio," *Journal of Applied Physics*, vol. ۱۰۴, no. ۱۲, p. ۱۲۳۷۰۹, ۲۰۰۸.

[20] F. Zhai and P. Mu, "Tunneling transport of electrons on the surface of a topological insulator attached with a spiral multiferroic oxide," *Applied Physics Letters*, vol. ۹۸, no. ۰۲۲۱۰۷, pp. 1-3, 2011.

[21] M. Akram and B. Ghosh, "Analog performance of double gate junctionless tunnel field effect transistor," *Journal of Semiconductors*, vol. ۳۵, no. ۷, pp. ۰۷۴۰۰۱(1)-074001(5), 2014.

[22] J.-P. Colinge et al., "Nanowire transistors without junctions," *Nature nanotechnology*, vol. ۵, no. ۳, pp. 225-229, 2010.

[23] S. K. Gupta and S. Baishya, "Analog and RF performance evaluation of dual metal double gate high-k stack (DMDG-HKS) MOSFETs," *Journal of Nano-and Electronic Physics*, vol. ۵, no. ۳, pp. 03008(1)-03008(8), 2013.

[24] R. Narang, M. Saxena, R. Gupta and M. Gupta, "Effect of temperature and gate stack on the linearity and analog performance of double gate tunnel FET," in *Trends in Network and Communications*: Springer, pp. 466-475, 2011.

[25] R. K. Baruah and R. P. Paily, "Analog performance of bulk planarjunctionless transistor (BPJLT)," in *Third International Conference on Computing Communication & Networking Technologies (ICCCNT)*, pp. 1-4, 2012.

[26] K. Boucart and A. M. Ionescu, "Length scaling of the double gate tunnel FET with a high-k gate dielectric," *Solid-State Electronics*, vol. ۵۱, no. ۱۱, pp. 1500-1507, 2007.

[27] D. Flandre, J.-P. Raskin and D. Vanhoenacker-Janvier, "SOI CMOS transistors for RF and microwave applications," *International journal of high speed electronics and systems*, vol. ۱۱, no. ۰۴, pp. ۱۱۵۹-۱۲۴۸, ۲۰۰۱.

[28] J. Chang, L. F. Register and S. K. Banerjee, "Topological insulator Bi<sub>2</sub>Se<sub>3</sub> thin films as an alternative channel material in metal-oxide-semiconductor field-effect transistors," *Journal of Applied Physics*, vol. 112, no. 12, p. 124511, 2012.

[29] A. H. Bayani, D. Dideban, M. Vali and N. Moezi, "Germanene nanoribbon tunneling field effect transistor (GeNR-TFET) with a 10 nm channel length: analog performance, doping and temperature effects," *Semiconductor Science and Technology*, vol. 31, no. 4, pp. 1-7, 2016.

[30] M. S. Mobarakeh, N. Moezi, M. Vali and D. Dideban, "A novel graphene tunnelling field effect transistor (GTFET) using bandgap engineering," *Superlattices and Microstructures*, vol. 100, pp. 1221-1229, 2016.

[31] P. Razavi and A. A. Orouji, "Dual material gate oxide stack symmetric double gate MOSFET: improving short channel effects of nanoscale double gate MOSFET," in 11th International Biennial Baltic Electronics Conference, pp. 83-86, 2008.

همچنین در این مقاله برای انجام محاسبات از روش ماتریس انتقال و فرمولبندی لاندائوئر بوتیکر برای به دست آوردن جریان استفاده گردید. نتایج به دست آمده نشان می دهد که با افزایش مغناطش عمود نسبت جریان روشن به جریان خاموش افزایش می یابد اما ولتاژ آستانه مستقل از اندازه مغناطش عمود است. همچنین نتایج به دست آمده نشان می دهد که دو پارامتر نوسان زیر آستانه (*subthreshold slope*) و میزان تنزل سد القاشده ناشی از ولتاژ درین (*DIBL*) در ترانزیستور شبیه سازی شده مقادیر مطلوب تری نسبت به ترانزیستورهای اثر میدان مرسوم (*MOS*) از خود نشان می دهند. در ادامه اثر مغناطش عمود بر پارامترهای آنالوگ مورد بررسی قرار گرفت. نتایج به دست آمده نشان می دهد که با افزایش اندازه مغناطش عمود ترانسانیایی افزایش و هدایت خروجی کاهش می یابد. در نتیجه با افزایش مغناطش، بهره ولتاژ که یک معیار تعیین کننده برای میزان کارایی عملکرد فرکانس رادیویی ترانزیستور می باشد افزایش می یابد.

## مراجع

[1] K. Boucart and A. M. Ionescu, "Double-Gate Tunnel FET With High-kappa Gate Dielectric," *IEEE Transactions on Electron Devices*, vol. 54, no. 7, pp. 1733-1725, 2007.

[2] S. O. Koswatta, M. S. Lundstrom, and D. E. Nikonov, "Performance comparison between pin tunneling transistors and conventional MOSFETs," *IEEE Transactions on Electron Devices*, vol. 56, no. 3, pp. 465-459, 2009.

[3] حامد نجفعلی زاده، علی اصغر اروچی "طراحی ساختاری از ترانزیستور ماسفت دو گیتی با به کار گیری دو ماده، اکسید هافلیم (HfO<sub>2</sub>) و سیلیسیم-ژرمانیوم (SiGe) در کانالی از جنس سیلیسیم (DM-DG) دوره ۴۷، شماره ۱، بهار ۱۳۹۶، صفحه ۳۰۴-۲۹۹.

[4] علی اصغر اروچی، زینب رضانی فر و عاطفه رحیمی فر "ترانزیستور اثر میدان فلز-نیمه هادی در تکنولوژی سیلیسیم روی عایق با استفاده از یک تکه اکسید اضافی در کانال برای کاربردهای توان و فرکانس بالا" دوره ۴۶، شماره ۴، زمستان ۱۳۹۵، صفحه ۶-۱.

[5] Y. P. Chen, "Graphene and topological insulator based transistors: Beyond computing applications," in *۷۰th Annual Device Research Conference (DRC)*, pp. ۳۷-۳۸, 2012.

[6] M. Z. Hasan and C. L. Kane, "Colloquium: topological insulators," *Reviews of Modern Physics*, vol. ۸۲, no. ۴, pp. ۳۰۴۵-3067, 2010.

[7] F. Xiu et al., "Manipulating surface states in topological insulator nanoribbons," *Nature nanotechnology*, vol. ۶, no. ۴, pp. ۲۱۶-۲۲۱, 2011.

[8] Y. P. Chen, "Topological Insulator Based Energy Efficient Devices," in *Proc. of SPIE*, vol. 8373, pp. B1-B5, 2012.

[9] J.A. K. Geim and K. S. Novoselov, "The rise of graphene," *Nature materials*, vol. ۶, no. ۳, pp. 183-191, 2007.

[10] J. Linder, Y. Tanaka, T. Yokoyama, A. Sudb, and N. Nagaosa, "Interplay between superconductivity and ferromagnetism on a topological insulator," *Physical Review B*, vol. ۸۱, no. ۱۸, pp. 1-11, 2010.

[11] S. Datta, *Quantum transport: atom to transistor*. Cambridge University Press, 2005.