

## طراحی مدولاتور دلتا سیگمای متعامد پیشخور زمان پیوسته با حذف جمع کننده به روشی جدید برای گیرنده‌های LOW-IF کم‌مصرف

علیرضا شمس<sup>۱</sup>، دانشجوی دکتری؛ اسماعیل نجفی اقدم<sup>۲</sup>، دانشیار

۱- دانشکده مهندسی برق - دانشگاه صنعتی سهند - تبریز - ایران - alireza.shamsi@ssau.ac.ir

۲- دانشکده مهندسی برق - دانشگاه صنعتی سهند - تبریز - ایران - najafiaghdam@sut.ac.ir

### چکیده:

در این مقاله یک مدولاتور دلتا سیگمای متعامد<sup>۱</sup>(QDSM) پیشخور<sup>۲</sup>(FF) زمان پیوسته<sup>۳</sup>(CT) مرتبه سه پایین‌گذر<sup>۴</sup>(LP) طراحی شده و بلوک‌های جمع‌کننده این ساختار با روش جدید سیستمی حذف شده‌اند. در این روش، تابع تبدیل مدولاتور بدون تغییر باقی می‌ماند. در نتیجه، با وجود این که محدودیت‌های ناشی از جمع‌کننده‌ها روی حلقه فیلتر رفع شده و مصرف توان و سطح تراشه کاهش یافته است، کارایی مدولاتور کاهش پیدا نمی‌کند. مدولاتور طراحی شده برای استاندارد WCDMA با فرکانس مرکزی ۱ مگاهرتز و پهنای باند ۲ مگاهرتز در تکنولوژی 180nm CMOS در سطح مدار پیاده‌سازی شده است. نرخ سیگنال به نویز<sup>۵</sup> طیف خروجی این مدولاتور با کوانتایزر سه بیتی و به ازای نرخ فرآینده برداری ۳۲، برابر ۷۵/۹ دسی‌بل است. ضریب شایستگی<sup>۶</sup>(FOM) مدولاتور طراحی شده نسبت به نمونه‌های قبلی بیش از ۱۰٪ بهبود یافته و به مقدار (pj/conv) ۰/۳۳۹ رسیده است.

واژه‌های کلیدی: مبدل دلتا سیگمای متعامد کم‌مصرف، حذف جمع‌کننده، استاندارد WCDMA، گیرنده Low-IF

## Continuous Time Feedforward Quadrature Delta Sigma Modulator Design Omitting the Power Hungry adders for LOW-IF Receivers

A. Shamsi<sup>1</sup>, PhD Student; E. Najafi Aghdam<sup>2</sup>, Associate Professor

1- Electrical Engineering Faculty, Sahand University of Technology, Tabriz, Iran, Email: a.shamsi@sut.ac.ir

2- Electrical Engineering Faculty, Sahand University of Technology, Tabriz, Iran, Email: najafiaghdam@sut.ac.ir

**Abstract:** This article proposes a new method to design a third order low pass CTFQDSM sharing the last integrators instead of adders. The removal of adders is done using a new technique in such a way that neither any extra block is added nor any modulator loop function is changed. Therefore, power consumption and chip area can be reduced. This 3-bit modulator centering at 1MHz with 2MHz band width is designed for WCDMA standard and is implemented in 180nmCMOS. Signal-to-noise ratio of 75.9 dB for over sampling ratio of 32 is obtained. Figure of Merit obtained from the proposed modulator is improved by more than 10% compared to the previous design methods and reaches about 0.339 (pj / conv).

**Keywords:** Low power continuous time quadrature delta sigma modulator, adder removed, WCDMA standard, LOW-IF receivers.

تاریخ ارسال مقاله: ۱۳۹۵/۰۷/۰۶

تاریخ اصلاح مقاله: ۱۳۹۵/۰۹/۲۲ و ۱۳۹۵/۱۲/۲۳

تاریخ پذیرش مقاله: ۱۳۹۶/۰۶/۱۱

نام نویسنده مسئول: اسماعیل نجفی اقدم

نشانی نویسنده مسئول: ایران - تبریز - شهر جدید سهند - دانشگاه صنعتی سهند - دانشکده مهندسی برق

۱- مقدمه

مشکلاتی که در خصوص آن‌ها اشاره شد در مدولاتور طراحی شده در این مقاله وجود دارد.

در [۱۵] یک مدولاتور حقیقی هیبرید پیشخور چند استاندارد با حذف جمع‌کننده و اعمال روش افزایش شکل‌دهی نویز<sup>۱</sup> (NSE)، طراحی و در نرم‌افزار متلب در سطح سیستم شبیه‌سازی شده‌است. در [۱۰] یک مدولاتور حقیقی پیشخور کم‌مصرف و ولتاژ پایین با حذف جمع‌کننده، برای گیرنده‌های پهن باند طراحی شده‌است.

در [۱۶] یک FF QDSM برای استاندارد GSM/EDGE با روش "زنجیره انتگرال‌گیرها با مسیره‌های جمع‌کننده خازنی پیشخور"<sup>۱۱</sup> (CICFF) پیاده‌سازی شده‌است. در این مدولاتور، مسیره‌های پیشخور بجای اعمال به جمع‌کننده به کوانتایزر اعمال شده‌اند.

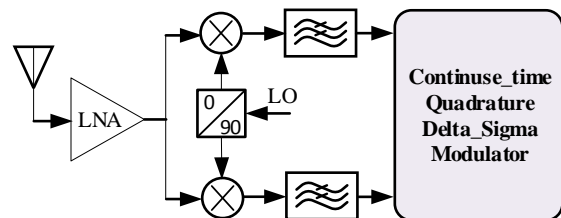
در [۱۷] یک FF QDSM طراحی شده که در آن جمع‌کننده حذف گردیده و مسیره‌های پیشخور با استفاده از خازن پیاده‌سازی و به کوانتایزر اعمال شده‌اند.

در [۱۸] یک FF QDSM با حذف جمع‌کننده، طراحی شده‌است. در این مدولاتور، مسیره‌های پیشخور با روش خازن‌های وزن‌دهی شده<sup>۱۲</sup> (WCFF) پیاده‌سازی شده‌اند و بجای اعمال به جمع‌کننده به کوانتایزر اعمال می‌شوند.

در اغلب مراجعی که به آن‌ها اشاره شد، از کوانتایزر تک‌بیتی استفاده شده و تنها با حذف جمع‌کننده، مسیره‌های پیشخور با خازن پیاده‌سازی شده و به کوانتایزر اعمال شده‌اند و تغییری در ساختار مدولاتور صورت نگرفته‌است. در این نوع طراحی، به‌طور ضمنی یک جمع‌کننده غیرفعال در ورودی کوانتایزر شکل می‌گیرد که نقش جمع‌کننده اصلی را ایفا می‌کند. در این صورت ضرایب مسیره‌ها برابر است با نسبت مقدار خازن مسیر به خازن کل در نقطه جمع‌کننده غیرفعال، که شامل خازن‌های ورودی مقایسه‌گرهای کوانتایزر و پارازیتی نیز می‌باشد. بدین ترتیب، مقدار خازن کل، با تغییر تعداد بیت‌های کوانتایزر و یا تغییر خازن‌های پارازیتی تغییر می‌کنند [۱۰، ۱۲].

در این مقاله یک مدولاتور متعامد پیشخور سه بیتی با روشی جدید طراحی شده‌است. در این روش که با تغییرات سیستمی انجام شده است، جمع‌کننده‌های مدولاتور به‌گونه‌ای حذف شده‌اند که تابع تبدیل مدولاتور تغییر نکرده و موجب کاهش کارایی سیستم نمی‌شود. پس از حذف جمع‌کننده‌ها نیز، با تغییرات سیستمی و مداری انجام شده، بلوک‌های DAC اضافه شده به دلیل حذف جمع‌کننده، با DAC‌های ناشی از جریان‌سازی تأخیر اضافی حلقه ادغام شده است که بدین ترتیب پیاده‌سازی مدولاتور ساده‌تر شده و در مصرف توان و سطح تراشه نیز صرفه‌جویی خواهد شد. در ضمن کاربرد کوانتایزر سه بیتی به‌منظور افزایش نرخ سیگنال به نویز [۱۱] برای دستیابی به نرخ سیگنال به نویز مورد انتظار استاندارد WCDMA، باعث بهبود قابل‌توجهی در FOM نیز می‌شود. تفاوت دیگر روش پیشنهادی با روش‌های طراحی پیشین، پیاده‌سازی مسیره‌های پیشخور با مقاومت

طراحی و پیاده‌سازی مبدل‌های آنالوگ به دیجیتال<sup>۱</sup> (ADC) کم‌مصرف و پهن‌بند یکی از چالش‌های مهم در طراحی گیرنده‌های رادیویی است [۱، ۲]. مبدل‌های دلتا سیگما به دلیل شکل‌دهی نویز کوانتیزاسیون توسط فیلتر حلقه، دقت بالاتری نسبت به انواع دیگر دارند [۳، ۴] که همین امر باعث رواج آن‌ها در ساختار گیرنده‌های رادیویی شده‌است. در این راستا مبدل‌های دلتا سیگمای متعامد با مصرف توان و سخت‌افزار معادل، پهنای باند بزرگ‌تری نسبت به نوع حقیقی آن داشته و برای کاربرد در گیرنده‌های Low IF رواج پیدا کرده‌اند [۵، ۶]. در شکل ۱ ساختار بلوکی گیرنده Low IF و جایگاه مدولاتور متعامد در این سیستم نشان داده شده‌است. مطابق شکل مذکور خروجی میکسر مستقیماً توسط مبدل متعامد به دیجیتال تبدیل می‌شود [۷]. در این ساختار بجای دو مدولاتور حقیقی یک مدولاتور متعامد بکار رفته که باعث افزایش کارایی گیرنده و کاهش مصرف توان آن می‌شود [۹، ۵].



شکل ۱: ساختار گیرنده LOW-IF

برای پیاده‌سازی مدولاتور متعامد ساختارهای مختلفی وجود دارد که در بین آن‌ها ساختار پیشخور یکی از مناسب‌ترین روش‌ها برای گیرنده‌های کم‌مصرف است [۱۰، ۱۱]. با محاسبات تحلیلی می‌توان نشان داد که در این روش پیاده‌سازی، اثر مستقیم سیگنال در طبقه ورودی مدولاتور حذف شده و در طبقات اولیه آن فقط نویز پردازش می‌شود. در نتیجه، حداکثر سوینگ لازم برای انتگرال‌گیرها کاهش می‌یابد. از طرفی، در این روش تعداد مبدل‌های دیجیتال به آنالوگ<sup>۲</sup> (DAC) نیز نسبت به روش‌های دیگر پیاده‌سازی کمتر است که باعث کاهش مصرف توان و سطح تراشه می‌شود [۱۲، ۱۳]. یکی از معایب ساختار پیشخور، وجود جمع‌کننده قبل از کوانتایزر است که تمام سیگنال‌های پیشرو را دریافت نموده و به کوانتایزر می‌دهد. این جمع‌کننده که با آپامپ پیاده‌سازی می‌شود، مصرف توان بالایی داشته و بهره محدود آن موجب کاهش توان مؤثر فیلتر مدولاتور می‌شود همچنین وجود قطب در تابع تبدیل آن، پهنای باند فیلتر را کاهش می‌دهد [۱۲]. این چالش‌ها باعث شده تا تلاش‌هایی برای حذف این جمع‌کننده در ساختار مدولاتور انجام شود که در ذیل مرور می‌شوند.

در [۱۴] یک مدولاتور متعامد مرتبه ۴ پهن‌بند برای استاندارد مخابراتی WLAN ارائه شده‌است. ساختار مدولاتور طراحی شده پیشخور و زمان پیوسته است که در این مدولاتور جمع‌کننده‌ها حذف نشده‌اند و

نویز خارج باند کوانتیزاسیون است که با بهینه‌سازی محل صفرهای تابع تبدیل نویز، این مشکل تا حد زیادی مرتفع شده و SNR مدولاتور نیز بیشتر می‌شود [۱۳]. در مدولاتور پیشنهادی، این عمل با استفاده از مسیره‌های ضربدری انجام شده و صفرهای تابع در باند سیگنال جایگذاری می‌شوند. مشکل دوم، وجود جمع‌کننده قبل از کوانتایزر است که مصرف توان بالایی داشته و بهره حلقه را محدود می‌کند. در طرح مدولاتور پیشنهادی در این مقاله، جمع‌کننده‌ها حذف شده و از آخرین انتگرال‌گیرها به‌عنوان جمع‌کننده نیز استفاده می‌شود.

## ۴-۲ طراحی مدولاتور

مشخصات مدولاتور پیشنهادی که ویژگی‌های مورد نیاز برای استاندارد WCDMA را داشته باشد، عبارتند از: مدولاتور سه بیتی مرتبه ۱۷<sup>۳</sup> با نرخ نمونه‌برداری ۳۲<sup>۱۸</sup> و فرکانس نمونه‌برداری ۶۴<sup>۱۹</sup> مگاهرتز و پهنای باند ۲<sup>۲۰</sup> مگاهرتز.

برای شروع طراحی، با استفاده از جعبه‌ابزار Delsig تابع تبدیل نویز زمان گسسته<sup>۲۱</sup> متناسب با مشخصات ذکر شده برای مدولاتور حقیقی پیشخور به‌دست‌آمده است [۱۳]. این تابع در رابطه (۱) نشان داده شده است.

$$NTF = \frac{(z-1)^3}{((z-0.337)(z^2-0.5898z+0.2801))} \quad (1)$$

سپس با استفاده از رابطه (۲) تابع تبدیل فیلتر زمان گسسته به دست می‌آید.

$$H(z) = \frac{1}{NTF} - 1 = \frac{2.0732(z^2 - 1.216z + 0.4368)}{(z-1)^3} \quad (2)$$

رابطه (۲) با استفاده از نرم‌افزار متلب (دستور d2c) به تابع فیلتر زمان پیوسته تبدیل شده و در رابطه (۳) نشان داده شده است. این تابع دارای دو صفر محدود و سه قطب متمرکز در مبدأ می‌باشد که در شکل ۲ نشان داده شده است.

$$H(s) = \frac{1.4131(s^2 + 0.8262s + 0.3239)}{s^3} = \frac{1.4131*s^2 + 1.167*s + 0.4576}{s^3} \quad (3)$$

ساختار بلوکی این فیلتر در شکل ۳ و رابطه ورودی، خروجی آن در رابطه (۴) نشان داده شده است.

این راهکار مشکلات روش خازنی را نداشته و فقط بهره DC مقدار کمی (که قابل چشم‌پوشی است) کاهش می‌یابد [۱۰]. بدین ترتیب از اثرات تغییر ضرایب مسیره‌های پیشخور که به علت تغییر ظرفیت خازن‌ها اتفاق می‌افتد، احتراز می‌شود.

این مقاله از شش بخش تشکیل شده است که در بخش دوم روش طراحی سیستمی فیلتر حلقه و مدولاتور و نحوه جبران سازی تأخیر اضافی حلقه<sup>۱۳</sup> (ELD) ارائه می‌شود. در بخش سوم روش حذف جمع‌کننده‌ها و طراحی ساختار جدید فیلتر و مدولاتور شرح داده شده است. نحوه تلفیق DACها و ساده‌سازی ساختار مدولاتور در بخش ۴ تشریح شده است. نحوه شبیه‌سازی مداری مدولاتور و نتایج حاصله و مقایسه آن‌ها با نتایج حاصل از تحقیقات پیشین در بخش ۵ مطرح شده است و بخش ۶ شامل نتایج تحقیق حاضر می‌باشد.

## ۲ طراحی سیستمی مدولاتور

برای طراحی مدولاتور متعامد، ابتدا یک مدولاتور حقیقی با مشخصات مطلوب طراحی گردیده، سپس با استفاده از ضرایب مختلط قطب‌های تابع تبدیل فیلتر را دوباره جاسازی نموده تا در خروجی مدولاتور سطح سیگنال به نویز بهینه حاصل شود [۱۶، ۱۹]. در این تحقیق پس از طراحی مدولاتور حقیقی و جبران سازی تأخیر اضافی حلقه، با استفاده از مسیره‌های مختلط قطب‌های تابع تبدیل فیلتر آن را با روش ذکر شده در مرجع [۱۱] تغییر محل داده و با روش الگوریتم تکرار به فرکانس‌های ۰/۹ مگاهرتز و ۱/۸ مگاهرتز منتقل می‌شود تا با فرکانس مرکزی ۱ مگاهرتز و پهنای باند ۲ مگاهرتز سطح سیگنال به نویز بهینه به دست آید. در این روش طراحی، با حذف جمع‌کننده‌ها یک بلوک NRZ\_DAC<sup>۱۴</sup> به هریک از مسیره‌ها اضافه شده و یکی از ضرایب حقیقی به ضریب مختلط تبدیل می‌شود. در این مدولاتور، مبدل دیجیتال به آنالوگ<sup>۱۵</sup> RZ\_DAC که برای جبران سازی تأخیر اضافی حلقه به مدار اضافه شده بود، توسط دو مبدل NRZ\_DAC جایگزین می‌شوند. سپس مبدل‌هایی که به دلیل حذف جمع‌کننده به مدار اضافه شده بود، با این دو مبدل ادغام می‌شوند. بدین ترتیب، فقط دو مبدل NRZ\_DAC که برای جبران سازی تأخیر اضافی به هر مسیره اضافه شده بود، در ساختار نهایی مدولاتور باقی می‌ماند. مدولاتور متعامد پیشنهادی، یک مدولاتور سه بیتی و مرتبه سه با فرکانس مرکزی ۱ مگاهرتز و پهنای باند ۲ مگاهرتز است که برای استاندارد WCDMA طراحی شده است. در پیاده‌سازی مداری آن نرخ سیگنال به نویز ۷۵/۹ دسی‌بل به‌دست‌آمده و FOM<sup>۱۶</sup> آن (pj/conv) ۰/۳۳۹ می‌باشد که مراحل مختلف طراحی و بهینه‌سازی آن ارائه می‌شود.

## ۲ انتخاب توپولوژی

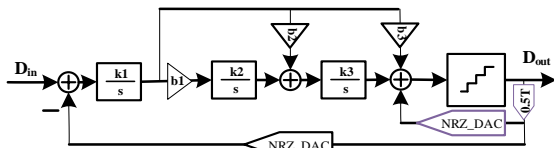
همان‌طور که گفته شد، دو ویژگی مهم ساختار مدولاتور پیشخور یعنی کاهش سوئینگ خروجی انتگرال‌گیرها و کاهش تعداد DACها باعث شده که این ساختار نسبت به نوع FB متناظر آن مصرف توان کمتری داشته باشد ولی این ساختار دارای دو چالش مهم است: اولی، حداکثر

محاسبه ضرایب مدولاتور، یک جمله به تابع تبدیل مدولاتور اضافه می‌شود که با یک مسیر کوتاه فیدبک به ورودی کوانتایزر اعمال می‌شود. در این مقاله ضرایب مدولاتور برای جبران تأخیر  $0.5T_s$  دوباره محاسبه شده‌اند. پس از جبران سازی تأخیر اضافی حلقه، تابع تبدیل فیلتر مدولاتور در رابطه (۵) نشان داده شده است.

$$H(s) = \frac{2.0537}{s} + \frac{1.3958}{s^2} + \frac{0.4576}{s^3} + 0.862 \quad (5)$$

در معادله (۵) علاوه بر تغییر ضرایب، یک جمله دیگر به تابع تبدیل فیلتر اضافه شده است. این جمله اضافی ضریب فیدبک جبران ساز است که با استفاده از یک NRZ\_DAC پیاده‌سازی می‌شود. شکل ۵ ساختار مدولاتور پس از جبران سازی را نشان می‌دهد و ضرایب آن به صورت زیر هستند:

$$NRZ\_CAC = 0.1862, b1 = 0.4576, b2 = 1.3958, b3 = 2.0537$$



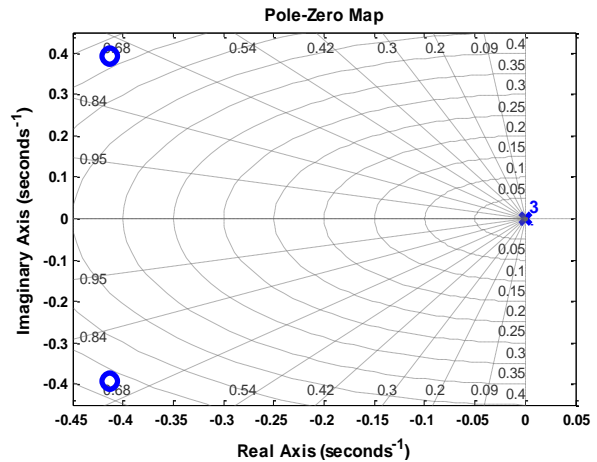
شکل ۵: ساختار مدولاتور حقیقی پس از جبران سازی تأخیر حلقه به اندازه  $0.5T_s$

#### ۴ ۲ تبدیل فیلتر حقیقی به فیلتر مختلط

پس از طراحی مدولاتور حقیقی، فیلتر آن با استفاده از مسیریهای ضربدری (kc) به فیلتر مختلط تبدیل می‌شود. در این عمل قطب‌های فیلتر (صفرهای مدولاتور) با هدف بهینه‌کردن نرخ سیگنال به نویز در باند عبور جاسازی می‌شوند [۱۶، ۱۹]. در مدولاتور طراحی‌شده، با استفاده از روش الگوریتم بهینه‌سازی و تکرار مناسب‌ترین محل (با توجه به مشخصات استاندارد WCDMA) برای قطب‌های فیلتر، یکی در DC و دوتای دیگر در فرکانس‌های  $0.9/\pi$  مگاهرتز و  $1.8/\pi$  مگاهرتز محاسبه شده و در شکل ۶ نشان داده شده‌است. با توجه مشخصات به‌دست‌آمده، تابع تبدیل فیلتر مختلط به صورت رابطه (۶) بیان می‌شود.

$$H(s) = \frac{2.0537}{(s - j0.087)} + \frac{1.3958}{s(s - j0.087)} + \frac{0.4576}{s(s - j0.087)(s - j0.183)} + 0.862 \quad (6)$$

مقادیر به‌دست‌آمده برای ضرایب مختلط با استفاده از رابطه (۶)، به صورت زیر است:

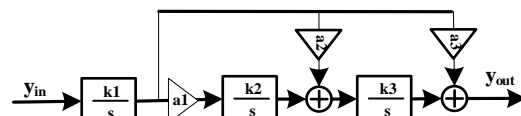


شکل ۲: محل صفر قطب‌های فیلتر پیوسته زمان حقیقی H(s)

$$Y_{out} = Y_{in} \left[ \frac{k_1 a_3}{s} + \frac{k_1 k_3 a_2}{s^2} + \frac{k_1 k_2 k_3 a_1}{s^3} \right] \quad (4)$$

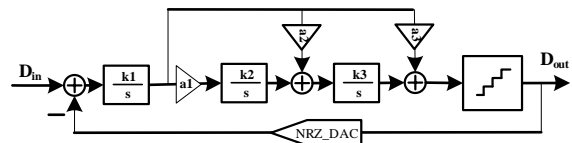
با در نظر گرفتن رابطه (۴) و ساختار شکل ۳، اگر  $k_1 = k_2 = k_3 = 1$  باشند، با هم‌ارز قرار دادن روابط (۳) و (۴) ضرایب a به صورت زیر می‌باشند:

$$a1 = 0.4576, a2 = 1.167, a3 = 1.4131$$



شکل ۳: ساختار فیلتر حقیقی H(s) درجه ۳

مدولاتور حقیقی زمان پیوسته اولیه با استفاده از این فیلتر، یک NRZ\_DAC و کوانتایزر ۳ بیتی طراحی و در شکل ۴ نشان داده شده است.



شکل ۴: ساختار مدولاتور حقیقی درجه ۳ زمان پیوسته

#### ۴ ۲ جبران سازی تأخیر اضافی حلقه

یکی از مشکلات مدولاتور دلتا سیگمای زمان پیوسته تأخیر اضافی حلقه است. این تأخیر به‌ویژه در کاربردهای پرسرعت سبب افت عملکرد مدولاتور و همچنین کاهش نسبت سیگنال به نویز و تشدید احتمال ناپایداری می‌گردد که باید جبران سازی شود [۱۳]. به همین دلیل مدولاتور طراحی‌شده با استفاده از روش ارائه شده در مرجع [۲۰] جبران سازی شده‌است. در این روش ضرایب جبران سازی شده مستقیماً از ضرایب مدولاتور زمان پیوسته محاسبه می‌شوند. پس از

### ۳ حذف جمع کننده در مدولاتور

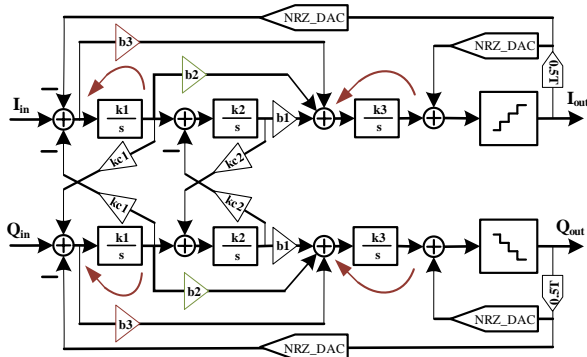
همان‌طور که در شکل ۷ نشان داده شده، فیلتر مدولاتور طراحی شده دارای دو جمع کننده قبل از کوانتایزرها است که سیگنال‌های مسیرهای پیشخور را جمع کرده و به کوانتایزرها اعمال می‌کنند. تابع تبدیل این جمع کننده‌ها که با آپامپ پیاده‌سازی می‌شوند به صورت رابطه (۷) است.

$$V_{out}(s) = -a_i V_i(s) \frac{1}{1 + 1/A(s)} \quad (7)$$

در این رابطه  $a_i$  ضریب تنظیم و  $A(s)$  تابع تبدیل آپ امپ است. این آپامپ می‌تواند با یک تقویت کننده عملیاتی تک قطبی با GBW محدود مدل شود و  $A(s)$  با رابطه (۸) نشان داده می‌شود.

$$A(s) = \frac{A_{DC}}{1 + s/\omega_p} \quad (8)$$

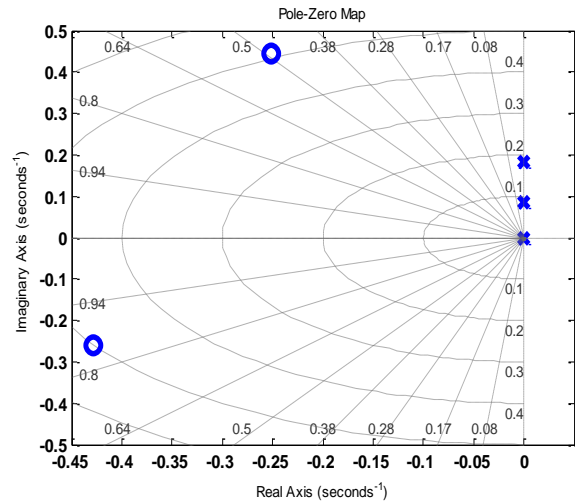
بهره محدود این بلوک باعث اعمال مقدار تضعیف ثابتی در حلقه فیلتر شده و بهره مؤثر آن را کاهش می‌دهد. همچنین با اضافه کردن یک قطب به حلقه، حاشیه فاز آن را نیز کاهش داده و موجب کاهش پهنای باند و کاهش پایداری حلقه می‌شود. بدین ترتیب، وجود این جمع کننده‌ها باعث اضافه شدن دو تقویت کننده عملیاتی (علاوه بر انتگرال گیرها) در حلقه مدولاتور می‌شود؛ یعنی برای پیاده‌سازی مدولاتور مرتبه  $L$ ، تعداد  $2L+2$  تقویت کننده عملیاتی لازم است. در صورت پیاده‌سازی سطح مداری مدولاتور شکل ۷، برای هر مسیر چهار تقویت کننده عملیاتی لازم است که در مجموع ۸ تقویت کننده عملیاتی استفاده می‌شود. تقویت کننده عملیاتی آخری در هر مسیر که به عنوان جمع کننده استفاده می‌شود، سیگنال مسیرهای  $b_3$ ، فیدبک جبران ساز و خروجی انتگرال گیر سوم را با یکدیگر جمع می‌کند. برای حذف این جمع کننده دو مسیر  $b_3$  و فیدبک جبران ساز را به قبل از انتگرال گیر سوم منتقل نموده، تا این انتگرال گیر هر دو وظیفه را انجام دهد. ابتدا مسیر  $b_3$  یک انتگرال گیر به عقب تر انتقال داده می‌شود، بدین ترتیب ساختار مدولاتور به صورت شکل ۹ پیاده‌سازی می‌شود.



شکل ۹: ساختار مدولاتور متعامد پس از انتقال مسیر  $b_3$  به عقب

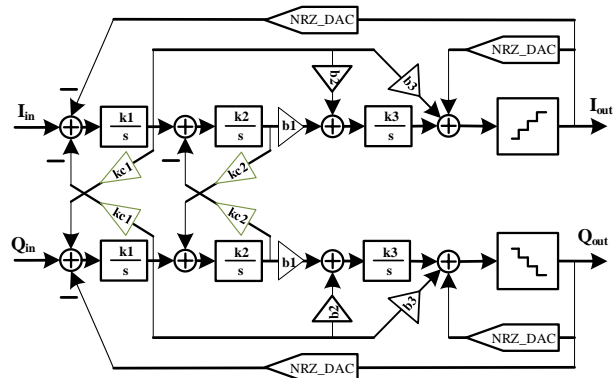
برای پیاده‌سازی مداری ساختار شکل ۹، باید توجه داشت که ورودی انتگرال گیرها زمین مجازی است، پس نمی‌توان سیگنال مسیر

$$kc1 = 0.183 \text{ و } kc2 = 0.087$$

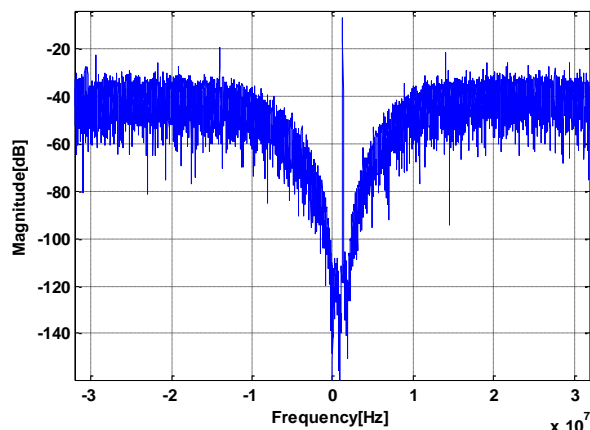


شکل ۶: محل صفر و قطب‌های فیلتر مختلط

پیاده‌سازی سیستمی مدولاتور متعامد مطلوب پس از جبران سازی و جایگذاری قطب‌های فیلتر (با ضرایب مختلط) در شکل ۷ نشان داده شده است. این شکل، ساختار پایه مدولاتور متعامد طراحی شده است که اصلاحات پیشنهادی روی آن صورت می‌گیرد. طیف خروجی این مدولاتور با نرخ سیگنال به نویز  $87/53$  دسی بل در شکل ۸ نشان داده شده است.



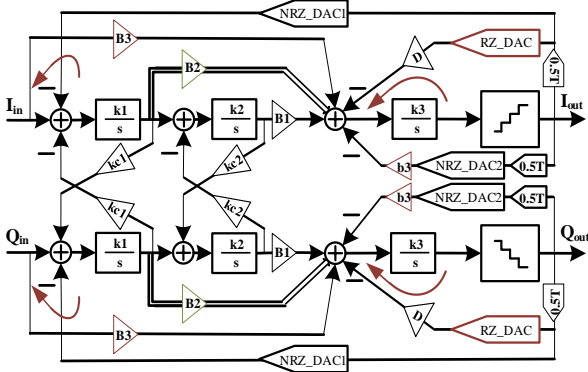
شکل ۷: ساختار مدولاتور متعامد درجه ۳ دارای جبران سازی تأخیر اضافی حلقه‌ها



شکل ۸: طیف خروجی مدولاتور متعامد درجه ۳ با  $OSR=32$

سوم، این مسیر به فیدبک RZ\_DAC با ضریب دو برابر ( $D=2*0.862$ ) تبدیل شده و ساختار مدولاتور حاصل به صورت شکل ۱۰ درمی آید. در رابطه (۱۱) معادله حاکم بر مبدل RZ\_DAC آورده شده است که در این معادله  $D_{out}$  داده خروجی کوانتایزر است.

$$D = D_{out} \left\{ z^{-\frac{1}{2}} \left( 1 - z^{-\frac{1}{2}} \right) \right\} \quad (11)$$



شکل ۱۰: ساختار مدولاتور متعامد پس از انتقال فیدبک جبران ساز به قبل از انتگرال گیر سوم و انتقال مسیر B3 به قبل از جمع کننده اول

تابع تبدیل ساختار جدیدی که در شکل ۱۰ نشان داده شد، با ضرایب جدید که در بالا ذکر شد، با تابع تبدیل ساختار اولیه نشان داده شده در شکل ۷ بایستی معادل باشد. لازم به ذکر است که در مراحل مختلف این شیوه طراحی، تابع تبدیل مدولاتور متعامد را همواره ثابت نگه داشته و فقط با تغییرات ساختاری، دو آپامپ جمع کننده حذف شده اند. بدین ترتیب، بدون تغییر در ویژگی‌ها و یا کاهش کیفیت خروجی مدولاتور، موجبات کاهش سخت‌افزار و توان مصرفی فراهم شده است که به عنوان یکی از دستاوردهای این مقاله، در بخش شبیه‌سازی مجدداً مورد ارزیابی قرار می‌گیرد.

#### ۴-تجمیع DACها

همان‌طور که در شکل ۱۱ نشان داده شده است، غیر از DAC اصلی دو DAC دیگر، یکی NRZ و دیگری RZ در مدار وجود دارد. پیاده‌سازی مداری RZ-DAC پیچیده بوده و مصرف توان آن نیز نسبت به NRZ-DAC بیشتر است [۱۲]. با هدف رفع این چالش، مبدل جبران‌ساز RZ-DAC با دو مبدل NRZ-DAC جایگزین می‌شود. حال می‌توان مبدل‌های NRZ\_DAC2 را که به دلیل حذف جمع کننده به مدار اضافه شده بود، را در این مبدل‌های جبران ساز ادغام نموده و ساختاری ساده‌تر به دست آورد. برای این امر، رابطه (۱۱) را به شکل رابطه (۱۲) نوشته و داده خروجی مدولاتور ( $D_{out}$ )، با تاخیرهای ۰/۵ و ۱ پیروی به مبدل‌های NRZ-DAC اعمال می‌شود.

$$D = D_{out} \left\{ z^{-\frac{1}{2}} \left( 1 - z^{-\frac{1}{2}} \right) \right\} = D_{out} \left\{ \left( z^{-\frac{1}{2}} - z^{-1} \right) \right\} \quad (12)$$

b3 را از ورودی انتگرال گیر اول گرفت. به همین دلیل ورودی آن به قبل از جمع کننده اول منتقل می‌شود. با انجام این انتقال، ضرایب تابع تبدیل فیلتر تغییر می‌کنند.

با اعمال این تغییرات و محاسبه مجدد ضرایب، تابع تبدیل جدید بدست آمده در رابطه (۹) نشان داده شده است.

برای اینکه عملکرد مدولاتور تغییر نکند، باید تابع تبدیل آن ثابت

$$H'(s) = \frac{B_1 + B_2(s - j0.183) + B_3s(s - j0.183)}{s(s - j0.087)(s - j0.183)} + 0.862 \quad (9)$$

$$= \frac{B_1 + (B_2 - j0.087*B_3)(s - j0.183) + B_3s(s - j0.183)}{s(s - j0.087)(s - j0.183)} + 0.862$$

بماند، به همین منظور، رابطه (۹) را با رابطه اولیه مدولاتور یعنی رابطه (۶) معادل قرار داده ( $H(s) \equiv H'(s)$ ) و ضرایب فیلتر مختلط محاسبه می‌شود. مقدار ضرایب محاسبه شده با ساختار جدید به صورت زیر هستند:

$$B1=b1=0.4576$$

$$B2=b2+j0.087*b3=1.3958+j0.1786$$

$$B3=b3=2.0537$$

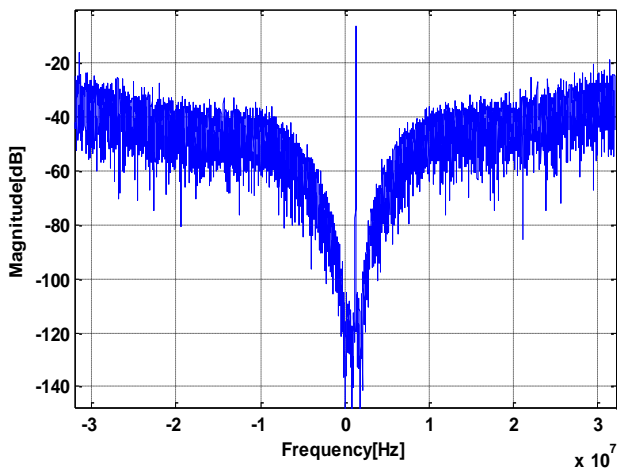
با جایگذاری این ضرایب در رابطه (۹) تابع تبدیل جدید فیلتر شکل می‌گیرد که در رابطه (۱۰) نشان داده شده است.

$$H'(s) = \frac{0.4576 + (1.3958 + j0.1786)(s - j0.183) + 2.0537s(s - j0.183)}{s(s - j0.087)(s - j0.183)} + 0.862 \quad (10)$$

برای پیاده‌سازی سطح سیستم تابع تبدیل جدید، مسیر مختلط اضافه شده را با مسیر b2 که در شکل ۹ نشان داده شد، ادغام کرده و مسیر مختلط حاصل با ضریب B2 به صورت دوخطی در شکل ۱۰ نشان داده شده است. تغییر دیگری که با انتقال ورودی مسیر b3 به قبل از جمع کننده ورودی در مسیر سیگنال‌ها ایجاد می‌شود، این است که فیدبک اصلی با ضریب B3 با آن جمع می‌شود. برای ثابت ماندن ضریب b3، مقدار فیدبک در انتهای مسیر، با اعمال وزن NRZ\_DAC2 از آن کم می‌شود. ضریب مسیر B3 در شکل ۱۰ برآیند سیگنال‌های نشان داده شده در رابطه زیر است:

$$B3=b3+kc1+b3*(NRZ\_DAC1)$$

همان‌طور که توضیح داده شد، دو سیگنال آخری در انتهای مسیر از آن تفریق می‌شوند. به طوری که در شکل ۹ نشان داده شده است، یکی دیگر از ورودی‌های جمع کننده که باید به قبل از انتگرال گیر سوم منتقل شود، مسیر مبدل NRZ\_DAC ناشی از جبران سازی مدار است. برای انتقال این مسیر به قبل از انتگرال گیر، مشابه روش ارائه شده در مرجع [۲۱] عمل شده است. در این روش، با انتقال فیدبک جبران ساز NRZ\_DAC از ورودی کوانتایزر به ورودی انتگرال گیر



شکل ۱۳: طیف خروجی مدولاتور نهایی

### ۵- پیاده‌سازی مداری مدولاتور

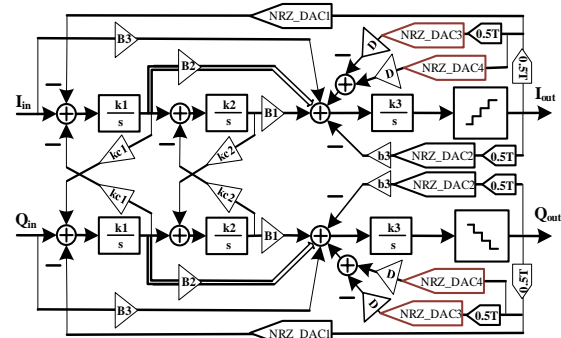
پیاده‌سازی مداری مدولاتور در شکل ۱۴ نشان داده شده است. به دلیل خاصیت خطی بالای روش پیاده‌سازی RC فعال، انتگرال‌گیرهای مدولاتور با این روش پیاده‌سازی شده‌اند. انتگرال‌گیر طبقه اول مهم‌ترین انتگرال‌گیر مدولاتور است و سهم بیشتری از مصرف توان را به خودش اختصاص می‌دهد. به همین دلیل، آپامپ تلسکوپی که مصرف توان پایین و پهنای باند بزرگ‌تری دارد، برای طبقه اول استفاده شده است. مشکل سوینگ این آپامپ نیز با استفاده از آیینه جریان با سوینگ بالا به‌عنوان بار حل می‌شود [۲۲].

در طبقه بعدی آپامپ کسکود تا شده استفاده می‌شود. مهم‌ترین ویژگی این آپامپ آزادی عمل در انتخاب مستقل محدوده مد مشترک ورودی و خروجی است [۲۳]. در طبقه سوم نیز که به‌عنوان جمع‌کننده مسیرهای پیشخور نیز عمل می‌کند، از تقویت‌کننده کسکود استفاده می‌شود تا با مصرف توان کمتر پهنای باند لازم را نیز داشته باشد.

همان‌طور که در شکل ۱۴ نشان داده شده است، هر مسیر مدولاتور دارای سه DAC از نوع NRZ است که با روش رشته جریانی<sup>۲۲</sup> پیاده‌سازی شده‌اند [۲۱].

کوانتایزر سه بیتی فلش<sup>۲۳</sup> از هفت مقایسه‌کننده<sup>۲۴</sup> تشکیل شده است که هر مقایسه‌کننده از قسمت‌های پیش تقویت‌کننده<sup>۲۵</sup>، regenerative Latch و SR Latch تشکیل شده است [۱۲، ۲۴، ۲۵]. طیف خروجی این مدولاتور که در سطح ترانزیستور در تکنولوژی ۱۸۰ نانومتر در نرم‌افزار Spectra-RF و کتابخانه TSMC در شکل ۱۵ آورده شده که نرخ سیگنال به نویز در این خروجی ۷۵/۹ دسی‌بل است.

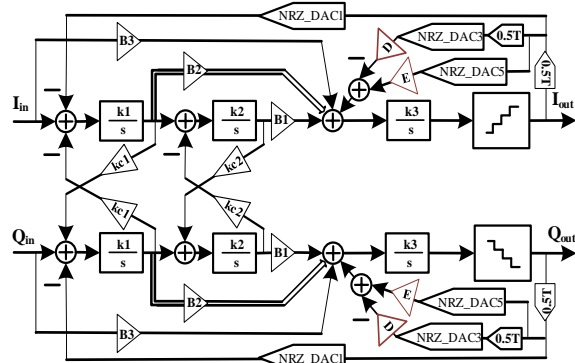
در این مدولاتور مبدل RZ-DAC با دو مبدل NRZ-DAC<sub>2,3</sub> معادل آن جایگزین شده و ساختار حاصل در شکل ۱۱ آورده شده است.



شکل ۱۱: ساختار مدولاتور متعامد پس پیاده‌سازی RZ-DAC به‌وسیله NRZ-DAC

همان‌طور که در این شکل دیده می‌شود، در هر مسیر مدولاتور مبدل NRZ-DAC<sub>2</sub> در مبدل NRZ-DAC<sub>4</sub> ادغام و با یک NRZ-DAC<sub>5</sub> پیاده‌سازی شده که در شکل ۱۲ نشان داده شده است. در این شکل به‌جز DAC اصلی، دو DAC دیگر در هر مسیر مدولاتور وجود دارد که معادل یک RZ-DAC بوده و ضریب E از رابطه زیر به دست می‌آید:

$$E = D - B_3$$

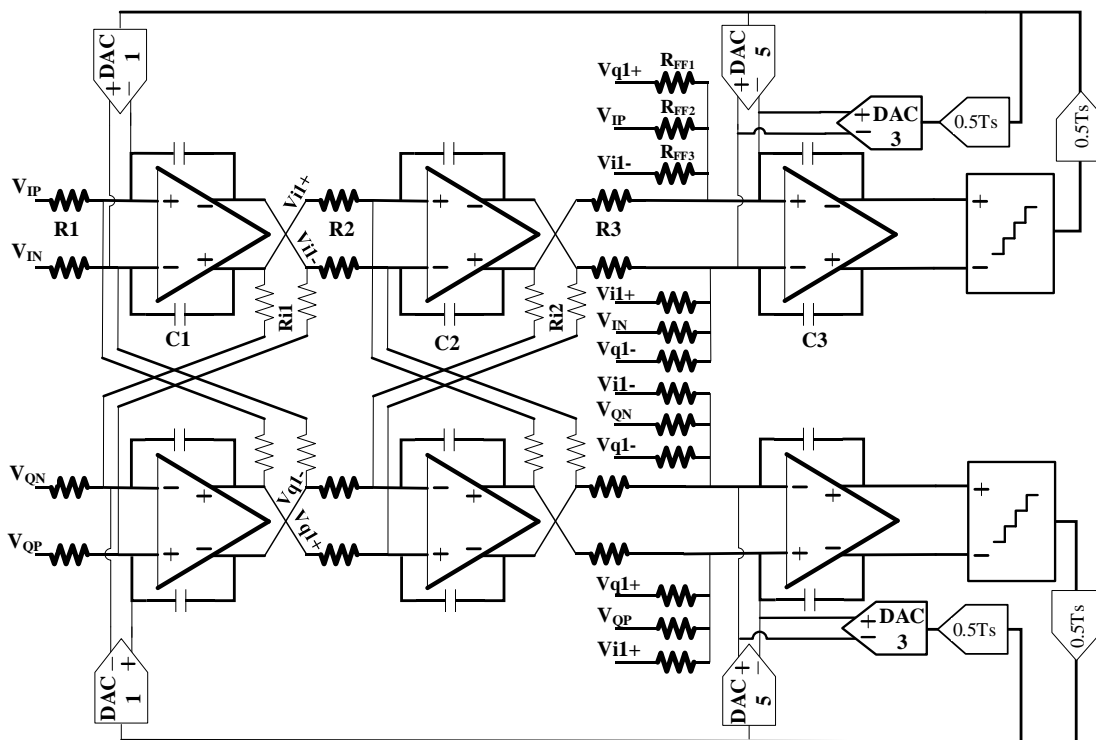


شکل ۱۲: ساختار مدولاتور متعامد پیشنهادی پس از تلفیق DACها

شکل ۱۲ ساختار نهایی مدولاتور طراحی شده است. با مقایسه این ساختار با شکل ۷ که ساختار اولیه مدولاتور است، مشاهده می‌شود که در مدار نهایی، دو جمع‌کننده (آپامپ) حذف، دو DAC به مدار اضافه و یک ضریب مختلط به مسیر b<sub>2</sub> اضافه شده که با مقاومت پیاده‌سازی می‌شود.

طیف خروجی ساختار به‌دست‌آمده در شکل ۱۳ آورده شده است. به‌دلیل اینکه تابع تبدیل مدولاتور تغییر نکرده است، این طیف با طیف به‌دست‌آمده از ساختار اولیه که در شکل ۷ آورده شده است، یکسان می‌باشد و نسبت سیگنال به نویز آن ۸۷/۵۳ دسی‌بل است.



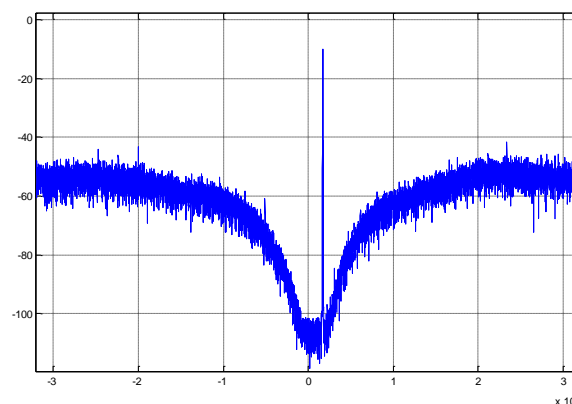


شکل ۱۴: شکل مداری مدولاتور طراحی شده

میلی وات مصرفی به علت DACها اضافه می شود درحالی که با حذف آپامپ های جمع کننده توان مصرفی دو آپامپ برابر  $1/464$  میلی وات صرفه جویی شده است. با اعمال روش پیشنهادی در این مقاله ساختار سیستمی شکل ۱۲ در شرایط مشابه،  $6/91$  میلی وات توان مصرف می کند که نسبت به ساختار اولیه  $1/288$  میلی وات کاهش پیدا نموده و ضریب شایستگی مدولاتور ۱۵ درصد بهبود یافته است. در همین راستا، همان طور که جانمایی در شکل ۱۶ نشان داده شده است، مساحت اشغالی توسط آپامپ حذف شده این آپامپ اضافه شده است، مساحت معادل  $49/71 \mu m \times 12/29 \mu m$   $70/23 \mu m \times 38/26 \mu m$  بوده است و NRZ\_DAC5 که به دلیل حذف تراشه را اشغال می کند. بدین ترتیب به دلیل اعمال روش پیشنهادی در طراحی مدولاتور، سطح تراشه حدود  $2076 \times 2 = 4152 \mu m^2$  کاهش یافته است.

پس از پیاده سازی مداری مدولاتور متعامد مقدار SNR مدولاتور به  $75/9$  dB می رسد. در این مقاله، با روش تغییرات سیستمی، مدولاتور مورد نظر طراحی شده و برای پیاده سازی از المان های مداری با ساختار معمولی جهت تأیید صحت روش طراحی استفاده شده است. در صورتی که با پیاده سازی بخش های مختلف با ساختارهای بهینه سازی شده و کم مصرف و تکنولوژی های کوچک تر می توان FOM را به مقدار بیشتری بهبود داد.

با توجه به رابطه (۱۳) که در مرجع [۹] آمده است، حداکثر نرخ سیگنال به نویز مدولاتور حقیقی ایده آل اولیه ( $OSR=32$  و  $N=3$  و



شکل ۱۵: طیف خروجی مدولاتور متعامد پیشنهادی شبیه سازی شده در سطح ترانزیستور

### ۶- نتایج شبیه سازی

ساختار نهایی مدولاتور متعامد طراحی شده قبل از حذف جمع کننده ها در شکل ۷ نشان داده شده است. اعمال کوانتایزر سه بیتی برای دستیابی به نرخ سیگنال به نویز بالاتر در این ساختار هرچند باعث افزایش مصرف توان شده ولی در کل مقدار ضریب شایستگی  $0/39$  حاصل می شود که نسبت به طراحی های مشابه که در جدول ۱ ذکر شده اند، بهبود قابل توجهی دارد. با اعمال روش پیشنهادی به مدولاتور شکل ۷ دو آپامپ حذف و دو DAC به مدار اضافه شده و ساختار نهایی در شکل ۱۲ نشان داده شده است. با اعمال این روش  $0/176$



استفاده می‌شود. برای محاسبه FOM چندین تعریف متفاوت بیان شده که در این مقاله از رابطه (۱۴) استفاده شده است [۱۷، ۲۶]:

$$FOM = \frac{\text{power}}{2 * BW * 2^{((SNDR-1.76)/6.02)}} \quad (14)$$

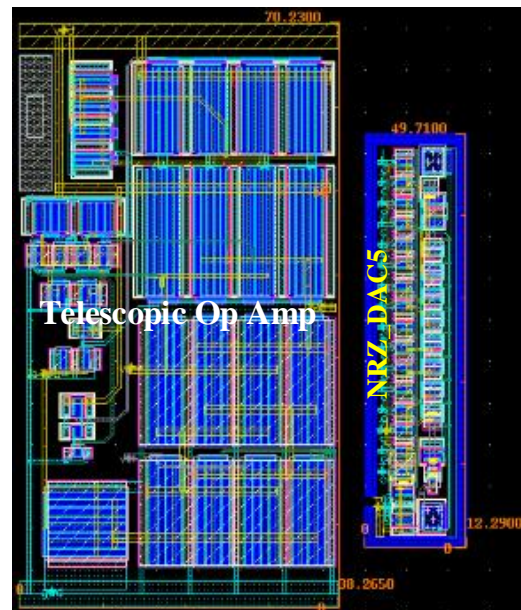
مقدار FOM به دست آمده از تعریف فوق هر قدر کوچک تر باشد، به معنی عملکرد بهتر مدولاتور می‌باشد. مطابق جدول ۱، با وجود این که مدولاتورهای ارائه شده در این مراجع از نوع متعامد زمان پیوسته و پیشخور مرتبه سه هستند (QFF3/CT)، FOM مدولاتور طراحی شده پیشنهادی، نسبت به مراجع ذکر شده در وضعیت بهتری قرار دارد.

### ۷- نتیجه گیری

در این مقاله یک مدولاتور دلتا سیگمای متعامد سه بیتی پیشخور که با روشی جدید جمع کننده آن حذف شده است، طراحی گردید. طراحی ساختار اولیه مدولاتور به روش طراحی مدولاتور حقیقی و تبدیل آن به مدولاتور متعامد انجام شده است. جمع کننده های انتهای مسیره های فیلتر مدولاتور مصرف توان بالایی داشته و بهره مؤثر حلقه فیلتر را نیز کاهش می‌دهد. با روشی که در این مقاله ارائه شده است، با تغییر ساختار سیستمی مدولاتور، این جمع کننده ها حذف شده اند. در ساختار جدید دو DAC و یک ضریب مختلط به یکی از مسیره ها اضافه شده که با مقاومت پیاده سازی می‌شوند و در مجموع موجب کاهش مصرف توان و مساحت تراشه می‌شود. در پیاده سازی سیستمی مدولاتور (در متلب)، نرخ سیگنال به نویز ۸۷/۵۳ دسی بل و در پیاده سازی مداری آن در تکنولوژی ۱۸۰ نانومتر مقدار ۷۵/۹ دسی بل به دست آمده است. توان مصرفی مدولاتور پیاده سازی شده به علت حذف جمع کننده ها به مقدار ۱/۲۸۸ میلی وات کاهش یافته است.

در جدول ۱ نتایج این مقاله با تحقیقات مشابه مقایسه شده و همان طور که مشاهده می‌شود، FOM مدولاتور طراحی شده در این مقاله به مقدار قابل ملاحظه ای کاهش یافته که مؤید انتظارات منطبق با تحلیل و طراحی تئوری می‌باشد.

مقدار  $L=3$  مقدار ۱۰۲/۶ dB محاسبه می‌شود. برای محاسبه نرخ سیگنال به نویز طیف خروجی مدولاتور نیز از روش ذکر شده در مرجع [۱۱] استفاده شده است.



شکل ۱۶: جانمایی آپامپ حذف شده و NRZ\_DAC5

پس از اعمال تأخیر و جبران سازی و دیگر تغییرات اعمال شده در طراحی و همچنین اعمال محدودیت دامنه ورودی در سطح سیستم مدولاتور، حداکثر نرخ سیگنال به نویز، مقدار ۸۷/۵۳ dB به دست می‌آید که این مقدار پس از اعمال تغییرات پیشنهادی نیز حفظ می‌شود.

$$SQNR_{MAX} = \frac{3(2L+1)}{2\pi^{2L}} OSR^{2L+1} (2^N - 1)^2 \quad (13)$$

برای مقایسه ویژگی های مدولاتور طراحی شده با نمونه های قبلی که به آن ها اشاره شد، نتایج حاصل از این طراحی و طراحی های قبلی در جدول ۱ آورده شده است. از آنجاکه مراجع محدودی برای پیاده سازی مدولاتور متعامد با پهنای باند متوسط مشابه در دسترس است، بنابراین برای مقایسه کلی مدولاتور طراحی شده از محاسبه ضریب شایستگی

جدول ۱: مقایسه کارهای انجام شده پیشین با مدولاتور طراحی شده

Parameter	type	SNR (dB)	Bandwidth (MHz)	OSR	Power (mW)	FOM[17] (pj/conv)	Technology (µm)
[16]	QFF3/CT	۸۶/۸	۰/۲	۱۳۰	۲/۷	۰/۳۷۷	۰/۲۵
[17]	QFF3/CT	۵۸/۶	۱	۳۲	۱/۷	۱/۲۲	۰/۱۳
[18]	QFF3/CT	۵۰/۴	۱/۵	۲۴	۲	۱/۶	۰/۱۳
[4]	QFF3/CT	۶۵/۲	۰/۵	۱۹۲	۲/۳	۱/۵۸	۰/۱۳
[27]	QFB2/CT	۵۷/۱	۲	۳۲	۴/۲	۱/۸	۰/۱۳
[28]	QFB2/CT	۵۷	۲	۳۲	۵	۲/۱۶	۰/۱۳
This work	QFF3/CT	۷۵/۹	۲	۳۲	۶/۹۱	۰/۳۳۹	۰/۱۸

- of *Technical Papers. ISSCC. 2005 IEEE International*, 2005, pp. 502-613.
- [15] M. Honarparvar and E. N. Aghdam, "Reconfigurable hybrid CT/DT delta-sigma modulator with op-amp sharing technique dedicated to multi mode receivers," *Analog Integrated Circuits and Signal Processing*, vol. 79, pp. 413-426, 2014.
- [16] S.-B. Kim, S. Joeres, R. Wunderlich, and S. Heinen, "A 2.7mW, 90.3 dB DR Continuous-Time Quadrature Bandpass Sigma-Delta Modulator for GSM/EDGE Low-IF Receiver in 0.25 m CMOS," *Solid-State Circuits, IEEE Journal of*, vol. 44, pp. 891-900, 2009.
- [17] A. Atac, L. Liao, Y. Wang, M. Schleyer, Y. Zhang, R. Wunderlich, et al., "A 1.7 mW quadrature bandpass  $\Delta\Sigma$  ADC with 1MHz BW and 60dB DR at 1MHz IF," in *Circuits and Systems (ISCAS), 2013 IEEE International Symposium on*, 2013, pp. 1039-1042.
- [18] A. Atac, R. Wunderlich, and S. Heinen, "A variable bandwidth & IF, continuous time  $\Delta\Sigma$  modulator for low power low-IF receivers," in *New Circuits and Systems Conference (NEWCAS), 2011 IEEE 9th International*, 2011, pp. 362-365.
- [19] N. Jouida, C. Rebai, A. Ghazel, and D. Dallet, "VHDL-AMS modeling of non-idealities effects in Continuous-time quadrature bandpass  $\Delta\Sigma$  modulator," in *Signals, Circuits and Systems (SCS), 2009 3rd International Conference on*, 2009, pp. 1-5.
- [20] S. Pavan, "Excess loop delay compensation in continuous-time delta-sigma modulators," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 55, pp. 1119-1123, 2008.
- [21] G. Mitteregger, C. Ebner, S. Mechnig, T. Blon, C. Holuigue, and E. Romani, "A 20-mW 640-MHz CMOS continuous-time ADC with 20-MHz signal bandwidth, 80-dB dynamic range and 12-bit ENOB," *IEEE journal of solid-state circuits*, vol. 41, pp. 2641-2649, 2006.
- [22] T. C. Carusone, D. Johns, and K. Martin, *Analog Integrated Circuit Design*: Wiley, 2011.
- [23] B. Razavi, *Design of Analog CMOS Integrated Circuits*: McGraw-Hill Education, 2016.
- [24] M. Hosseinnejad and H. Shamsi, "Design and Simulation of Pipelined ADCs based on Low-Voltage Comparators," 2016.
- [۲۵] مهدی حسین نژاد و حسین شمسی، « طراحی و شبیه‌سازی مدل آنالوگ به دیجیتال لوله‌ای مبتنی بر مقایسه‌گر ولتاژ پایین » مجله مهندسی برق دانشگاه تبریز، دوره ۴۶، شماره ۱، بهار ۱۳۹۵، صفحه ۸۷-۹۸.
- [26] F. Henkel, U. Langmann, A. Hanke, S. Heinen, and E. Wagner, "A 1-MHz-bandwidth second-order continuous-time quadrature bandpass sigma-delta modulator for low-IF radio receivers," *Solid-State Circuits, IEEE Journal of*, vol. 37, pp. 1628-1635, 2002.
- [27] K.-W. Cheng, K. Natarajan, and D. J. Allstot, "A current reuse quadrature GPS receiver in 0.13 m CMOS," *Solid-State Circuits, IEEE Journal of*, vol. 45, pp. 510-523, 2010.
- [28] K.-W. Cheng, K. Natarajan, and D. Allstot, "A 7.2 mW quadrature GPS receiver in 0.13 $\mu$ m CMOS," in *Solid-State Circuits Conference-Digest of Technical Papers*, 2014.
- [1] B. Li and K.-P. Pun, "A High Image-Rejection SC Quadrature Bandpass DSM for Low-IF Receivers," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 61, pp. 92-105, 2014.
- [2] S. Jantzi, K. Martin, M. Snelgrove, and A. Sedra, "A complex bandpass  $\Delta\Sigma$  converter for digital radio," in *Circuits and Systems, 1994. ISCAS'94., 1994 IEEE International Symposium on*, 1994, pp. 453-456.
- [۳] روح الله نوروزی دهنشاهی و ابراهیم فرشیدی، « افزایش توان تفکیک ساختار MASH مرتبه دو مبتنی بر GRO و مدولاسیون عرض پالس در ورودی » مجله مهندسی برق دانشگاه تبریز، دوره ۴۵، شماره ۴، زمستان ۱۳۹۴، صفحه ۲۱۱-۲۲۱.
- [4] T. Saalfeld, A. Atac, L. Liao, R. Wunderlich, and S. Heinen, "A 2.3 mW quadrature bandpass continuous-time DSM with reconfigurable quantizer," in *Ph. D. Research in Microelectronics and Electronics (PRIME), 2016 12th Conference on*, 2016, pp. 1-4.
- [5] P. M. Aziz, H. V. Sorensen, and J. Van der Spiegel, "Performance of complex noise transfer functions in bandpass and multi band sigma delta systems," in *Circuits and Systems, 1995. ISCAS'95., 1995 IEEE International Symposium on*, 1995, pp. 641-644.
- [6] J. Marttila, M. Allén, and M. Valkama, "Frequency-Agile Multiband Quadrature Sigma-Delta Modulator for Cognitive Radio: Analysis, Design and Digital Post-Processing," *Selected Areas in Communications, IEEE Journal on*, vol. 31, pp. 2222-2236, 2013.
- [7] S.-C. Hwu and B. Razavi, "An RF Receiver for Intra-Band Carrier Aggregation," *Solid-State Circuits, IEEE Journal of*, vol. 50, pp. 946-961, 2015.
- [8] C.-Y. Ho, W.-S. Chan, Y.-Y. Lin, and T.-H. Lin, "A quadrature bandpass continuous-time delta-sigma modulator for a tri-mode GSM-EDGE/UMTS/DVB-T receiver," *Solid-State Circuits, IEEE Journal of*, vol. 46, pp. 2571-2582, 2011.
- [9] Y. Xu, Z. Zhang, B. Chi, N. Qi, H. Cai, and Z. Wang, "A 5-/20-MHz BW Reconfigurable Quadrature Bandpass CT ADC With AntiPole-Splitting Opamp and Digital/Calibration," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 24, pp. 243-255, 2016.
- [10] E. Di Gioia, "An 11-bit, 12.5-MHz, Low-Power, Low-Voltage, Continuous-Time Sigma-Delta Modulator in 0.13  $\mu$ m CMOS Technology," 2011.
- [11] R. Schreier and G. C. Temes, *Understanding delta-sigma data converters* vol. 74: IEEE press Piscataway, NJ, 2005.
- [12] M. Bolatkale, L. J. Breems, and K. A. Makinwa, *High speed and wide bandwidth delta-sigma ADCs*: Springer, 2014.
- [13] F. Gerfers and M. Ortmanns, *Continuous-time sigma-delta A/D conversion: fundamentals, performance limits and robust implementations* vol. 21: Springer Science & Business Media, 2006.
- [14] N. Yaghini and D. Johns, "A 43mW CT complex  $\Delta\Sigma$  ADC with 23MHz of signal bandwidth and 68.8 dB SNDR," in *Solid-State Circuits Conference, 2005. Digest*

2009. *ISSCC 2009. IEEE International*, 2009, pp. 422-423,423 a

### زیر نویس ها

- <sup>1</sup>quadrature delta sigma modulator (QDSM)
- <sup>2</sup>feedforward (FF)
- <sup>3</sup>continuous time (CT)
- <sup>4</sup> Low Pass
- <sup>5</sup> Signal to Noise Ratio (SNR)
- <sup>6</sup> Figure-Of-Merit
- <sup>7</sup>Analog to Digital Converter
- <sup>8</sup>Digital to Analog Converter
- <sup>9</sup>Hybride
- <sup>10</sup>noise-shaping enhancement (NSE)
- <sup>11</sup>chain of integrators with weighted capacitive feedforward summation
- <sup>12</sup>weighted capacitive feedforward
- <sup>13</sup>Excess Loop Delay
- <sup>14</sup>Non Return to Zero
- <sup>15</sup>Return to Zero DAC
- <sup>16</sup>Figure-Of-Merit
- <sup>17</sup>Order
- <sup>18</sup>Over Sampling Ratiou
- <sup>19</sup> Fs
- <sup>20</sup>Band Width
- <sup>21</sup>Discret Time
- <sup>22</sup>Current Stirring
- <sup>23</sup>Flash
- <sup>24</sup>comparator
- <sup>25</sup>preamplifier