

یک مقایسه کننده قفل شده تمام تفاضلی مجهز به روش نوین حذف آفست

سعید نقوی^۱، دانشجوی دکتری؛ سید ادیب ابریشمی فر^۲، دانشیار

۱- دانشکده مهندسی برق - دانشگاه علم و صنعت ایران - تهران - ایران - Saeed_naghavi@elec.iust.ac.ir

۲- دانشکده مهندسی برق - دانشگاه علم و صنعت ایران - تهران - ایران - Abrishamifar@iust.ac.ir

چکیده: در این مقاله یک مدار مقایسه کننده قفل شده تمام تفاضلی با استفاده از روشی جدید برای حذف آفست معرفی شده است. مدار مقایسه کننده شامل سه طبقه کلی: طبقه پیش تقویت کننده، طبقه قفل کننده و مدارهای حذف آفست می باشد. تأثیر نویز یک-یک-بک در ورودی به طور قابل ملاحظه ای توسط بهره مدار پیش تقویت کننده طراحی شده کاهش داده شده است. همچنین با استفاده از طبقه قفل کننده عمل بازتولید سیگنال سریع تر انجام شده و خروجی دیجیتال با نوسان کامل فراهم می شود. مزیت اصلی طبقه آخر یعنی مدار حذف آفست پیشنهادی این است که برای حذف آفست نیازی به ایجاد وقفه در عملکرد طبیعی مدار مقایسه کننده ندارد و در نتیجه سرعت بیش تری برای مقایسه قابل دست یابی خواهد بود. برای ارزیابی عملکرد مقایسه کننده پیشنهادی شبیه سازی ها با استفاده از فن آوری $0.18\mu\text{m}$ انجام شده است. نتایج شبیه سازی نشان می دهند مقادیر آفست ناشی از طبقات پیش تقویت کننده و قفل کننده به طور قابل ملاحظه ای در ورودی کاهش یافته و آفست منتقل شده به ورودی بسیار ناچیز و در حدود $450\mu\text{V}$ می باشد. مدار مقایسه کننده پیشنهادی با فرکانس کلاک 500MHz عمل مقایسه را انجام می دهد و توان مصرفی آن $373\mu\text{W}$ از منبع تغذیه $1/8$ ولتی می باشد. همچنین تأخیر انتشار آن 138ps و نویز یک-یک-بک آن فقط 0.54mV می باشد.

واژه های کلیدی: مقایسه کننده تمام تفاضلی، پیش تقویت کننده، مقایسه کننده قفل شده، مدارهای حذف آفست، نویز یک-یک-بک.

A Fully Differential Latched Comparator with a Novel Offset Cancellation Technique

S. Naghavi¹, PhD Student; A. Abrishamifar², Associate Professor

1- School of Electrical Engineering, Iran University of Science and Technology, Tehran, Iran, Email: Saeed_naghavi@elec.iust.ac.ir

2- School of Electrical Engineering, Iran University of Science and Technology, Tehran, Iran, Email: Abrishamifar@iust.ac.ir

Abstract: A Fully Differential latched comparator using a new off set cancellation technique is presented. The comparator consists of three stages: the input pre-amplifier, a latch stage and the off set cancellation circuitry. The kick-back noise can be significantly reduced by using a pre-amplifier stage. Also, the off set and noise of the latch and off set cancellation stages are attenuated by the gain of the pre-amplifier when referred to the input. Latches regenerate faster than pre-amplifiers and provide a full swing digital output for the comparator. The last stage is the off set cancellation circuitry. The main advantage of the proposed off set cancellation technique is that it does not need to make any interrupt in normal operation of comparator to eliminate off set error. In order to evaluate the performance of the comparator, simulations are performed in a $0.18\mu\text{m}$ standard CMOS technology. Simulation results show that the off set of the pre-amplifier and latch stages are significantly eliminated by this cancellation technique and only about $450\mu\text{V}$ off set voltage will be referred to the input. The proposed comparator operates at 500MHz clock frequency and dissipates $373\mu\text{w}$ from a 1.8v supply. Also, it has a propagation delay of 138ps and kick-back noise of 0.54mV .

Keywords: Fully differential comparator, Pre-amplifier, Latched comparator, Off set cancellation, kick-back noise.

تاریخ ارسال مقاله: ۱۳۹۶/۰۱/۲۴

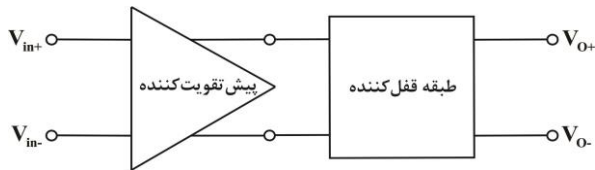
تاریخ اصلاح مقاله: ۱۳۹۶/۰۷/۱۹

تاریخ پذیرش مقاله: ۱۳۹۶/۱۰/۳۰

نام نویسنده مسئول: سیدادیب ابریشمی فر

نشانی نویسنده مسئول: ایران - تهران - میدان رسالت - خیابان هنگام - خیابان دانشگاه - دانشگاه علم و صنعت ایران - دانشکده مهندسی برق.

۱- مقدمه



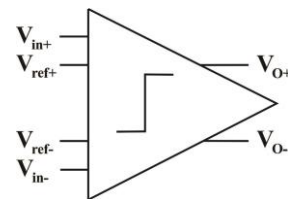
شکل ۲: نمودار بلوکی یک مقایسه کننده تمام تفاضلی

مدار مقایسه کننده با کارایی بالا باید در مدت زمان بسیار کوتاهی بتواند سیگنال ورودی با دامنه بسیار کوچک (اختلاف بین ولتاژ ورودی و ولتاژ مرجع) را به سیگنالی با دامنه بزرگ به نحوی تقویت کند که توسط مدارهای منطقی دیجیتال قابل تشخیص باشد [۶]. به عبارت دیگر، طبقه (یا طبقات) پیش تقویت کننده سیگنال ورودی را برای بهبود میزان حساسیت مقایسه کننده تقویت می کند. به همین دلیل بهره و نرخ چرخش زیادی برای این نوع مقایسه کننده ها مورد نیاز می باشد. به دلیل سرعت زیاد، توان مصرفی کم، امیدانس ورودی زیاد و نوسان کامل خروجی مقایسه کننده های پویای قفل شده در بسیاری از کاربردها مورد استفاده قرار می گیرند [۶]. مقایسه کننده های قفل شده برای داشتن بهره زیاد در فاز باز تولید از فیدبک مثبت استفاده می کنند. استفاده از سازوکار فیدبک مثبت به علت احتمال عدم تطابق ترانزیستورهای پشت به پشت مورد استفاده باعث افزایش آفست منتقل شده به ورودی و در نتیجه محدود شدن دقت مقایسه کننده خواهد شد [۷، ۸]. به همین دلیل آفست منتقل شده به ورودی مقایسه کننده های قفل شده مهم ترین پارامتری است که در طراحی آن ها باید مورد بررسی قرار گیرد.

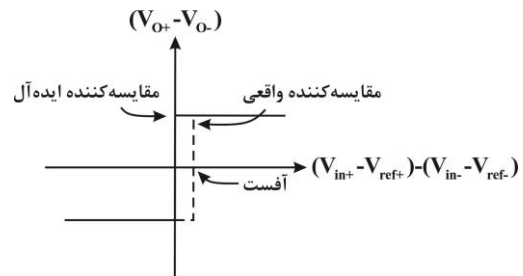
از طرفی دیگر با روند کوچک شدن فن آوری CMOS طراحی مقایسه کننده ها با مشکلاتی مواجه شده است. ترانزیستورهای با طول کوچک امکان کاربردهای پر سرعت و کم توان را فراهم می کنند، این حالی است که در این شرایط آفست ناشی از عدم تطابق افزایش خواهد یافت [۹]. این امر قابلیت تفکیک مقایسه کننده را محدود خواهد کرد و باعث تشخیص اشتباه خواهد شد [۱۰]. در نتیجه با توجه به موارد بیان شده مهم ترین مواردی که در طراحی مقایسه کننده ها باید در نظر گرفته شوند عبارتند از: تقویت سریع اختلاف بین ولتاژ ورودی و ولتاژ مرجع و حذف یا کاهش آفست منتقل شده به ورودی.

در مقالات روش های مختلفی برای حذف یا کاهش آفست منتقل شده به ورودی معرفی شده اند. یکی از ساده ترین روش های معرفی شده در نظر گرفتن ابعاد بزرگ برای ترانزیستورهای ورودی و نیز ترانزیستورهای طبقه قفل کننده می باشد. ولی واضح است که استفاده از این روش چندان به صرفه نمی باشد و باعث افزایش نویز یک-یک، توان مصرفی و تأخیر مدار خواهد شد [۱۱]. یک روش بهتر استفاده از یک یا چند طبقه پیش تقویت کننده قبل از طبقه قفل کننده می باشد [۱۲]. پیش تقویت کننده باعث می شود آفست طبقات بعدی بر بهره آن تقسیم شده و به ورودی راه یابند. به همین دلیل باعث کاهش قابل ملاحظه ای در آفست منتقل شده به ورودی خواهد شد. هم چنین استفاده از این

مدارهای تمام تفاضلی در بسیاری از زمینه های طراحی آنالوگ مورد استفاده قرار می گیرند. به ویژه این مدارها در رد نویز حالت مشترک در مدارهای مجتمعی که هر دو نوع پردازش آنالوگ و دیجیتال را انجام می دهند بسیار مورد استفاده قرار می گیرند [۱]. در چنین مدارهایی مقایسه کننده ها ارتباط بین حوزه آنالوگ و دیجیتال را فراهم می کنند. به علاوه تأثیر نویز یک-یک به طور قابل ملاحظه ای با استفاده از ساختارهای تمام تفاضلی کاهش می یابد [۲]. شکل ۱ نماد مداری و مشخصه انتقال یک مقایسه کننده تمام تفاضلی ایده آل را نشان می دهد.



(الف)



(ب)

شکل ۱: مقایسه کننده تمام تفاضلی: (الف) نماد مداری، (ب) مشخصه انتقال

طراحی مدارهای مجتمع، همیشه با سیگنال های دیجیتال با سطوح کاملاً مشخص و تعریف شده سروکار دارند. در حالی که داده های ورودی آن ها سیگنال های آنالوگ و یا سیگنال های دیجیتالی هستند که در اثر عواملی مانند پهنای باند محدود و بازتاب های خط انتقال، تزویج نویز، هم شنوایی، مشکلات تشعشع و سازگاری الکترومغناطیسی و آثار سلفی و خازنی برد مدار چاپی و بسته بندی تراشه دچار خطا شده اند. برای تبدیل این سیگنال های معیوب به سیگنال دیجیتال با نوسان کامل، عمل مقایسه با ولتاژ مرجعی مشخص توسط مقایسه کننده ها انجام می شود [۳]. به عبارت دیگر مقایسه کننده ها مدارهای واسط بین دنیای آنالوگ و دیجیتال می باشند که از بلوک های مهم در بسیاری از سیستم ها از جمله مبدل های داده آنالوگ به دیجیتال می باشند [۴، ۵].

مقایسه کننده های تمام تفاضلی ولتاژ مرجع مورد نظر را از ورودی تفاضلی کم می کنند. حاصل این تفریق مدار پیش تقویت کننده را تحریک می کند و خروجی پیش تقویت کننده به مدار قفل کننده اعمال می شود تا به سیگنال دیجیتال با نوسان کامل تبدیل شود. شکل ۲ نمودار بلوکی یک مقایسه کننده تمام تفاضلی را نشان می دهد.

روش باعث کاهش نویز یک-یک خواهد شد. با این وجود، استفاده از این روش نیز در کاربردهای امروزی کافی نبوده و برطرف کردن کامل آفست با استفاده از این روش نیاز به توان و سطح مصرفی زیادی دارد. در [۱۳] حذف آفست از یک طبقه پیش تقویت کننده بر مبنای انتقال بار استفاده شده است. استفاده از چنین ساختاری باعث می شود طبقه پیش تقویت کننده تأثیری در افزایش توان مصرفی ایستای آمدار مقایسه کننده نداشته باشد. با این وجود این ساختار نیز مشکلات خود را دارد و به دلیل استفاده از سه فاز عملیاتی (بازنشانی)^{۱۴} پیش-شارژ^{۱۵} و تقویت) باعث کندی عملکرد مقایسه خواهد شد.

۲- مدار پیشنهادی

۲-۱- مدار مقایسه کننده پیشنهادی بدون بخش حذف آفست

در این مقاله با توجه به موارد ذکر شده در مقدمه ساختار نشان داده شده در شکل ۳ برای مدار مقایسه کننده (بدون بخش حذف آفست) پیشنهاد شده است. یکی از موارد مهم در طراحی مقایسه کننده بهره محدود آن ها می باشد؛ به ویژه زمانی که اختلاف بین ولتاژ تفاضلی ورودی و ولتاژ مرجع کم باشد بهره محدود می تواند منجر به ایجاد خطا در عملکرد مقایسه کننده شود. در این حالت ولتاژ خروجی کوچک و در نتیجه غیر قابل تشخیص خواهد بود. برای حل این مشکل در مدار پیشنهادی از یک طبقه قفل کننده استفاده شده است (ترانزیستورهای $M_9, M_{10}, M_{11}, M_{12}, M_{14}$).

مقایسه کننده قفل شده در فاز باز تولید برای فراهم کردن خروجی با نوسان کامل از سازوکار فیدبک مثبت استفاده می کند. تغییرات ولتاژ حاصل از این فیدبک مثبت از طریق خازن های پراکنده ترانزیستورها به ورودی منتقل شده و باعث اختلال در عمل مقایسه خواهند شد. این پدیده نویز یک-یک-بک نامیده می شود. استفاده از پیش تقویت کننده معمول ترین روش برای حل این مشکل می باشد که قبل از طبقه قفل کننده قرار داده می شود.

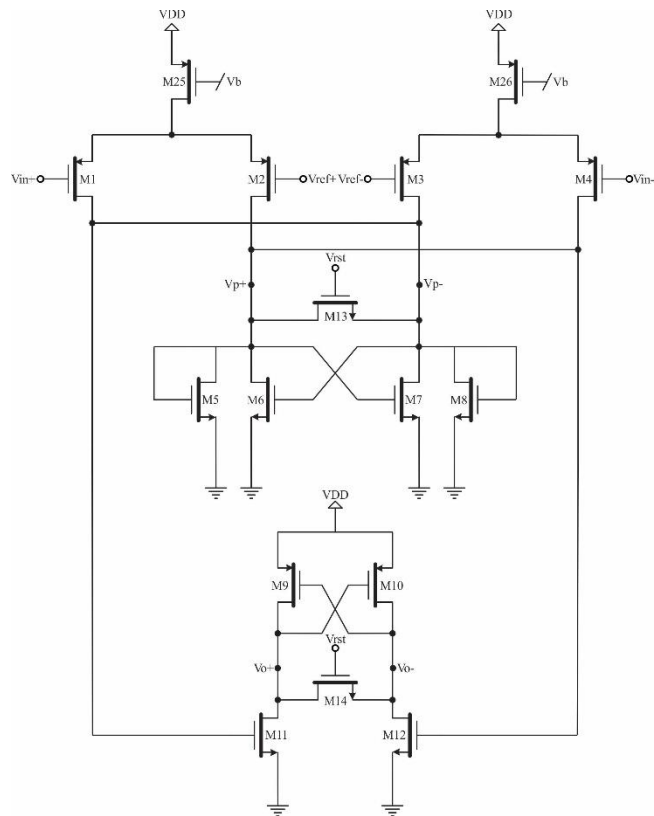
علاوه بر این، استفاده از پیش تقویت کننده باعث تقویت اختلاف بین ولتاژ ورودی و ولتاژ مرجع و در نتیجه کاهش مدت زمان فاز باز تولید می شود. هم چنین آفست منتقل شده به ورودی به علت تقسیم شدن بر آفست پیش تقویت کننده به طور قابل ملاحظه ای کاهش خواهد یافت. البته استفاده از طبقه پیش تقویت کننده تا حدودی باعث افزایش توان مصرفی مقایسه کننده خواهد شد. ترانزیستورهای $M_1, M_2, M_3, M_4, M_5, M_6, M_7$ و M_8 طبقه پیش تقویت کننده را تشکیل می دهند.

علاوه بر ملاحظات ذکر شده، مقایسه کننده پیشنهادی دارای دو سوئیچ برای بازنشانی خروجی های پیش تقویت کننده و طبقه قفل کننده می باشد که از بروز خطاهای احتمالی ناشی از اطلاعات مقایسه قبلی جلوگیری می کند. این مدار مقایسه کننده در صورت تطبیق کامل عناصر مدار و عدم وجود آفست، بدون مشکل کار خواهد کرد. ولی در عمل به علت وجود آفست، عملکرد مدار فوق دچار مشکل خواهد شد. به همین دلیل باید اصلاحاتی در مدار فوق انجام شود تا با وجود آفست نیز بتواند عمل مقایسه را به خوبی انجام دهد.

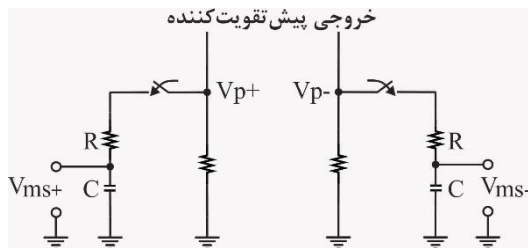
یکی دیگر از روش های خنثی کردن آفست مقایسه کننده ها ایجاد عدم توازن در مدار است. این عدم توازن می تواند توسط تزریق بار در گره های قفل کننده [۱۴]، استفاده از آرایه های خازنی وزن دار دودویی^{۱۵} به عنوان بار [۱۵] و یا استفاده از منابع جریان موازی با زوج ترانزیستورهای ورودی [۱۶، ۱۷] پیاده سازی شود. هم چنین تنظیم ولتاژ آستانه زوج ترانزیستورهای ورودی با استفاده از ترانزیستورهای با گیت شناور^{۱۶} [۱۸، ۱۹] و یا گرایش ولتاژ بدنه آن ها [۲۰] از رهیافت های دیگری هستند که به منظور کاهش آفست منتقل شده به ورودی مدارهای مقایسه کننده مورد استفاده قرار می گیرند. در هر دو روش ایجاد عدم توازن در مدار و تنظیم ولتاژ آستانه ترانزیستورهای ورودی، میزان تصحیح عملکرد به وسیله مدارهای خارجی و با جستجوی خطی و یا متعادل سازی آماری کدهای خروجی مقایسه کننده تعیین می شود. این امر باعث می شود برای به دست آوردن قابلیت تفکیک مناسب مدت زمان زیادی مورد نیاز باشد. هم چنین افزایش بار خازنی خروجی و نیز افزایش پیچیدگی و توان مصرفی کلی سیستم به علت نیاز به مدارهای خارجی از جمله معایب دیگر این روش ها می باشند.

روشی که به طور گسترده برای کاهش آفست منتقل شده به ورودی در کارهای مختلف مورد استفاده قرار گرفته است روش خازن سوئیچ شده می باشد. در این روش با استفاده از سوئیچ های با کلاک ناهم پوشان مقدار آفست در یک فاز به صورت موقت در خازنی ذخیره می شود و در فاز بعدی از این مقدار ذخیره شده برای حذف آفست استفاده می شود [۲۱، ۲۲]. معایب این روش ایجاد خطاهای دیگری می باشد که در اثر نفوذ کلاک و تزریق بار کانال سوئیچ ایجاد می شوند. هم چنین استفاده از این روش نیاز به ایجاد وقفه در عملکرد طبیعی مقایسه کننده برای حذف آفست دارد که باعث محدودیت در سرعت انجام عمل مقایسه خواهد شد.

در این مقاله مقایسه کننده جدیدی معرفی خواهد شد که علاوه بر داشتن بهره و نرخ چرخش مناسب، برای حذف آفست از ساختاری منحصربه فرد و ابتکاری استفاده می کند. در این مقایسه کننده ابتدا مقدار میانگین آفست طبقه پیش تقویت کننده تشخیص داده می شود و



شکل ۳: مدار مقایسه کننده پیشنهادی بدون بخش حذف آفست



شکل ۴: مدار RC مورد استفاده برای میانگین گیری

در ادامه عملکرد مدار RC برای میانگین گیری به صورت دقیق تری مورد بررسی قرار خواهد گرفت. برای خروجی مثبت طبقه پیش تقویت کننده پاسخ مدار میانگین گیر از رابطه (۱) به دست می آید (روابط خروجی منفی نیز به طور مشابه به دست می آیند):

$$V_{ms+} = \frac{1}{RC} \int_0^t V_{p+}(t) dt \quad (1)$$

به این ترتیب با فرض ورودی پله، پاسخ خروجی میانگین گیر برای حالت شارژ و تخلیه خازن به ترتیب از روابط ۲ و ۳ محاسبه می شود:

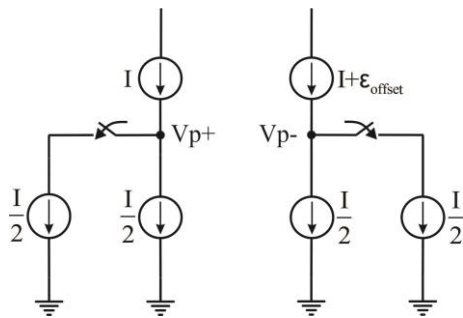
$$V_{ms+}(t) = V(0) \left(1 - e^{-\frac{t}{RC}} \right) \quad (2)$$

$$V_{ms+}(t) = V(0) \left(e^{-\frac{t}{RC}} \right) \quad (3)$$

۲-۲- مدار مقایسه کننده پیشنهادی با بخش حذف آفست

در طراحی مقایسه کننده ها آفست طبقه نخست مهم ترین بخش از آفست منتقل شده به ورودی را تشکیل می دهد. این امر به دلیل می باشد که آفست منتقل شده به ورودی طبقه بعدی بر بهره طبقه نخست تقسیم شده و در ورودی ظاهر خواهد شد. در نتیجه طراحی یک بلوک حذف آفست برای طبقه نخست بسیار مهم می باشد. نخستین گام در حذف آفست تشخیص آن می باشد. در صورت وجود آفست در خروجی پیش تقویت کننده، میانگین خروجی این طبقه مقداری متناسب با میزان آفست آن خواهد داشت که این مقدار میانگین می تواند به تشخیص آفست کمک کند. برای تعیین میانگین خروجی پیش تقویت کننده روش های متعددی وجود دارد که ساده ترین آن ها استفاده از مدار ساده RC در خروجی پیش تقویت کننده مطابق با ساختار نشان داده شده در شکل ۴ می باشد. خازن و مقاومت مورد استفاده در این روش با استفاده از افزاره های فعال نیز قابل پیاده سازی می باشند. در فاز مقایسه که در آن سوئیچ های بازنشانی بسته هستند به مدار RC اجازه داده می شود که به خروجی پیش تقویت کننده متصل شود. در این حالت مقداری متناسب با مقدار میانگین ولتاژ هر طرف در خازن مربوطه ذخیره می شود. این ولتاژ ذخیره شده روی خازن ها می تواند برای حذف آفست مورد استفاده قرار گیرد.

آفست باید جریان بیش‌تری از آن‌طرفی که ولتاژ بیش‌تری دارد کشیده شود. این سازوکار در شکل ۵ نشان داده شده است.



شکل ۵: سازوکار حذف آفست پیشنهادی

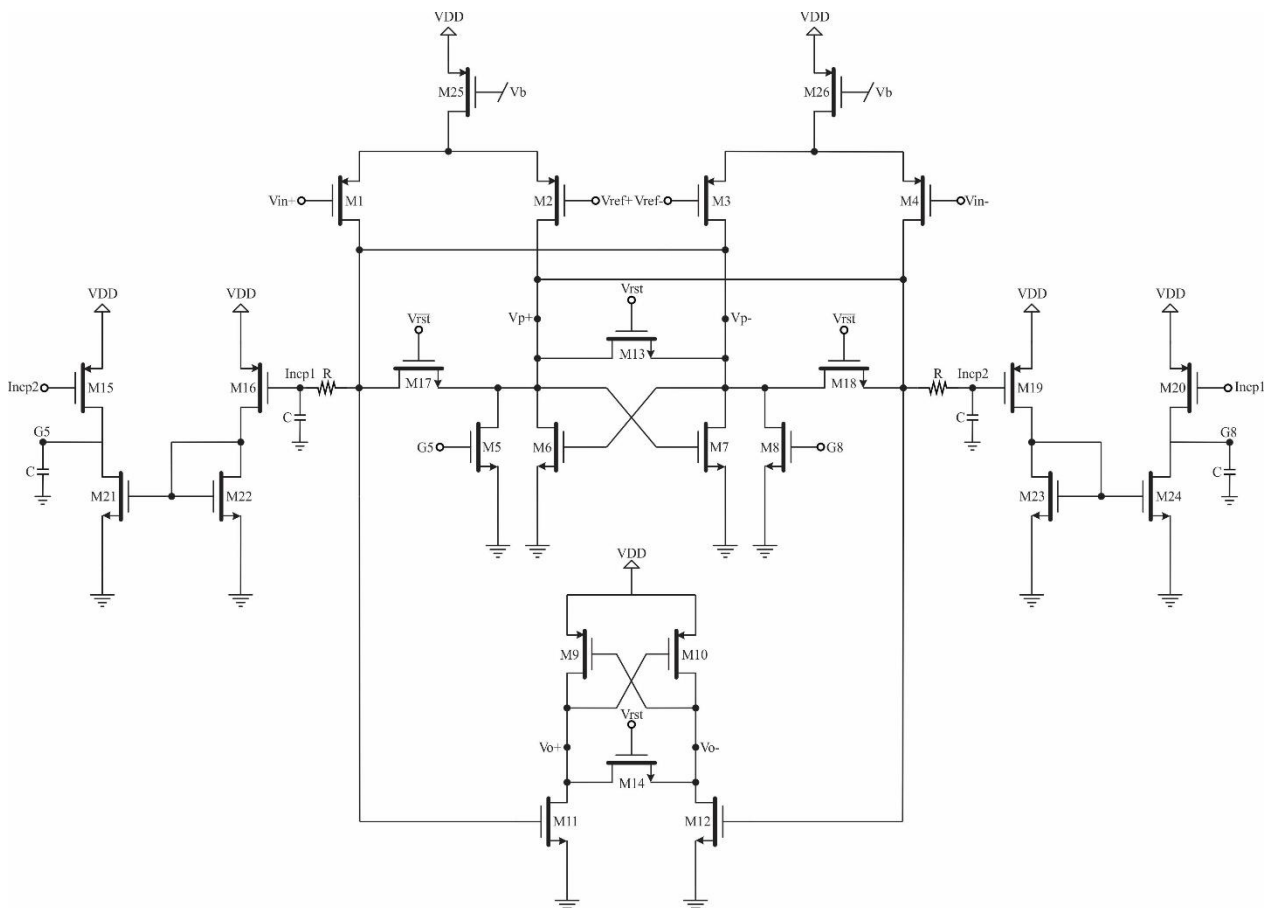
طبق ملاحظات اشاره شده در این بخش، ساختار شکل ۶ برای مقایسه‌کننده دارای بخش حذف آفست پیشنهاد شده است.

همان‌طور که در روابط ۲ و ۳ ملاحظه می‌شود عمل شارژ و تخلیه خازن در مدار میانگین‌گیر با ثابت زمانی RC انجام می‌گیرد و برای این‌که خازن مورد استفاده به ۹۹٪ پاسخ نهایی خود برسد در حدود 5RC زمان موردنیاز می‌باشد. به این ترتیب با توجه به فرکانس عملکرد مدار مقایسه‌کننده می‌توان مقادیر مناسبی برای R و C انتخاب نمود که مدار مشکلی از بابت زمان نشست نداشته باشد. در این راستا می‌توان از رابطه ۴ استفاده نمود:

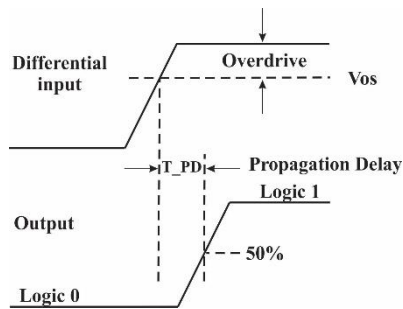
$$f < \frac{1}{5RC} \quad (4)$$

بنابراین، با توجه به این‌که فرکانس کاری مدار مقایسه‌کننده موردنظر ۵۰۰MHz می‌باشد، مقدار RC باید کم‌تر از $0.4n$ انتخاب شود.

بعد از مرحله میانگین‌گیری، ولتاژ ذخیره شده روی خازن‌ها برای حذف آفست مورد استفاده قرار می‌گیرد. برای این منظور می‌توان از منابع جریان کنترل شده با ولتاژ این خازن‌ها در هر طرف خروجی پیش تقویت‌کننده استفاده نمود. عبور جریان بیش‌تر از هر طرف می‌تواند ولتاژ بیش‌تری در آن طرف ایجاد کند. بنابراین برای حذف



شکل ۶: مدار مقایسه‌کننده پیشنهادی با بخش حذف آفست



شکل ۷: تعریف تأخیر انتشار مقایسه کننده [۲۳]

$$T_{Comp} = T_{Pre-amp} + T_{Latch} \quad (5)$$

که $T_{Pre-amp}$ مدت زمان مورد نیاز برای شارژ خازن های انگلی خروجی طبقه پیش تقویت کننده C_{P+} و C_{P-} به اندازه V_{Thn} (ولتاژ آستانه ترانزیستورهای M_{11} و M_{12}) می باشد و از رابطه ۶ محاسبه می شود:

$$T_{Pre-amp} = \frac{C_{P+} + C_{P-}}{2 \cdot I_b} \cdot V_{Thn} \quad (6)$$

هم چنین T_{Latch} مدت زمانی است که طبقه قفل کننده نیاز دارد تا خروجی دیجیتال با نوسان کامل برای مقایسه کننده فراهم کند. تأخیر طبقه قفل کننده می تواند به دو زیر بخش تقسیم شود: (۱) ولتاژ گره های خروجی با در نظر گرفتن ولتاژ تفاضلی کوچکی در ورودی تا $(V_{DD} - V_{Thp})$ شارژ می شوند، (۲) ترانزیستورهای PMOS (M_9 و M_{10}) روشن می شوند و سازوکار فیدبک مثبت برای تقویت ولتاژ تفاضلی ورودی طبقه قفل کننده شروع به کار می کند تا زمانی که به مقدار مورد نظر برسد. با توجه به مطالب بیان شده، T_{Latch} می تواند به صورت رابطه ۷ تعریف شود:

$$T_{Latch} = T_1 + T_2 \quad (7)$$

که T_1 و T_2 با استفاده از روابط ۸ و ۹ قابل محاسبه می باشند:

$$T_1 = \frac{C}{I} \cdot \Delta V = \frac{C(V_{DD} - V_{Thn})}{\frac{1}{2} \mu C_{ox} \left(\frac{W}{L}\right)_{11,12} (V_{GS} - V_{Thn})^2_{11,12}} \quad (8)$$

$$T_2 = \tau \ln \left[\frac{0.5(V_{DD} - GND)}{\Delta V_{in}} \right] \quad (9)$$

که در این روابط C بار مدار مقایسه کننده، ΔV_{in} ولتاژ ورودی طبقه قفل کننده و ثابت زمانی τ برابر $\frac{C}{g_{m9,10}}$ می باشد.

با توجه به مطالب بیان شده ملاحظه می شود میزان تأخیر انتشار کلی مدار مقایسه کننده پیشنهادی به پارامترهای فن آوری مورد استفاده، ابعاد ترانزیستورها و شرایط گرایش مدار بستگی دارد. در مدار مقایسه کننده پیشنهادی با توجه به کاربرد مورد نظر طراحی به نحوی صورت گرفته است که میزان تأخیر انتشار کمتر از 200 pS به دست آید که این امر با شبیه سازی های انجام شده نیز مطابقت دارد و در بخش ۵ مورد بررسی بیش تری قرار خواهد گرفت.

در این مدار بلوک RC مقدار میانگین خروجی پیش تقویت کننده را به یک پمپ بار اعمال می کند. برای مثال در طرف راست مدار مقایسه کننده پیشنهادی جریانی متناسب با این ولتاژ میانگین در M_{19} و M_{23} تولید می شود. این جریان به M_{24} آینه شده و با جریان M_{20} که مقدار ثابتی دارد مقایسه می شود. اختلاف جریان M_{20} و M_{24} خازن خروجی را شارژ یا تخلیه می کند. ولتاژ این خازن، گیت ترانزیستور M_8 را کنترل می کند. در نتیجه با کنترل جریان ترانزیستور M_8 می توان میزان آفست خروجی طبقه پیش تقویت کننده را حذف نمود. به طور مشابه با کنترل گیت M_5 می توان آفست سمت چپ پیش تقویت کننده را حذف کرد.

مدار مقایسه کننده پیشنهادی بدون نیاز به ایجاد وقفه در عملکرد طبیعی مدار، آفست پیش تقویت کننده را حذف می کند. هم چنین، در این مدار اثر نویز یک-بک به علت استفاده از طبقه پیش تقویت کننده بر طرف شده است. به علاوه، برای غلبه بر مشکل بهره محدود یک طبقه قفل کننده مورد استفاده قرار گرفته است که باعث فراهم کردن خروجی دیجیتال با نوسان کامل می شود. نسبت ابعاد ترانزیستورهای به کار رفته در مدار پیشنهادی در جدول ۱ نشان داده شده است.

جدول ۱: نسبت ابعاد ترانزیستورهای مدار مقایسه کننده پیشنهادی

ترانزیستورها	نسبت ابعاد (W-L)
M_1, M_2, M_3, M_4	(۸-۰/۱۸)
$M_{15}, M_{16}, M_{21}, M_{22}$	(۲-۴)
$M_{19}, M_{20}, M_{23}, M_{24}$	(۲-۴)
M_5, M_8	(۰/۵-۰/۱۸)
M_6, M_7	(۱/۲۵-۰/۱۸)
$M_9, M_{10}, M_{11}, M_{12}$	(۰/۵-۰/۱۸)
M_{17}, M_{18}	(۱-۰/۱۸)

۳- سرعت مدار مقایسه کننده

یکی از مهم ترین پارامترهایی که باید در طراحی مقایسه کننده ها در نظر گرفته شود تأخیر انتشار آن ها می باشد. میزان این تأخیر عاملی محدود کننده برای حداکثر فرکانس ورودی قابل پردازش توسط مدار مقایسه کننده ایجاد می کند. مقایسه ولتاژ سیگنال های آنالوگ در بازه زمانی محدودی انجام می شود. مدت زمانی که پس از عبور سیگنال ورودی تفاضلی از ولتاژ آفست طول می کشد تا خروجی به نصف مقدار نهایی خود برسد به عنوان تأخیر انتشار مقایسه کننده تعریف می شود [۲۳]. این تعریف در شکل ۷ به تصویر کشیده شده است.

در این بخش تأخیر انتشار مقایسه کننده پیشنهادی به صورت تحلیلی مورد بررسی قرار می گیرد. با توجه به ساختار کلی مدار مقایسه کننده پیشنهادی نمایش داده شده در شکل ۶، میزان تأخیر انتشار آن از دو بخش کلی به صورت رابطه ۵ تشکیل شده است:

$$\left(1 + \frac{\Delta I_D}{I_D}\right) \left[1 + \frac{\Delta(W/L)}{(W/L)}\right]^{-1} = \left[\frac{V_{DD} - V_{Incp1} - V_{Thp} - \Delta V_{Thp}}{V_{DD} - V_{Incp2} - V_{Thp}}\right]^2 \quad (12)$$

با جذر گرفتن از دو طرف رابطه ۱۲ خواهیم داشت:

$$\sqrt{\left(1 + \frac{\Delta I_D}{I_D}\right) \left[1 + \frac{\Delta(W/L)}{(W/L)}\right]^{-1}} = \left[\frac{V_{DD} - V_{Incp1} - V_{Thp} - \Delta V_{Thp}}{V_{DD} - V_{Incp2} - V_{Thp}}\right] \quad (13)$$

با فرض $\frac{\Delta I_D}{I_D} \ll 1$ و $\frac{\Delta(W/L)}{(W/L)} \ll 1$ ، همچنین اشاره به این نکته که

برای $\epsilon \ll 1$ می توان نوشت $\sqrt{1+\epsilon} \approx 1 + \frac{\epsilon}{2}$ و $\sqrt{(1+\epsilon)^{-1}} \approx 1 - \frac{\epsilon}{2}$ ، رابطه

۱۳ به صورت رابطه ۱۴ ساده می شود:

$$\left(1 + \frac{\Delta I_D}{2I_D}\right) \left[1 + \frac{\Delta(W/L)}{2(W/L)}\right] = \left[\frac{V_{DD} - V_{Incp1} - V_{Thp} - \Delta V_{Thp}}{V_{DD} - V_{Incp2} - V_{Thp}}\right] \quad (14)$$

با صرف نظر از حاصل ضرب دو مقدار کوچک خواهیم داشت:

$$\left[1 + \frac{\Delta I_D}{2I_D} - \frac{\Delta(W/L)}{2(W/L)}\right] = \left[\frac{V_{DD} - V_{Incp1} - V_{Thp} - \Delta V_{Thp}}{V_{DD} - V_{Incp2} - V_{Thp}}\right] \quad (15)$$

با فرض $E = 1 + \frac{\Delta I_D}{2I_D} - \frac{\Delta(W/L)}{2(W/L)}$ برای رابطه بین V_{Incp2} و V_{Incp1} خواهیم داشت:

$$V_{Incp1} - V_{Incp2} E = (1-E)V_{DD} + V_{Thp} E - V_{Thp} - \Delta V_{Thp} \quad (16)$$

رابطه ۱۶ را می توان به صورت رابطه ۱۷ بازنویسی نمود:

$$V_{Incp1} - V_{Incp2} E = (1-E)V_{DD} + V_{Thp} \left(E - 1 - \frac{\Delta V_{Thp}}{V_{Thp}}\right) \quad (17)$$

که در رابطه ۱۷ می توان از جمله $\frac{\Delta V_{Thp}}{V_{Thp}}$ صرف نظر کرد. به طور مشابه

با در نظر گرفتن $I_{15} = I_{21} = I_D + \Delta I_D$ رابطه دیگری بین V_{Incp1} و V_{Incp2} به دست می آید.

$$V_{Incp2} - V_{Incp1} E' = (1-E')V_{DD} + V_{Thp} (E' - 1) \quad (18)$$

که در رابطه ۱۸، E' برابر است با $E' = 1 + \frac{\Delta I_D}{2I_D} - \frac{\Delta(W/L)}{2(W/L)}$ با ادغام روابط ۱۷ و ۱۸ خواهیم داشت:

$$V_{os} = |V_{Incp2} - V_{Incp1}| = \frac{(EE' - E' - E + 1)(V_{Thp} - V'_{Thp})}{(1 - EE')} \quad (19)$$

با در نظر گرفتن $\frac{\Delta V_{Thn}}{I_D} = \frac{\Delta(W/L)}{(W/L)} - 2 \frac{\Delta V_{Thn}}{(V_{GS} - \Delta V_{Thn})_{21,22}}$ و

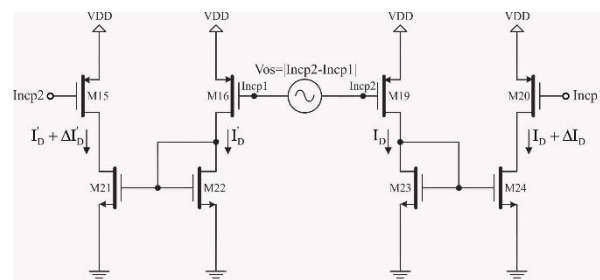
رابطه ۱۹ را می توان به صورت

رابطه ۲۰ بازنویسی کرد:

$$V_{os} = \frac{\frac{\Delta V_{Thn} \Delta V'_{Thn}}{V_{ov} V'_{ov}}}{\frac{\Delta V_{Thn}}{V_{ov}} + \frac{\Delta V'_{Thn}}{V'_{ov}} - \frac{\Delta V_{Thn} \Delta V'_{Thn}}{V_{ov} V'_{ov}}} \quad (20)$$

۴- آفست منتقل شده به ورودی مدار مقایسه کننده

ولتاژ آفست ورودی مقایسه کننده می تواند به صورت ولتاژ ورودی تفاضلی اعمالی به ورودی مدار به منظور قرارگیری در سطح تغییر حالت تعریف شود. این ولتاژ آفست قابلیت تفکیک مدار مقایسه کننده را محدود می کند. بنابراین، برای سیگنال های ورودی بسیار کوچک (در محدوده ولتاژ آفست ورودی)، مقایسه کننده در سطح نامطلوبی تغییر حالت می دهد یا به طور کلی تغییر حالت نمی دهد. در مدار مقایسه کننده پیشنهادی آفست منتقل شده به ورودی در اثر طبقات پیش تقویت کننده و قفل کننده به میزان قابل ملاحظه ای توسط واحد حذف آفست برطرف شده است. در ساختار پیشنهادی فقط آفست اندکی در اثر عدم تطابق احتمالی خود واحد حذف آفست با تقسیم بر بهره طبقه پیش تقویت کننده به ورودی منتقل خواهد شد. بنابراین، برای تحلیل آفست منتقل شده به ورودی مقایسه کننده پیشنهادی، خطای آفست واحد حذف آفست محاسبه شده و بر بهره پیش تقویت کننده تقسیم خواهد شد.



شکل ۸: ساختار مورد استفاده برای تحلیل آفست

همان طور که پیش تر اشاره شد، برای تحلیل آفست ابتدا آفست ورودی واحد حذف آفست مطابق ساختار نشان داده شده در شکل ۸ محاسبه خواهد شد. سپس به منظور محاسبه آفست منتقل شده به ورودی مدار مقایسه کننده، مقدار آفست به دست آمده از مرحله قبل بر بهره طبقه پیش تقویت کننده تقسیم خواهد شد. برای سادگی، در تحلیل های انجام شده $\lambda = \gamma = 0$ و عدم تطابق ها در μC_{ox} ناچیز فرض شده است. با توجه به فرض های ذکر شده و در نظر گرفتن $I_{20} = I_{24}$ و $I_{15} = I_{21}$ می توان نوشت:

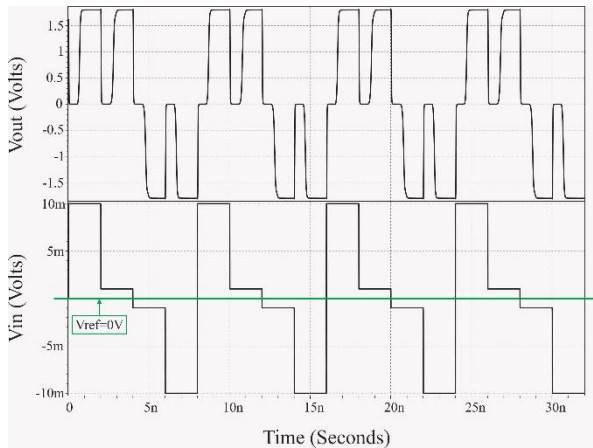
$$I_D + \Delta I_D = \frac{1}{2} \mu_p C_{ox} (W/L)_{20} (V_{GS} - V_{Thp})_{20}^2 \quad (10)$$

با تقسیم دو طرف رابطه ۱۰ بر I_D خواهیم داشت:

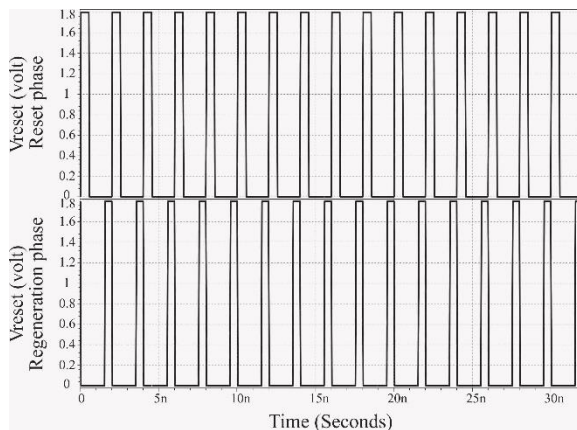
$$\left(1 + \frac{\Delta I_D}{I_D}\right) = \frac{\frac{1}{2} \mu_p C_{ox} (W/L)_{20} (V_{GS} - V_{Thp})_{20}^2}{\frac{1}{2} \mu_p C_{ox} (W/L)_{19} (V_{GS} - V_{Thp})_{19}^2} \quad (11)$$

با فرض $V_{Thp19} = V_{Thp}$ ، $\left(\frac{W}{L}\right)_{20} = \left(\frac{W}{L}\right) + \Delta\left(\frac{W}{L}\right)$ ، $\left(\frac{W}{L}\right)_{19} = \left(\frac{W}{L}\right)$

و $V_{Thp20} = V_{Thp} + \Delta V_{Thp}$ رابطه ۱۱ را می توان به صورت رابطه ۱۲ بازنویسی کرد:

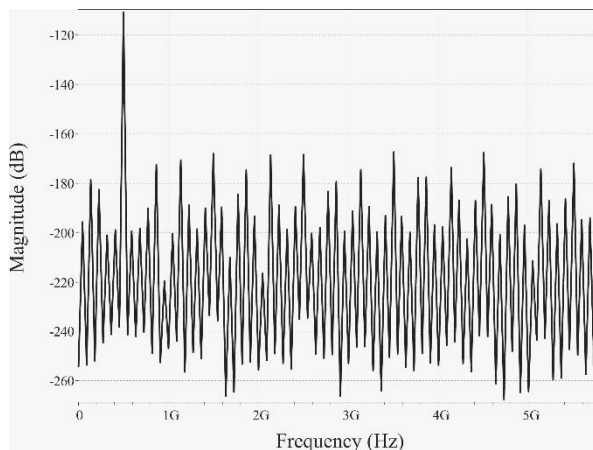


شکل ۹: پاسخ گذرای مدار مقایسه کننده پیشنهادی



شکل ۱۰: ساختار کلاک های اعمالی به مدار مقایسه کننده پیشنهادی

هم چنین شکل ۱۱ طیف خروجی مدار پیشنهادی را نشان می دهد. این مدار عملکرد پویای مناسبی را از خود نشان می دهد و مقادیر ۵۲dB برای SFDR و ۴۵dB برای SNR به دست آمده است.



شکل ۱۱: طیف خروجی مدار مقایسه کننده پیشنهادی

که در رابطه ۲۰ روابط $V_{ov} = (V_{GS} - \Delta V_{Thn})_{23,24}$ و $V_{ov} = (V_{GS} - \Delta V'_{Thn})_{21,22}$ برقرار است. همان طور که از رابطه ۲۰ ملاحظه می شود، بیشینه ولتاژ آفست مدار حذف آفست با در نظر گرفتن بدترین شرایط برابر با $(V_{Thp} - V'_{Thp})$ است. با تقسیم خطای آفست مدار حذف آفست بر بهره طبقه پیش تقویت کننده، بیشینه ولتاژ آفست منتقل شده به ورودی مقایسه کننده از رابطه ۲۱ به دست می آید:

$$\left. \frac{V_{os}}{A_v} \right|_{\max} = \frac{(V_{Thp} - V'_{Thp})}{2g_{m1} \left[(R + R_{ds17}) \parallel R_{ds5} \parallel \frac{-1}{g_{m6}} \parallel R_{ds2} \right]} = \frac{\Delta V_{Thp}}{5} \quad (21)$$

برای به دست آوردن مقدار عددی برای رابطه ۲۱ باید رابطه انحراف از معیار ولتاژ آستانه ترانزیستورهای PMOS در فن آوری استاندارد $0.118 \mu\text{m}$ در نظر گرفته شود:

$$\sigma V_{Thp} \approx \frac{5}{\sqrt{M W_{\text{eff}} L_{\text{eff}}}} \quad (22)$$

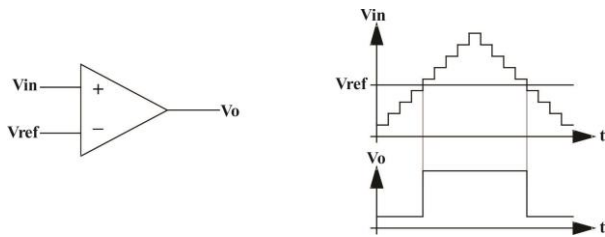
توجه شود که W_{eff} و L_{eff} باید برحسب μm باشند و M ضریب همبستگی است که بیانگر تعداد انگشت ها یا افزاره های موازی می باشد. در نهایت با توجه به روابط ۲۱ و ۲۲ آفست منتقل شده به ورودی مدار مقایسه کننده پیشنهادی مطابق با رابطه ۲۳ خواهد بود:

$$\left. \frac{V_{os}}{A_v} \right|_{\max} = \frac{\Delta V_{Thp}}{5} \approx 400 \mu\text{V} \quad (23)$$

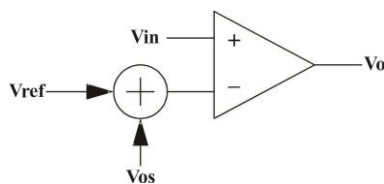
۵- نتایج شبیه سازی

به منظور ارزیابی عملکرد، مدار مقایسه کننده پیشنهادی در فن آوری استاندارد $0.118 \mu\text{m}$ مورد شبیه سازی قرار گرفته است. پاسخ گذرای مدار مقایسه کننده پیشنهادی با اعمال سیگنالی در فرکانس 500MHz به ورودی مقایسه کننده در شکل ۹ نشان داده شده است. به منظور ارزیابی دقیق تر عملکرد مدار پیشنهادی تغییر حالت های مختلف در جهت های بالا به پایین و پایین به بالا در سیگنال ورودی در نظر گرفته شده است. هم چنین آفستی معادل 30mV به طور عمدی به ورودی مدار مقایسه کننده اضافه شده است. همان طور که نتایج شبیه سازی نشان می دهند، مدار پیشنهادی تحت چنین شرایطی عمل مقایسه را (با ولتاژ مرجع 0V) به درستی انجام می دهد. این مدار قادر است ولتاژ تفاضلی ورودی با دامنه 0.2mV را به درستی تشخیص دهد که معادل ۱۳ بیت قابلیت تفکیک آنالوگ برای نوسان $1/8$ ولتی می باشد. شکل ۱۰ نیز ساختار کلاک های اعمالی به مدار مقایسه کننده پیشنهادی را نمایش می دهد.

رفتار مقایسه کننده در نهایت به پارامترهای واقعی افزارها به ویژه تطابق آن‌ها بستگی دارد. این اثر همان طور که در شکل ۱۵ نشان داده شده است با اضافه کردن سیگنال خطایی (Vos) به ورودی مقایسه کننده مدل سازی می شود.



شکل ۱۴: سیگنال تحریک برای شبیه سازی آفست



شکل ۱۵: مدل آفست مقایسه کننده

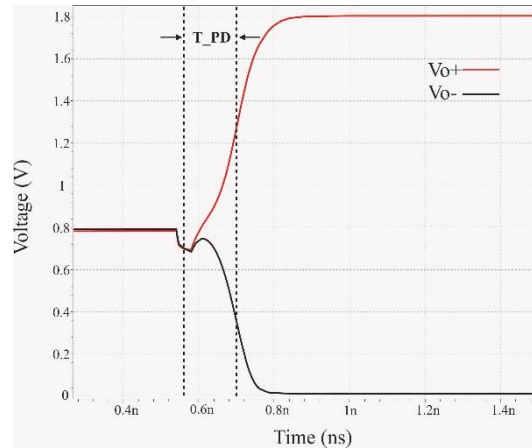
برای ارزیابی تأثیر پارامترهای تصادفی افزاره، شبیه سازی مونت کارلو مورد استفاده قرار گرفته است. در این شبیه سازی از اطلاعات جدول ۲ برای مدل سازی میزان انحراف معیار پارامترهای مهم ترانزیستورهای MOS استفاده شده است.

جدول ۲: انحراف معیار پارامترهای مهم ترانزیستورهای MOS در فن آوری 0.18µm شرکت TSMC

	1.8V NMOS	1.8V PMOS
σV_{th0} (mv)	$3.635/\sqrt{M \times W_{eff} \times L_{eff}}$	$4.432/\sqrt{M \times W_{eff} \times L_{eff}}$
$\sigma_{XL/L}$ (%)	$0.458/\sqrt{M \times W_{eff} \times L_{eff}}$	$0.396/\sqrt{M \times W_{eff} \times L_{eff}}$
$\sigma_{XW/W}$ (%)	$0.373/\sqrt{M \times W_{eff} \times L_{eff}}$	$0.326/\sqrt{M \times W_{eff} \times L_{eff}}$
$\sigma_{Tox/Tox}$ (%)	$0.101/\sqrt{M \times W_{eff} \times L_{eff}}$	$0.0873/\sqrt{M \times W_{eff} \times L_{eff}}$

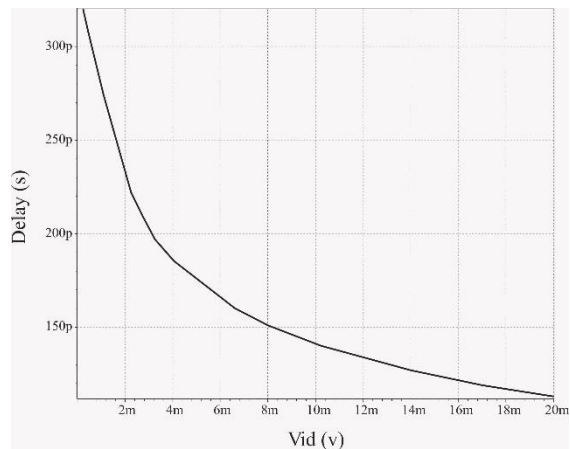
شکل ۱۶ هیستوگرام آفست منتقل شده به ورودی مدار مقایسه کننده بدون استفاده از واحد حذف آفست را نشان می دهد. هم چنین در شکل ۱۷ هیستوگرام آفست منتقل شده به ورودی مدار مقایسه کننده با استفاده از واحد حذف آفست پیشنهادی نمایش داده شده است. تعداد تکرارهای انجام شده در شبیه سازی های مونت کارلو مورد استفاده ۵۰۰ بار می باشد. همان طور که ملاحظه می شود با استفاده از ساختار پیشنهادی آفست منتقل شده به ورودی در ۱ سیگما در حدود ۴۵۰ µV می باشد. بنابراین ملاحظه می شود با وجود اعمال عدم تطابق های مختلف (ولتاژهای آستانه و ابعاد) به مدار، مدار مقایسه کننده پیشنهادی با استفاده از بخش حذف آفست پیشنهادی میزان آفست ورودی را به میزان قابل توجهی برطرف می کند.

شکل ۱۲ ولتاژ خروجی مدار مقایسه کننده در فاز ارزیابی را نشان می دهد. همان طور که ملاحظه می شود تأخیر انتشار مدار پیشنهادی برابر ۱۳۸ps می باشد. بنابراین سرعت پاسخ این مدار برای طیف وسیعی از کاربردها بسیار مناسب می باشد.



شکل ۱۲: تأخیر انتشار مدار مقایسه کننده پیشنهادی (vid=۱۰ mV)

هم چنین در شکل ۱۳ میزان تأخیر انتشار مدار مقایسه کننده به ازای دامنه های مختلف تفاضلی ورودی نشان داده شده است.

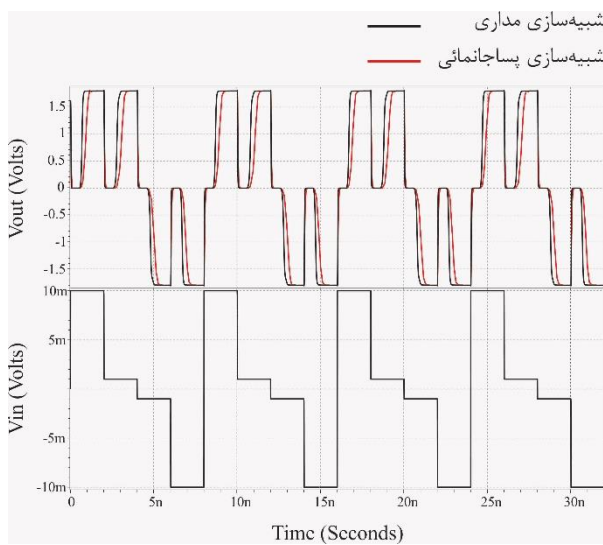


شکل ۱۳: تأخیر انتشار مقایسه کننده پیشنهادی به ازای vid های مختلف

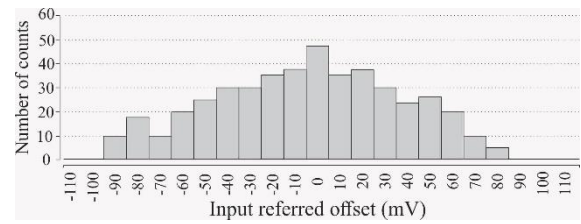
در گام بعدی آفست منتقل شده به ورودی مقایسه کننده مورد بررسی قرار گرفته است. با توجه به این که عملکرد مدار پیشنهادی به رفتار گذرای آن نیز وابسته می باشد، استفاده از شبیه سازی های با جاروب DC برای به دست آوردن آفست منتقل شده به ورودی دقت کافی را فراهم نخواهد کرد و باید روش دیگری مورد استفاده قرار گیرد. در این مقاله روش معرفی شده در [۲۴] برای شبیه سازی آفست منتقل شده به ورودی به کار گرفته شده است. همان طور که در شکل ۱۴ نشان داده شده است، ولتاژ آفست منتقل شده به ورودی با اعمال شکل موج نردبانی به ورودی مقایسه کننده شبیه سازی خواهد شد.

همچنین میزان نویز یک-یک مقایسه کننده پیشنهادی نیز شبیه سازی شده و در شکل ۱۸ نشان داده شده است. همان طور که ملاحظه می شود بیشینه میزان تغییرات برابر با 0.54mV می باشد (با در نظر گرفتن رشته مقاومتی ۴ کیلو اهمی سری با ورودی های تفاضلی).

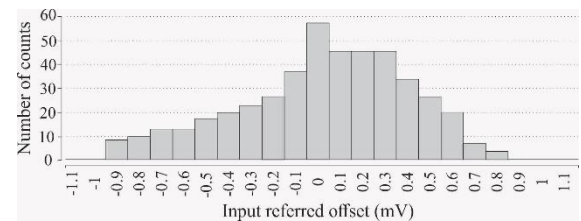
برای در نظر گرفتن آثار انگلی بر روی عملکرد مدار مقایسه کننده پیشنهادی، طرح جانمایی آن طراحی شده و شبیه سازی های پساجانمایی انجام شده است. در شکل ۱۹ مقایسه نتایج گذرای پساجانمایی با نتایج گذرای مداری با استفاده از جانمایی طراحی شده در شکل ۲۰ نشان داده شده است. همان طور که ملاحظه می شود نتایج پساجانمایی مطابقت بسیار خوبی با نتایج مداری دارند.



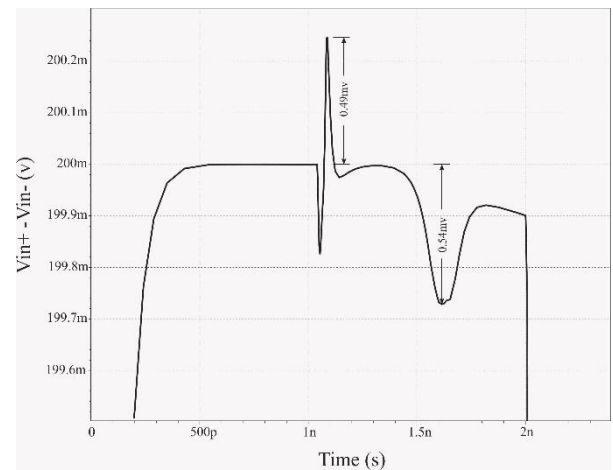
شکل ۱۹: مقایسه نتایج گذرای پساجانمایی با نتایج گذرای مداری



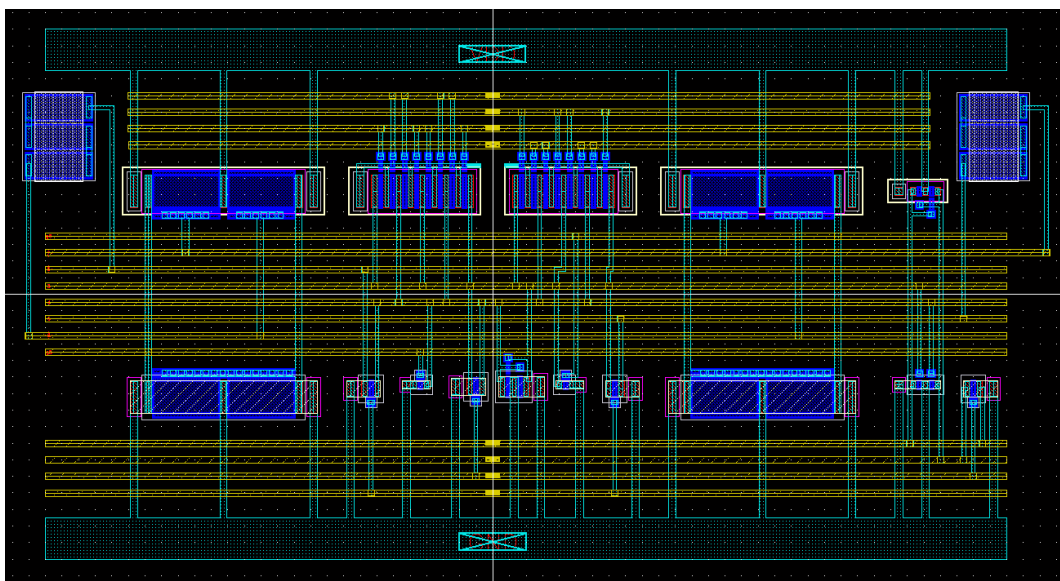
شکل ۱۶: هیستوگرام آفست ورودی (بدون واحد حذف آفست)



شکل ۱۷: هیستوگرام آفست ورودی (با واحد حذف آفست پیشنهادی)



شکل ۱۸: نویز یک-یک مقایسه کننده پیشنهادی



شکل ۲۰: طرح جانمایی مدار مقایسه کننده پیشنهادی

جدول ۳: مقایسه مدار پیشنهادی با مقایسه‌کننده‌های چند مرجع دیگر

مرجع [۱۰]	مرجع [۲۹]	مرجع [۲۸]	مرجع [۲۷]	مرجع [۲۶]	مدار پیشنهادی	
۲۰۱۲	۲۰۱۳	۲۰۱۱	۲۰۱۱	۲۰۱۶	-	سال انتشار
۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸	فن‌آوری (μm)
۱/۸	۰/۵	۱/۸	۱	۱/۸	۱/۸	منبع تغذیه (V)
-	-	-	۸۶۶۴	۴۵۳	۸۰۵/۶	سطح مصرفی (μm ²)
۱۰۰۰	۲۰۰	۵۰۰	۲۰	۵۰۰	۵۰۰	فرکانس کلاک (MHz)
۳۰۷	۳۴	۶۰۰	۶۳/۵	۴۲۰	۳۷۳	توان مصرفی (μW)
۰/۵	۱	۱	۰/۲۴۵	۲	۰/۲	حساسیت (mV)
۰/۰۸۶	۰/۳۴	۰/۶۶	۰/۷۷	۰/۴۶	۰/۰۸۳	ضریب شایستگی ($\frac{f_j}{Comp}$)
۷۱۰۰	۲۸۸	۲۰۰	۴۷/۶	۲۵۰۰	۴۵۰	آفست ورودی (μV)
-	-	-	۲۶۰۰*	۱۱۰	۱۳۸	تأخیر انتشار (pS)
-	-	-	-	-	۰/۵۴	نویز یک-یک (mV)

* مقدار اندازه‌گیری شده (بقیه موارد جدول نتایج حاصل از شبیه‌سازی هستند)

حذف آفست نیازی به ایجاد وقفه در عملکرد طبیعی مدار مقایسه‌کننده ندارد. به‌علاوه توان مصرفی مدار حذف آفست پیشنهادی در مقایسه با توان مصرفی کلی مقایسه‌کننده ناچیز (در حدود ۱۰٪) و قابل صرف‌نظر کردن می‌باشد. برای ارزیابی عملکرد مقایسه‌کننده پیشنهادی شبیه‌سازی‌ها با استفاده از فن‌آوری ۰/۱۸ μm انجام شده است. نتایج شبیه‌سازی نشان می‌دهند مقادیر آفست ناشی از طبقات پیش تقویت‌کننده و قفل‌کننده به‌طور قابل‌ملاحظه‌ای در ورودی کاهش یافته است. هم‌چنین ضریب شایستگی تعریف شده نشان می‌دهد مدار پیشنهادی سازش بسیار مناسبی میان توان مصرفی، قابلیت تفکیک و نرخ کلاک برقرار می‌کند. در نهایت با طراحی جانمایی فشرده و متقارن برای مقایسه‌کننده پیشنهادی، نتایج پس‌اجانمایی مطابقت بسیار خوبی با نتایج مداری از خود نشان می‌دهد.

مراجع

- [1] T. Shih, L. Der, S. H. Lewis, and P. J. Hurst, "A fully differential comparator using a switched-capacitor differential circuit with common-mode rejection," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 2, pp. 250-253, 1997.
- [2] K. M. Lei, P. I. Mak, R. P. Martins, "Systematic analysis and cancellation of kick-back noise in a dynamic latched comparator," *Analog Integrated Circuits and Signal Processing*, vol. 77, no.2, pp. 277-284, 2013.
- [3] K. L. J. Wong, *Comparison of Digital Offset Compensation in Comparators*, Master of Science thesis, University of California, 2002.
- [4] C. Brennehan, *Circuit Design for Realization of a 16 bit IMS/s Successive Approximation Register Analog-to-Digital Converter*, Master of Science thesis, Worcester Polytechnic Institute, 2010.
- [5] J. Lu, J. Holleman, "A low-power high-precision comparator with time-domain bulk-tuned off set cancellation," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, no. 5, pp. 1158-1167, 2013.
- [6] H. J. Jeon, Y. B. Kim, "A novel low-power, low-off set, and high-speed CMOS dynamic latched comparator,"

در نهایت جدول ۳ به‌طور خلاصه مشخصات مدار پیشنهادی را با چند مرجع دیگر که در سال‌های اخیر منتشر شده‌اند مقایسه می‌کند. در این جدول برای این که مقایسه بهتری بین کارهای مختلف انجام شود، از ضریب شایستگی معرفی شده در [۲۵] استفاده شده است. این ضریب شایستگی مطابق رابطه ۲۴ می‌باشد.

$$FOM = \frac{P}{2^n \cdot f_s} \quad (24)$$

که P میزان توان مصرفی، n قابلیت تفکیک و f_s نرخ کلاک مقایسه‌کننده می‌باشد. هرچه میزان FOM کم‌تر باشد مدار مقایسه‌کننده سازش مناسب‌تری میان توان مصرفی، قابلیت تفکیک و نرخ کلاک برقرار می‌کند. همان‌طور که در جدول ۲ ملاحظه می‌شود مدار مقایسه‌کننده پیشنهادی در مقایسه با کارهای مشابه عملکرد بسیار بهتری را از خود نشان می‌دهد. هم‌چنین علاوه بر موارد فوق مدار مقایسه‌کننده پیشنهادی برخلاف سایر مقاله‌های مشابه نیازی به ایجاد وقفه در عملکرد طبیعی مدار برای حذف آفست ندارد.

۶- نتیجه‌گیری

در این مقاله یک مدار مقایسه‌کننده قفل شده تمام تفاضلی با استفاده از روشی ابتکاری برای حذف آفست منتقل شده به ورودی معرفی شده است. مدار مقایسه‌کننده پیشنهادی شامل سه طبقه کلی می‌باشد: طبقه پیش تقویت‌کننده، طبقه قفل‌کننده و مدارهای حذف آفست. طبقه پیش تقویت‌کننده برای کاهش اثر نویز یک-یک و نیز بهبود میزان حساسیت مقایسه‌کننده مورد استفاده قرار گرفته است. طبقه بعدی مدار مقایسه‌کننده پیشنهادی طبقه قفل‌کننده می‌باشد که عمل بازتولید سیگنال را انجام داده و خروجی دیجیتال با نوسان کامل را فراهم می‌کند. در نهایت طبقه آخر مدار پیشنهادی واحد حذف آفست می‌باشد. ذکر این نکته حائز اهمیت می‌باشد که روش حذف آفست پیشنهادی برخلاف سایر کارهای انجام شده پیشین در این زمینه برای

- [18] Y. L. Wong, M. H. Cohen, and P. A. Abshire, "A floating-gate comparator with automatic offset adaptation for 10-bit data conversion," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 52, no. 7, pp. 1316-1326, 2005.
- [19] Y. L. Wong, M. H. Cohen, and P. A. Abshire, "A 1.2-GHz comparator with adaptable offset in 0.35µm CMOS," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 55, no. 9, pp. 2584-2594, 2008.
- [20] J. Yao, J. Liu, and H. Lee, "Bulk voltage trimming offset calibration for high-speed flash ADCs," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 57, no. 2, pp. 110-114, 2010.
- [21] Y. Degerli, N. Fourches, M. Rouger, and P. Lutz, "Low-power auto zeroed high-speed comparator for the readout chain of a CMOS monolithic active pixel sensor based vertex detector," *IEEE Transactions on nuclear science*, vol. 50, no. 5, pp. 1709-1717, 2003.
- [22] S. A. P. Haddad, I. Nascimento, "A high-speed low-power CMOS comparator using auto-zero off set cancellation technique," *Proceedings of the 24th symposium on Integrated circuits and systems design*, pp. 35-38, 2011.
- [23] H. Zumbahlen, *Linear circuit design handbook*, Norwood: Analog Devices, 2008.
- [24] A. Graupner, "A Methodology for the Offset Simulation of Comparators," *The Designer's Guide Community*, vol. 1, 2006.
- [25] Imran Ahmed, *Pipelined ADC design and enhancement techniques*, Springer Science Business Media, 2010.
- [26] A. Khorami, M. Sharifkhani, High-speed low-power comparator for analog to digital converters," *AEU-International Journal of Electronics and Communications*, vol. 70, no.7, pp. 886-894, 2016.
- [27] H. J. Achigui, C. Fayomi, D. Massicotte, M. Boukadouma, "Low-voltage, high-speed CMOS analog Latched voltage comparator using the flipped voltage follower as input stage," *Microelectronics Journal*, vol. 42, no. 5, pp. 785-789, 2011.
- [28] K. D. Sadeghipour, "An improved low off set latch comparator for high-speed ADCs," *Analog Integrated Circuits and Signal Processing*, vol. 66, no. 2, pp. 205-212, 2011.
- [29] M. M. Khanghah, K. D. Sadeghipour, "A 0.5V off set cancelled latch comparator in standard 0.18µm CMOS process," *Analog Integrated Circuits and Signal Processing*, vol. 66, no. 2, pp. 161-169, 2014.
- [7] J. He, S. Zhan, D. Chen, R. L. Geiger, "Analyses of static And dynamic random off set voltages in dynamic comparators," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 56, no. 5, pp. 911-919, 2009.
- [8] A. Nikoozadeh, B. Murmann, "An analysis of latch comparator off set due to load capacitor mismatch," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 12, no. 53, pp. 1398-1402, 2006.
- [9] B. Razavi, *Design of Analog CMOS Integrated Circuits*, Mcgraw-Hill, 2001.
- [10] S. B. Mashhadi, R. Lotfi, "An off set cancellation technique for comparators using body-voltage trimming," *Analog Integrated Circuits and Signal Processing*, vol. 73, no. 3, pp. 673-682, 2012.
- [11] H. J. Jeon, Y. B. Kim, "Off set voltage analysis of dynamic latched comparator," *IEEE 54th International Mid-west Symposium on Circuits and Systems (MWSCAS)*, pp. 1-4, 2011.
- [12] H. J. Jeon, Y. B. Kim, "A low-off set high-speed double-tail dual-rail dynamic latched comparator," *Proceedings of the 20th symposium on Great lakes symposium on VLSI*, pp. 45-48, 2010.
- [13] K. Kotani, T. Shibata and T. Ohmi, "CMOS charge-transfer preamplifier for offset-fluctuation cancellation in low-power A/D converters," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 5, pp. 762-769, 1998.
- [14] X. Zhu, Y. Chen, M. Kibune, Y. Tomita, T. Hamada, H. Tamura, S. Tsukamoto, and T. Kuroda, "A dynamic offset control technique for comparator design in scaled CMOS technology," *IEEE Custom Integrated Circuits Conference (CICC)*, pp. 495-498, 2008.
- [15] H. Zhang, Y. Qin, and Z. Hong, "A 1.8-V 770-nW bio potential acquisition system for portable applications," *IEEE Biomedical Circuits and Systems Conference (BioCAS)*, pp. 93-96, 2009.
- [16] C.-H. Chan, Y. Zhu, U.-F. Chio, S.-W. Sin, S.-P. U., and R. P. Martins, "A reconfigurable low-noise dynamic comparator with offset calibration in 90 nm CMOS," *IEEE Asian Solid-State Circuits Conference (A-SSCC)*, pp. 233-236, 2011.
- [17] M. Miyahara, Y. Asada, D. Paik, and A. Matsuzawa, "A low-noise self-calibrating dynamic comparator for high-speed ADCs," *IEEE Asian Solid-State Circuits Conference (A-SSCC)*, pp. 269-272, 2008.

¹ Pre-charge	4
¹ Binary-weighted capacitor arrays	5
¹ Floating gate	6
¹ Charge pump	7
¹ Finger	8
¹ Post layout	9

زیر نویس ها

¹ Common-mode noise	
² Kick-back noise	
³ Crosstalk	
⁴ Electromagnetic compatibility (EMC)	
⁵ Packaging	
⁶ Pre-amplifier	
⁷ Latch	
⁸ Slew rate	
⁹ Dynamic latched comparators	
¹ Regeneration phase	0
¹ Charge transfer (CT) pre-amplifier	1
¹ Static power consumption	2
¹ Reset	3