

یک اینورتر چندسطحی سه فاز بهبودیافته با منابع ولتاژ برابر

سعید سعیدآبادی^۱، کارشناس ارشد؛ امین اشرف گندمی^۲، کارشناس ارشد؛ سیدحسین حسینی^۳، استاد؛ مهران صباحی^۴، دانشیار

۱- دانشکده مهندسی برق و کامپیوتر - دانشگاه تبریز - تبریز - ایران - saeidsaeidabadi@gmail.com

۲- دانشکده مهندسی برق و کامپیوتر - دانشگاه تبریز - تبریز - ایران - aashrafg@gmail.com

۳- دانشکده مهندسی برق و کامپیوتر - دانشگاه تبریز - تبریز - ایران - hosseini@tabrizu.ac.ir

۴- دانشکده مهندسی برق و کامپیوتر - دانشگاه تبریز - تبریز - ایران - sabahi@tabrizu.ac.ir

چکیده: در این مقاله یک اینورتر چندسطحی سه فاز جدید با منابع ولتاژ ورودی برابر پیشنهاد شده است. در ساختار اینورتر پیشنهادی چندسطحی در حالت کلی شش کلید قدرت یک طرفه وجود دارد و بقیه کلیدهای موجود دوطرفه ولتاژ و جریان می‌باشند. در ساختار این اینورتر دیود وجود ندارد. منابع DC موجود در ساختار پیشنهادی برای هر سه فاز مشترک می‌باشد. همچنین به دلیل نبود خازن الکتrolیت در ساختار اینورتر پیشنهادی، کنترل این اینورتر برای تولید ولتاژ مطلوب ساده است. برای تولید ولتاژ چندسطحی خروجی در اینورتر پیشنهادی، دو روش مدولاسیون فرکانس پایین و SPWM بر روی آن اعمال شده است. در این مقاله اینورتر پیشنهادی از لحاظ تعداد عناصر سازنده اعم از تعداد کلیدهای قدرت و مدارات راه انداز، منابع DC ورودی و ولتاژ بلوکه شده با اینورترهای سه فاز موجود مقایسه شده است. همچنین برای ساختار اینورتر پیشنهادی محاسبات مربوط به تلفات نیز انجام گرفته و با اینورترهای مرسوم از دیدگاه تلفات نیز مقایسه شده است. در نهایت نتایج حاصل از شبیه سازی در محیط نرم افزار PSCAD/EMTDC و نتایج عملی حاصل از نمونه آزمایشگاهی برای تأیید عملکرد اینورتر آورده شده است.

واژه‌های کلیدی: اینورتر چندسطحی سه فاز با منابع برابر، مدولاسیون فرکانس پایین، مدولاسیون پهنای باند سینوسی (SPWM).

An Improved Symmetrical Three-Phase Multilevel Inverter

S. Saeidabadi¹, MSc; A. Ashraf Gandomi², MSc; S. H. Hosseini³, Professor; M. Sabahi⁴, Associate Professor

1- Faculty of Electrical and Computer Engineering, University of Tabriz, Tabriz, Iran, Email: saeidsaeidabadi@gmail.com

2- Faculty of Electrical and Computer Engineering, University of Tabriz, Tabriz, Iran, Email: aashrafg@gmail.com

3- Faculty of Electrical and Computer Engineering, University of Tabriz, Tabriz, Iran, Email: hosseini@tabrizu.ac.ir

4- Faculty of Electrical and Computer Engineering, University of Tabriz, Tabriz, Iran, Email: sabahi@tabrizu.ac.ir

Abstract: In this paper the new structure of a symmetrical three-phase multilevel inverter is proposed. In the Proposed inverter six power switches are unidirectional and rest of the power switches that are used in the structure are bidirectional. In this inverter there isn't a diode. A Single DC link feeds all the three phases. Also, due to the fact that there aren't electrolytes capacitors, the control strategy for generating desirable voltage is simple. Both the sinusoidal pulse width modulation (SPWM) and the staircases modulation are effectively executed for generating voltage by proposed inverter. In this paper proposed inverter is compared from the viewpoints of the number of power switches, the number of gate drivers, the number of DC sources and the blocking voltage with the common inverters. Also, the calculation of losses for proposed inverter is done and it is compared from the viewpoint of loss with other three-phase inverters. Finally, the results of simulation that is done in PSCAD/EMTDC software package and experimental results are presented to validate the performance of the inverter.

Keywords: Symmetric three-phase multilevel inverter, low frequency modulation, sinusoidal pulse width modulation (SPWM).

تاریخ ارسال مقاله: ۱۳۹۵/۰۲/۱۹

تاریخ اصلاح مقاله: ۱۳۹۵/۰۴/۲۷

تاریخ پذیرش مقاله: ۱۳۹۵/۰۶/۲۷

نام نویسنده مسئول: سیدحسین حسینی

نشانی نویسنده مسئول: ایران - تبریز - بلوار ۲۹ بهمن - دانشگاه تبریز - دانشکده مهندسی برق و کامپیوتر.

۱- مقدمه

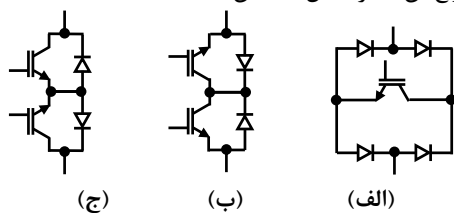
مفهوم اینورتر چندسطحی ابتدا در سال ۱۹۷۵ مطرح شد [۱]. اینورتر چندسطحی یک سیستم الکترونیک قدرت می باشد که از چندین منبع DC، ولتاژ مطلوب چندسطحی تولید می کند. اینورترهای چندسطحی به دلیل توانایی تولید ولتاژ با مقیاس بالا، با کیفیت خوب، محتوای هارمونیک پایین و نیز مصارفی که در موتور درایوها، ادوات FACTS، انرژی های نو و تولید پراکنده دارند در سال های اخیر مورد توجه بسیاری قرار گرفته اند [۲-۴].

در اینورترهای موجود برای تولید ولتاژ چندسطحی عمدتاً از چند منبع DC یا از چند خازن استفاده می شود که در همین راستا ساختارهای بسیاری در سال های اخیر معرفی شده اند. رایج ترین اینورترهای معرفی شده، اینورترهای چندسطحی با مهار دیودی (NPC)، اینورترهایی با خازن های شناور (FC) و اینورترهایی با پل H (CHB) می باشند [۵-۸]. اینورترهای چندسطحی با مهار دیودی (NPC) جزء ساختارهایی می باشند که به صورت گسترده در صنایع مورد نیاز به اینورترهای سه فاز چندسطحی مورد استفاده قرار می گیرند. تعداد زیاد دیود استفاده شده در این مبدل و همچنین پیچیدگی روش کنترلی برای ثابت نگه داشتن ولتاژ لینک DC برای تولید سطوح بیشتر از مهم ترین معایب این اینورتر سه فاز چندسطحی محسوب می شود [۹، ۱۰]. همچنین از معایب اینورتر سه فاز چندسطحی با خازن شناور می توان به تعداد بالای خازن و همچنین پیچیده بودن روش کنترلی آن برای ثابت نگه داشتن ولتاژ خازن ها در مقدار مشخص اشاره کرد [۱۱، ۱۲]. اینورترهای CHB در مقایسه با اینورترهای سه فاز چندسطحی NPC و FC از تعداد کم عناصر الکترونیک قدرت برای تولید سطوح ولتاژ برابر نیاز دارند. این اینورترها برای تولید ولتاژ خروجی با تعداد سطوح بالا نیازمند تعداد زیاد منابع DC جدا از هم می باشند که از بزرگ ترین عیب های این اینورتر به شمار می رود [۱۳]. در نتیجه تحقیقات بسیاری برای کاهش تعداد منابع DC مستقل در اینورترهای CHB صورت گرفته است. یکی از متداول ترین روش ها برای این هدف، جایگزین کردن منابع DC با خازن های الکترولیت می باشد. از مهم ترین عیب های این روش می توان به پیچیدگی روش کنترلی در شارژ خازن ها به مقدار ثابت و برابر اشاره کرد [۱۴-۱۷]. همچنین اگر مرحله شارژ خازن ها در این روش به صورت کامل انجام نشود، ولتاژ خروجی دارای هارمونیک های نامطلوب خواهد بود که موجب کاهش کیفیت ولتاژ خروجی می گردد. اینورترهای چندسطحی می توانند به دو گروه کلی اینورترهایی با منابع DC برابر و اینورترهایی با منابع DC نابرابر تقسیم بندی شوند. اینورترهای با منابع DC نابرابر در مقایسه با اینورترهای با منابع DC برابر به تعداد کم منابع DC، IGBT و مدار راه انداز نیاز دارند. اینورترهای چندسطحی نامتقارن در مقایسه با اینورترهای متقارن برای تولید ولتاژ چندسطحی مشخص به تعداد کم اجزا سازنده نیاز دارند [۱۸]. اندازه منابع DC متفاوت در اینورترها موجب افزایش هزینه و پیچیدگی آن اینورتر می گردد [۱۹، ۲۰]. اکثر

ساختارهای ارائه شده قابلیت تولید ولتاژ با سطوح بالا با استفاده از سری کردن ساختار پایه را دارا می باشند. در سال های اخیر تعداد زیادی از مقاله ها کاهش هر چه بیشتر تعداد عناصر سازنده پودمان ها را بررسی نموده اند [۲۱-۳۲]. در [۲۱] اینورتری با نام اینورتر چندسطحی با لینک DC (MLDCL) ارائه شده است. این اینورتر از تعدادی پودمان که قادر به تولید ولتاژ صفر یا E هستند تشکیل شده است. این پودمان ها به صورت سری به هم وصل می شوند و در نهایت به وسیله یک اینورتر تمام پل سطوح ولتاژ مثبت و منفی در خروجی اینورتر تولید می گردد. در این اینورتر در هر قطب (pole) برای تولید ولتاژ m سطحی به $m+3$ کلید قدرت نیاز می باشد. این ساختار در مقایسه با ساختارهای مرسوم دیگر به تعداد بالای عناصر سازنده نیاز دارد. همچنین ولتاژ بلوکه شده توسط این اینورتر بالا می باشد. در [۲۲] ساختاری با نام Transistor-clamped H-Bridge (TCHB) معرفی شده است. پودمان این ساختار برای هر قطب قادر به تولید پنج سطح ولتاژ $(\pm E, \pm(1/2)E, 0)$ می باشد. تعداد بالای عناصر سازنده و وجود خازن الکترولیت در این ساختار و همچنین روش کنترلی پیچیده برای ثابت نگه داشتن ولتاژ خازن ها از معایب اصلی این ساختار محسوب می شود. در [۲۳] اینورتر سه فاز چندسطحی با منابع نابرابر ارائه شده است. در این اینورتر ولتاژ خروجی به وسیله سری کردن پودمان ها به دست می آید. در حالت استفاده از دو پودمان در هر قطب، ولتاژ تولیدی یک ولتاژ چهارسطحی خواهد بود. همچنین در این ساختار برای تولید قطب منفی ولتاژ خط به خط، به جای استفاده از یک اینورتر تمام پل از روش شیفت فاز و تفریق با ولتاژ تولیدی قطب دیگر اینورتر سه فاز استفاده گردیده است. در [۲۴] یک ساختار سه فاز با استفاده از یک منبع DC ارائه شده است. در این ساختار از تعداد زیاد خازن الکترولیت استفاده شده است که نیازمند روش کنترلی پیچیده برای کنترل ولتاژ خازن ها می باشد. همچنین به دلیل استفاده از یک منبع DC برای تأمین توان بار، این اینورتر برای مصارف توان بالا مناسب نمی باشد [۱۳]. در [۲۵] اینورتری بر اساس پودمان جدید با استفاده از دو خازن و هشت کلید ارائه شده است. در این ساختار، پودمان قادر به تولید سه سطح ولتاژ مختلف در خروجی اینورتر می باشد. این پودمان علی رغم بهبود دادن تعادل ولتاژ بین دو خازن، در مقایسه با استفاده از سلول های نیم پل، به تعداد زیادی عناصر الکترونیک قدرت نیاز دارد. در [۲۶] ساختاری بر اساس سری کردن ساختار پایه ارائه شده است که برای تولید ولتاژ سه فاز چندسطحی نیازمند یک منبع DC می باشد. این ساختار ارائه شده نیز دارای محدودیت های فراوانی با توجه به وجود خازن الکترولیت می باشد [۱۱]. در [۲۷] ساختاری بر اساس FC ارائه شده است. این ساختار به سه منبع DC برای تولید ولتاژ سه فاز نیازمند است. این ساختار نیز معایب موجود در [۲۵] را خواهد داشت. در [۲۸] و [۲۹] یک پودمان متفاوت با استفاده از پنج کلید و دو خازن و دو دیود ارائه شده است. خروجی این پودمان ولتاژ سه سطحی می باشد. این ساختار در مقایسه با اینورتر تمام پل و نیم پل دارای عناصر

پیشنهادی این امکان را به وجود می‌آورد که برای تولید ولتاژ چندسطحی سه فاز برای هر سه قطب a ، b و c از یک باس DC مشترک استفاده شود. همچنین برخلاف اکثر اینورترهای ارائه شده، در اینورتر پیشنهادی منابع DC برای تولید ولتاژ سه فاز خروجی برای هر سه قطب، مشترک می‌باشند که همین امر موجب کاهش تعداد منابع DC ورودی می‌شود.

همان‌طور که در شکل ۱ ملاحظه می‌شود، اینورتر سه فاز چندسطحی پیشنهادی متشکل از کلیدهای یک طرفه و دوطرفه ولتاژ-جریان می‌باشد. از مجموع کلیدهای تشکیل دهنده هر قطب اینورتر پیشنهادی، دو کلید یک طرفه بوده و در مجموع کلیدهای سازنده اینورتر پیشنهادی شش کلید یک طرفه و بقیه کلیدهای تشکیل دهنده دوطرفه می‌باشند. روش‌های متفاوتی برای تشکیل کلید دوطرفه وجود دارد که انواع آن‌ها در شکل ۲ نشان داده شده‌اند [۳۳].



شکل ۲: ساختارهای موجود کلید دوطرفه

با توجه به شکل ۲- (الف)، این ساختار نیازمند چهار دیود و یک IGBT است. کنترل این نوع کلید دوطرفه ساده می‌باشد ولی در حالت هدایت، افت ولتاژ در این ساختار به علت افت ولتاژ حاصل از دو دیود و یک IGBT زیاد می‌باشد. ساختار شکل ۲- (ب) متشکل از دو دیود و دو IGBT است که باعث کاهش افت ولتاژ در حالت هدایت می‌شود. همچنین در این حالت، هر IGBT نیازمند مدار راه‌انداز جداگانه می‌باشد که باعث افزایش هزینه آن می‌شود. در شکل ۲- (ج) ساختار کلید دوطرفه با امیتر مشترک نشان داده شده است. مزیت این نوع کلید دوطرفه نسبت به ساختارهای قبلی، استفاده از تنها یک مدار راه‌انداز برای راه‌اندازی آن می‌باشد که موجب کاهش هزینه این ساختار می‌شود. لازم به ذکر است که در این ساختار میزان تلفات با کلید دوطرفه شکل ۲- (ب) برابر است. لذا با توجه به مطالب گفته شده، در ساختار اینورتر پیشنهادی از کلیدهای دوطرفه امیتر مشترک استفاده شده است.

مقدار منابع ولتاژ ورودی DC استفاده شده در اینورتر پیشنهادی با توجه به رابطه (۱) محاسبه می‌شود. همان‌طور که در رابطه (۱) مشاهده می‌شود، در اینورتر سه فاز چندسطحی پیشنهادی مقدار منابع ورودی برابر می‌باشد.

$$V_j = E \quad j = 1, 2, 3, \dots, n \quad (1)$$

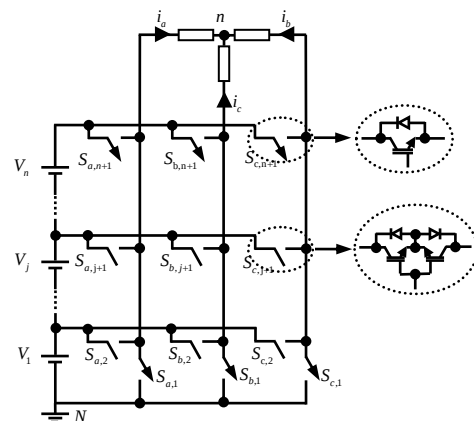
در رابطه (۱)، V_j نشان دهنده مقدار منبع ولتاژ ورودی j ام می‌باشد. در ساختار اینورتر پیشنهادی، ولتاژ خروجی مربوط به قطب (Pole) a ، b و c به ترتیب v_{aN} ، v_{bN} و v_{cN} نام‌گذاری شده‌اند. روابط (۲) الی (۴) ولتاژهای خط به خط در ساختار اینورتر پیشنهادی را نشان می‌دهد.

الکترونیک قدرت بیش‌تری می‌باشد که در مقایسه با اینورتر نیم‌پل دارای تلفات بالایی نیز می‌باشد [۳۰]. در [۳۱] اینورتری با منابع DC با اندازه برابر معرفی شده است. این اینورتر از اتصال سری پودمان‌های جدید تشکیل شده است. پودمان‌ها در این ساختار دارای دو منبع DC و چهار کلید قدرت می‌باشد که قادر به تولید ولتاژ سه‌سطحی در خروجی سلول‌ها می‌باشد. این ساختار در مقایسه با اینورتر CHB به تعداد منابع DC بالایی نیاز دارد. در [۳۲] اینورتر سه فاز جدید با منابع DC با اندازه برابر ارائه شده است. این اینورتر با استفاده از اینورتر تمام‌پل سه فاز قادر به تولید ولتاژ سه فاز متقارن می‌باشد در حالی که این ساختار برای تولید ولتاژ چندسطحی به تعداد بالای منابع DC جدا از هم نیاز دارد.

در این مقاله یک اینورتر چندسطحی سه فاز با منابع DC با اندازه‌های برابر پیشنهاد می‌شود. هدف از پیشنهاد این ساختار کاهش تعداد عناصر سازنده و تعداد منابع DC ورودی می‌باشد. در ابتدا مدار قدرت ساختار پیشنهادی و روش کنترلی پیاده شده روی آن مطرح می‌شود. در ادامه برای نشان دادن مزیت‌های ساختار پیشنهادی، این ساختار با ساختارهای مرسوم موجود مقایسه می‌شود. همچنین بررسی‌های مربوط به تلفات ساختار پیشنهادی نیز انجام می‌گیرد. در نهایت نتایج شبیه‌سازی و نتایج حاصل از نمونه آزمایشگاهی برای تأیید نحوه عملکرد اینورتر پیشنهادی و روش کنترلی مربوطه آورده می‌شود.

۲- ساختار اینورتر پیشنهادی

در شکل ۱ نمای کلی اینورتر سه فاز چندسطحی پیشنهادی نشان داده شده است.



شکل ۱: ساختار اینورتر چندسطحی سه فاز پیشنهادی

به دلیل اینکه در اینورتر پیشنهادی ولتاژ منابع DC ورودی باهم برابر می‌باشد، این ساختار جز اینورترهای سه فاز متقارن محسوب می‌شود. هدف از ارائه ساختار پیشنهادی، کاهش تعداد منابع DC ورودی و همچنین کاهش تعداد عناصر الکترونیک قدرت برای تولید ولتاژ سه فاز چندسطحی در مقایسه با ساختارهای مرسوم موجود است. همان‌طور که در شکل ۱ ملاحظه می‌شود ساختار اینورتر سه فاز

مطابق رابطه (۵)، n برابر تعداد منابع می باشد. بیشینه ولتاژ هر قطب در اینورتر چندسطحی سه فاز پیشنهادی به صورت رابطه (۶) می باشد. همچنین بیشینه ولتاژ خطبه خط تولیدی در این اینورتر به صورت رابطه (۷) به دست می آید.

$$N_{source} = n \quad (5)$$

$$V_{aN,max} = V_{bN,max} = V_{cN,max} = nE \quad (6)$$

$$V_{ab,max} = V_{bc,max} = V_{ca,max} \\ = V_{aN,max} = nE \quad (7)$$

تعداد سطوح تولیدی توسط هر قطب ($N_{level,p}$) مطابق با رابطه (۸) خواهد بود.

$$N_{level,p} = n + 1 \quad (8)$$

رابطه تعداد سطوح ولتاژ هر قطب با تعداد سطوح ولتاژ خطبه خط ($N_{level,L-L}$) در اینورتر پیشنهادی مطابق رابطه (۹) می باشد.

$$N_{level,L-L} = 2N_{level,p} - 1 \quad (9)$$

در نتیجه تعداد سطوح ولتاژ خطبه خط تولیدی بر حسب تعداد منابع ورودی در این اینورتر طبق رابطه (۱۰) محاسبه می شود.

$$N_{level,L-L} = 2n + 1 \quad (10)$$

تعداد کلیدهای قدرت (N_{switch})، تعداد IGBTها (N_{IGBT}) و تعداد مدارهای راه انداز (N_{driver}) به صورت روابط (۱۱)، (۱۲) و (۱۳) محاسبه می شوند.

$$N_{switch} = 3(n + 1) \quad (11)$$

$$N_{IGBT} = 6n \quad (12)$$

$$N_{driver} = 3(n + 1) \quad (13)$$

همچنین با توجه به نوع ساختار اینورتر پیشنهادی، می توان برای اینورتر پیشنهادی کاربرد تک فاز نیز در نظر گرفت. همان طور که در شکل ۳ مشاهده می شود، اگر تعداد منابع DC ورودی زوج باشد اینورتر پیشنهادی قادر به تولید ولتاژ با سطوح ولتاژ منفی و مثبت متقارن در حالت تک فاز می باشد. در این حالت نقطه زمین اینورتر پیشنهادی باید طبق شکل ۳ مابین منابع DC به طوری که تعداد برابر منبع DC در بالا و پایین نقطه زمین باشد قرار گیرد. در این حالت منابع بالای نقطه زمین ولتاژ مثبت و منابعی که در پایین نقطه زمین قرار دارند وظیفه تولید ولتاژ منفی را بر عهده خواهند داشت. جدول ۳، نحوه کلیدزنی اینورتر تک فاز با در نظر گرفتن n تعداد منابع DC ورودی را نشان می دهد.

لازم به ذکر است در این حالت در صورتی که اندازه منابع DC ورودی برابر E باشد، بیشینه و کمینه ولتاژ تولیدی توسط هر قطب به ترتیب برابر $\frac{n}{2}E$ و $-\frac{n}{2}E$ می شود.

با توجه به این روابط، برای تولید ولتاژ خطبه خط در این ساختار، ولتاژ هر شاخه با ولتاژ شاخه مجاور تفریق می شود و سطوح منفی ولتاژ خطبه خط به کمک شاخه مجاور تولید می شود.

$$V_{ab} = V_{aN} - V_{bN} \quad (2)$$

$$V_{bc} = V_{bN} - V_{cN} \quad (3)$$

$$V_{ca} = V_{cN} - V_{aN} \quad (4)$$

در روابط (۲) الی (۴) v_{ca} و v_{bc} به ترتیب ولتاژ خطبه خط بین فاز a و b ، فاز b و c و فاز c و a می باشند برای توضیح بیش تر نحوه عملکرد اینورتر پیشنهادی، به عنوان مثال اگر تعداد منابع ورودی برابر دو باشد، هر قطب قادر به تولید ولتاژهای 0 ، E و $2E$ می باشند که کلیدزنی مربوط به آن در جدول ۱ برای قطب a مشاهده می شود.

جدول ۱: حالات کلیدزنی اینورتر پیشنهادی با دو منبع DC ورودی

حالت	وضعیت کلیدزنی			V_{aN}
	$S_{a,1}$	$S_{a,2}$	$S_{a,3}$	
۱	۱	۰	۰	۰
۲	۰	۱	۰	E
۳	۰	۰	۱	$2E$

در جدول ۱، اعداد ۰ و ۱ به ترتیب نشان دهنده حالت عدم هدایت و حالت هدایت کلید مربوطه می باشد. لازم به ذکر است که نحوه کلیدزنی مربوط به قطب های b و c نیز همانند قطب a با اختلاف فاز 120° و 240° درجه نسبت به آن صورت می گیرند. جدول ۲ نحوه کلیدزنی اینورتر پیشنهادی با در نظر گرفتن n تعداد منابع DC ورودی را نشان می دهد.

جدول ۲: حالات کلیدزنی اینورتر پیشنهادی با n منبع DC ورودی

حالت	وضعیت کلیدزنی								V_{aN}
	$S_{a,1}$	$S_{a,2}$	...	$S_{a,j}$	$S_{a,j+1}$	...	$S_{a,n}$	$S_{a,n+1}$	
۱	۱	۰	...	۰	۰	...	۰	۰	۰
۲	۰	۱	...	۰	۰	...	۰	۰	E
...	...	...	...	...	...	...	...	...	...
j	۰	۰	...	۱	۰	...	۰	۰	$(j-1)E$
$j+1$	۰	۰	...	۰	۱	...	۰	۰	jE
...	...	...	...	...	...	...	...	...	...
n	۰	۰	...	۰	۰	...	۱	۰	$(n-1)E$
$n+1$	۰	۰	...	۰	۰	...	۰	۱	nE

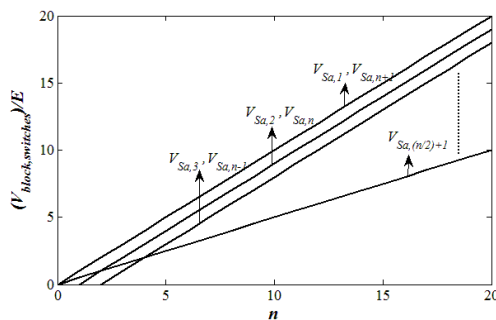
همان طور که در جدول ۲ مشاهده می شود، برای تولید ولتاژ سطوح صفر و n در قطب a فقط یک IGBT هدایت می کند، همچنین برای تولید ولتاژ سطح j ام، تنها یک IGBT به همراه یک دیود هدایت می کنند. در نتیجه در مسیر جریان تعداد کمی از عناصر الکترونیک قدرت موجود می باشد که همین مزیت موجب کاهش تلفات و افزایش بازدهی اینورتر پیشنهادی می شود.

۳-۱- منابع DC ورودی زوج

ولتاژهای بلوکه شده در هر یک از کلیدهای قدرت در ساختار اینورتر پیشنهادی با تعداد منابع ورودی زوج به صورت رابطه (۱۴) می باشد.

$$\begin{aligned} V_{Sa,1} &= V_{Sa,n+1} = nE \\ V_{Sa,2} &= V_{Sa,n} = (n-1)E \\ V_{Sa,3} &= V_{Sa,n-1} = (n-2)E \\ &\vdots \\ V_{Sa,\frac{n}{2}+1} &= \frac{n}{2}E \end{aligned} \quad (14)$$

ولتاژ بلوکه شده توسط هر کلید در این حالت در شکل ۴ نشان داده شده است.



شکل ۴: ولتاژ بلوکه شده توسط هر یک از کلیدها با تعداد منابع DC

ورودی زوج

همچنین ولتاژ بلوکه شده توسط قطب a با تعداد منابع ورودی زوج $(V_{block,even,a})$ همانند رابطه (۱۵) خواهد بود.

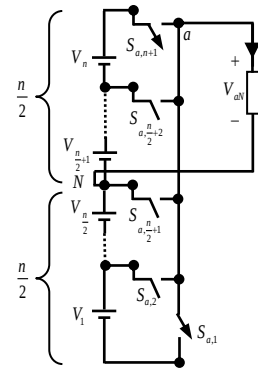
$$\begin{aligned} V_{block,even,a} &= \sum_{i=1}^{n+1} V_{Sa,i} = 2 \sum_{i=1}^{\frac{n}{2}} V_{Sa,i} + V_{Sa,\frac{n}{2}+1} \\ &= 2 \times (V_{Sa,1} + V_{Sa,2} + V_{Sa,3} + \dots + V_{Sa,\frac{n}{2}}) + V_{Sa,\frac{n}{2}+1} \\ &= 2(n + (n-1) + \dots + (n - (\frac{n}{2} - 1)))E + \frac{n}{2}E \\ &= \frac{3n^2 + 4n}{4}E \end{aligned} \quad (15)$$

در نتیجه ولتاژ بلوکه شده کل اینورتر سه فاز $(V_{block,even})$ در حالتی که تعداد منابع DC ورودی زوج باشند، طبق رابطه (۱۶) محاسبه خواهد شد.

$$V_{block,even} = 3 \times V_{block,even,a} = 3 \times \frac{3n^2 + 4n}{4}E \quad (16)$$

۳-۲- منابع DC ورودی فرد

در ساختار اینورتر پیشنهادی ولتاژهای بلوکه شده در هر یک از کلیدهای قدرت زمانی که تعداد منابع ورودی فرد باشند به صورت رابطه (۱۷) به دست می آید.



شکل ۳: اینورتر تک فاز

جدول ۳: حالات کلیدزنی اینورتر پیشنهادی تک فاز با n منبع DC

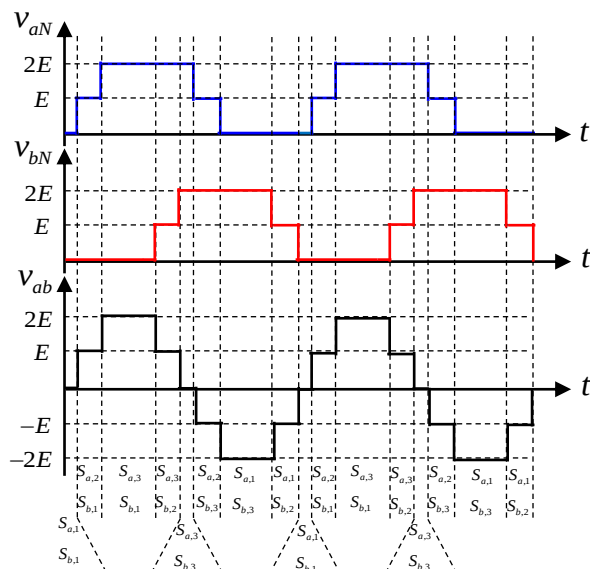
ورودی

حالت	وضعیت کلیدزنی										V _{an}
	S _{a,1}	S _{a,2}	...	S _{a,$\frac{n}{2}$}	S _{a,$\frac{n}{2}+1$}	S _{a,$\frac{n}{2}+2$}	...	S _{a,n}	S _{a,n+1}		
۱	۱	۰	...	۰	۰	۰	...	۰	۰	$-\frac{n}{2}E$	
۲	۰	۱	...	۰	۰	۰	...	۰	۰	$-(\frac{n}{2}-1)E$	
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	
$\frac{n}{2}$	۰	۰	...	۱	۰	۰	...	۰	۰	$-E$	
$\frac{n}{2}+1$	۰	۰	...	۰	۱	۰	...	۰	۰	۰	
$\frac{n}{2}+2$	۰	۰	...	۰	۰	۱	...	۰	۰	E	
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	
n	۰	۰	...	۰	۰	۰	...	۱	۰	$(\frac{n}{2}-1)E$	
n+1	۰	۰	...	۰	۰	۰	...	۰	۱	$\frac{n}{2}E$	

۳-۳ محاسبه ولتاژ بلوکه شده توسط کلیدها در ساختار پیشنهادی

در این مقاله منظور از ولتاژ بلوکه شده توسط هر کلید، بیشترین ولتاژی است که در حالت عدم هدایت، روی دو سر آن کلید در طول مدت یک دوره کامل کلیدزنی قرار می گیرد. به دلیل اینکه ولتاژ بلوکه شده توسط هر کلید در هر سه قطب باهم برابر می باشند، ولتاژ بلوکه شده توسط کلیدهای قطب a محاسبه می شود. در این ساختار ولتاژ بلوکه شده توسط اینورتر در دو حالت تعداد منابع DC ورودی زوج و تعداد منابع DC ورودی فرد متفاوت می باشد، به همین دلیل ولتاژ بلوکه شده توسط اینورتر در دو حالت تعداد منابع DC ورودی زوج و تعداد منابع DC ورودی فرد به صورت جداگانه محاسبه می شود که در ادامه هر یک توضیح داده می شود. لازم به ذکر است که ولتاژ بلوکه شده توسط کلید $S_{a,j}$ به صورت $V_{Sa,j}$ در نظر گرفته شده است.

در این روش مدولاسیون برای اینورتر پیشنهادی مطابق جدول ۱ خواهد بود. لذا با اعمال کلیدزنی مطابق جدول ۱ و شکل ۶، در قطب‌های a و b اختلاف فاز 120° ایجاد می‌شود. در نتیجه همان‌طور که در شکل ۶ ملاحظه می‌شود، ولتاژ سه‌فاز متعادل پنج‌سطحی خطبه‌خط در خروجی اینورتر تولید خواهد شد.



شکل ۶: الگوی کلیدزنی برای تولید ولتاژ خطبه‌خط پنج‌سطحی با استفاده مدولاسیون فرکانس پایین

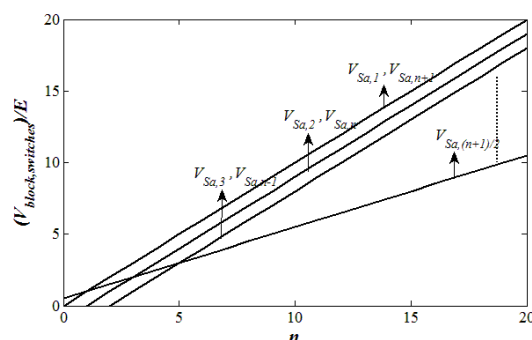
۴-۲- روش مدولاسیون پهنای پالس سینوسی (SPWM):

علاوه بر روش کنترلی فرکانس پایین، قابلیت اعمال روش مدولاسیون پهنای پالس سینوسی در اینورتر پیشنهادی نیز وجود دارد. در این روش کنترلی، سه موج سینوسی مرجع با فرکانس پایه هر یک با اختلاف فاز 120° درجه نسبت به هم وجود دارند. این موج‌های مرجع با موج حامل فرکانس بالا مقایسه شده و منجر به تولید سیگنال‌های فرمان برای هدایت کلیدهای مربوطه می‌شود. برای تولید ولتاژ خروجی n سطحی در هر قطب به وسیله این روش کنترلی، $n-1$ موج حامل نیاز می‌باشد. موج‌های حامل اشاره شده هم‌فاز و هم‌دامنه بوده ولی نسبت به یکدیگر دارای بیشینه و کمینه متفاوت می‌باشند. به عنوان نمونه برای تولید ولتاژ سه‌سطحی توسط قطب a ، موج سینوسی مرجع با دو موج حامل C_1 و C_2 مقایسه می‌گردد و به ترتیب موجب تولید دو سیگنال کنترلی g_1 و g_2 می‌شود. پالس‌های آتش کلیدهای $S_{a,1}$ ، $S_{a,2}$ و $S_{a,3}$ با توجه به روابط (۲۰) الی (۲۲) به کمک دو سیگنال کنترلی g_1 و g_2 تولید می‌شود. نحوه کلیدزنی در اینورتر پیشنهادی مطابق شکل ۷ خواهد بود. همچنین روش کلیدزنی در قطب‌های b و c نیز به همین صورت خواهد بود، با این تفاوت که موج‌های مرجع به ترتیب 120° و 240° درجه نسبت به موج مرجع قطب a اختلاف فاز خواهند داشت.

$$S_{a,1} = \bar{g}_1 \quad (20)$$

$$\begin{aligned} V_{Sa,1} &= V_{Sa,n+1} = nE \\ V_{Sa,2} &= V_{Sa,n} = (n-1)E \\ V_{Sa,3} &= V_{Sa,n-1} = (n-2)E \\ &\vdots \\ V_{Sa,\frac{n+1}{2}} &= V_{Sa,\frac{n+1}{2}+1} = (n - \frac{n-1}{2})E \end{aligned} \quad (17)$$

ولتاژ بلوکه‌شده توسط هر کلید در این حالت در شکل ۵ نشان داده شده است.



شکل ۵: ولتاژ بلوکه‌شده توسط هر یک از کلیدها با تعداد منابع DC ورودی فرد

در این حالت ولتاژ بلوکه‌شده توسط قطب a با تعداد منابع ورودی فرد $(V_{block,odd,a})$ به وسیله رابطه (۱۸) خواهد بود.

$$\begin{aligned} V_{block,odd,a} &= \sum_{i=1}^{n+1} V_{Sa,i} = 2 \sum_{i=1}^{\frac{n+1}{2}} V_{Sa,i} \\ &= 2 \times (V_{Sa,1} + V_{Sa,2} + V_{Sa,3} + \dots + V_{Sa,\frac{n+1}{2}}) \\ &= 2(n + (n-1) + \dots + (n - (\frac{n-1}{2})))E + \frac{n}{2}E \\ &= \frac{3n^2 + 4n + 1}{4}E \end{aligned} \quad (18)$$

لذا ولتاژ بلوکه‌شده کل اینورتر سه‌فاز $(V_{block,odd})$ در حالتی که تعداد منابع DC ورودی فرد باشند، طبق رابطه (۱۹) محاسبه می‌شود.

$$V_{block,odd} = 3 \times V_{block,odd,a} = 3 \times \frac{3n^2 + 4n + 1}{4}E \quad (19)$$

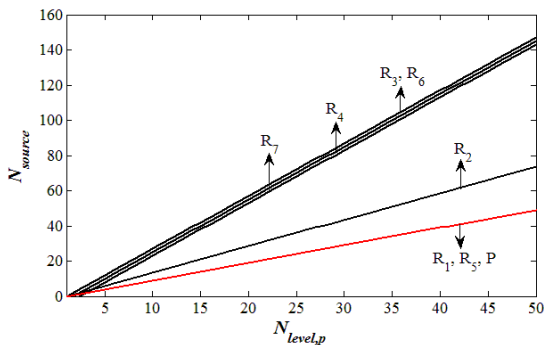
۴- روش کنترلی اینورتر پیشنهادی

در اینورتر پیشنهادی به منظور تولید ولتاژ شبه سینوسی، از دو روش کلیدزنی استفاده شده است که در ادامه به توضیح هر یک پرداخته می‌شود.

۴-۱- روش مدولاسیون فرکانس پایین

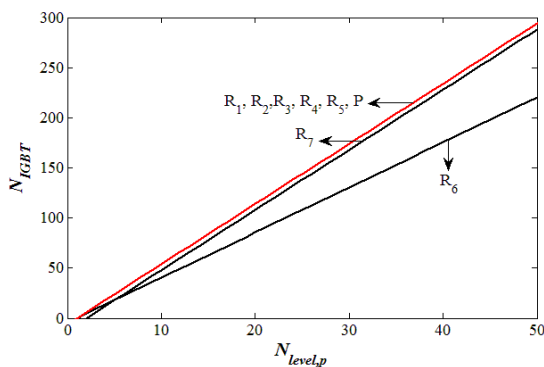
در اینورترهای چندسطحی معمولاً روش مدولاسیون فرکانس پایین به دلیل کم بودن تلفات کلیدزنی ترجیح داده می‌شود. برای مثال برای تولید ولتاژ سه‌سطحی در خروجی هر قطب و در نتیجه آن برای تولید ولتاژ پنج‌سطحی خطبه‌خط، حالات کاری و نحوه کلیدزنی در قطب a

در شکل ۸ تعداد منابع DC برحسب تعداد سطوح تولیدی توسط هر قطب نشان داده شده است.



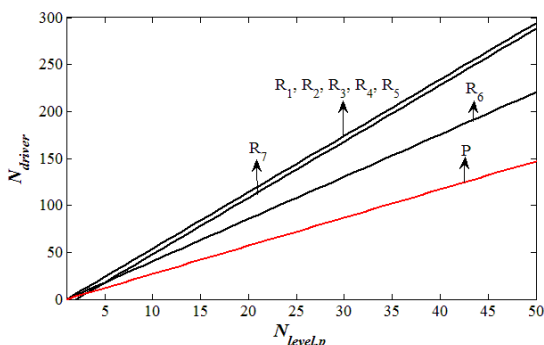
شکل ۸: تعداد منابع DC ورودی برحسب تعداد سطوح ولتاژ قطب

همان‌طور که در شکل ۸ مشاهده می‌شود، اینورتر پیشنهادی و اینورترهای R_1 و R_5 برای تولید سطوح ولتاژ مشخص از تعداد منابع DC ورودی کم‌تری بهره می‌برند. در شکل ۹ تعداد IGBTهای استفاده‌شده در اینورتر پیشنهادی و اینورترهای انتخاب‌شده برای مقایسه، برحسب تعداد سطوح ولتاژ تولیدی توسط هر قطب مشاهده می‌شود.



شکل ۹: تعداد IGBTها برحسب تعداد سطوح ولتاژ تولیدی هر قطب

با توجه به شکل ۹ تعداد IGBTهای موردنیاز برای تولید سطوح ولتاژ مشخص در تمامی ساختارهای انتخاب شده به جز R_6 و R_7 با هم برابر می‌باشند. لازم به ذکر می‌باشد که اینورتر R_6 از نظر تعداد IGBT در وضعیت بهتری نسبت به دیگر اینورترها قرار دارد. در شکل ۱۰، تعداد مدارهای راه‌انداز برحسب تعداد سطوح ولتاژ تولیدی توسط هر قطب نشان داده شده است.

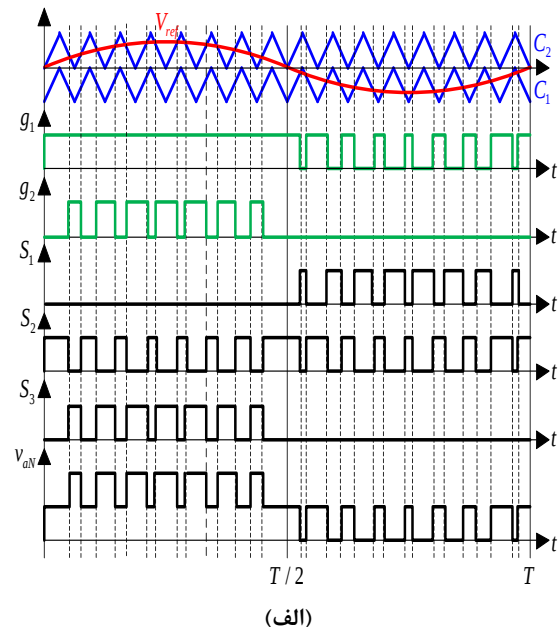


شکل ۱۰: تعداد مدارهای راه‌انداز برحسب تعداد سطوح ولتاژ قطب

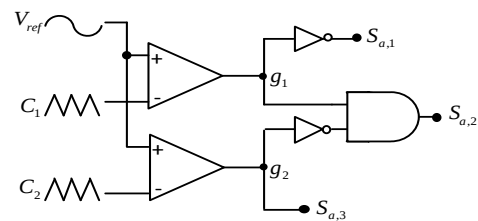
$$S_{a,2} = g_1 \times \overline{g_2} \quad (21)$$

$$S_{a,3} = g_2 \quad (22)$$

لازم به ذکر است که در رابطه (۲۱) علامت ضرب همان AND منطقی می‌باشد.



(الف)



(ب)

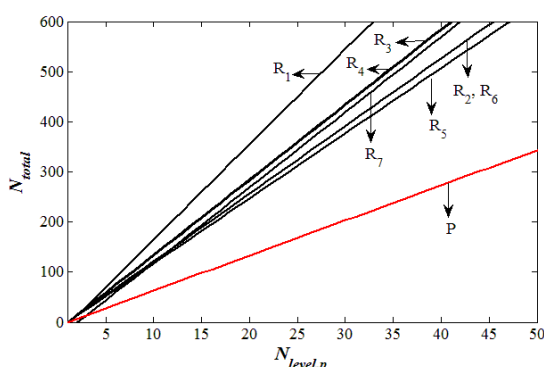
شکل ۷: (الف) روش کلیدزنی در مدولاسیون پهنای باند سینوسی (SPWM)، (ب) روش تولید پالس هر کلید

۵- مقایسه ساختار پیشنهادی با برخی ساختارهای مرسوم

در این قسمت از مقاله برای نشان دادن معایب و مزایای اینورتر سه‌فاز چندسطحی پیشنهادی، این اینورتر با اینورترهای سه‌فاز ارائه‌شده در سال‌های اخیر [۵، ۷، ۳۱، ۳۲، ۳۴-۳۶] مقایسه می‌شود. لازم به ذکر است همان‌طور که در جدول ۴ مشاهده می‌شود برای هر یک از اینورترهای ارائه شده در مراجع [۵، ۷، ۳۱، ۳۲، ۳۴-۳۶] نماد R_1 الی R_7 در نظر گرفته شده است. همچنین برای اینورتر ارائه‌شده در [۳۶] سه روش برای تعیین منابع DC ارائه شده است که برای مقایسه صحیح فقط حالتی که منابع DC ورودی باهم برابر می‌باشند برای مقایسه انتخاب و با نماد R_7 نشان داده شده است. در جدول ۴ تعداد منابع DC ورودی (N_{source})، تعداد کلیدهای قدرت (N_{switch})، تعداد IGBTها (N_{IGBT})، تعداد مدارهای راه‌انداز (N_{driver})، تعداد دیود (N_{diode}) به کاررفته در ساختار و ولتاژ بلوکه‌شده (V_{block}) در اینورتر پیشنهادی و اینورترهای مرسوم برحسب تعداد سطوح ولتاژ مربوط به هر قطب (Pole) نشان داده شده است.

جدول ۴: مشخصات اینورتر پیشنهادی و اینورترهای مورد مقایسه

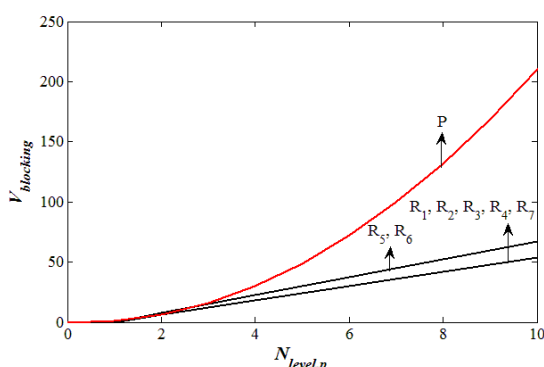
انواع اینورتر	N_{source}	N_{switch}	N_{IGBT}	N_{driver}	N_{diode}	V_{block}
R_1 , [۵]	$N_{level,p} - 1$	$6(N_{level,p} - 1)$	$6(N_{level,p} - 1)$	$6(N_{level,p} - 1)$	$6(N_{level,p} - 2)$	$6(N_{level,p} - 1)V_{dc}$
R_2 , [۷]	$\frac{3(N_{level,p} - 1)}{2}$	$6(N_{level,p} - 1)$	$6(N_{level,p} - 1)$	$6(N_{level,p} - 1)$	-	$6(N_{level,p} - 1)V_{dc}$
R_3 , [۳۱]	$3(N_{level,p} - 1)$	$6(N_{level,p} - 1)$	$6(N_{level,p} - 1)$	$6(N_{level,p} - 1)$	-	$6(N_{level,p} - 1)V_{dc}$
R_4 , [۳۲]	$3N_{level,p} - 5$	$6(N_{level,p} - 1)$	$6(N_{level,p} - 1)$	$6(N_{level,p} - 1)$	-	$6(2N_{level,p} - 3)V_{dc}$
R_5 , [۳۴]	$N_{level,p} - 1$	$6(N_{level,p} - 1)$	$6(N_{level,p} - 1)$	$6(N_{level,p} - 1)$	-	$\frac{15(N_{level,p} - 1)}{2}V_{dc}$
R_6 , [۳۵]	$3(N_{level,p} - 1)$	$\frac{9(N_{level,p} - 1)}{2}$	$\frac{9(N_{level,p} - 1)}{2}$	$\frac{9(N_{level,p} - 1)}{2}$	$\frac{3(N_{level,p} - 1)}{2}$	$\frac{15(N_{level,p} - 1)}{2}V_{dc}$
R_7 , [۳۶]	$3N_{level,p} - 7$	$6(N_{level,p} - 2)$	$6(N_{level,p} - 2)$	$6(N_{level,p} - 2)$	-	$6(N_{level,p} - 1)V_{dc}$
اینورتر پیشنهادی (P)	$N_{level,p} - 1$	$3N_{level,p}$	$6(N_{level,p} - 1)$	$3N_{level,p}$	-	$V_{block, odd} : \frac{3}{4}(3N_{level,p}^2 - 2N_{level,p})V_{dc}$ $V_{block, even} : \frac{3}{4}(3N_{level,p}^2 - 2N_{level,p} - 1)V_{dc}$



شکل ۱۲: مجموع عناصر سازنده بر حسب تعداد سطوح ولتاژ قطب

همان طور که در شکل ۱۲ مشاهده می شود، اینورتر پیشنهادی در شرایط بهتری نسبت به اینورترهای دیگر از دیدگاه N_{total} قرار دارد؛ به عبارت دیگر، کمتر بودن این شاخص در یک اینورتر، نشان دهنده پایین بودن حجم و پیچیدگی آن اینورتر در مقایسه با اینورترهای دیگر خواهد بود.

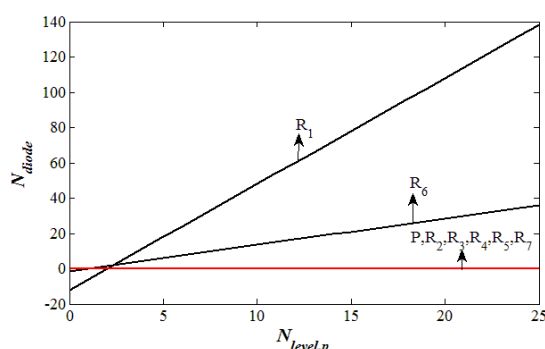
در شکل ۱۳ ولتاژ بلوکه شده در اینورتر پیشنهادی و اینورترهای مورد مقایسه نشان داده شده است. با توجه به این شکل، ولتاژ بلوکه شده در اینورترهای R_1 الی R_7 و R_7 با هم برابر بوده و در شرایط بهتری قرار دارند.



شکل ۱۳: ولتاژ بلوکه شده بر حسب تعداد سطوح ولتاژ قطب

همان طور که در شکل ۱۰ مشاهده می شود، اینورتر چندسطحی پیشنهادی به تعداد کم مدار راه انداز در مقایسه با دیگر اینورترها نیاز دارد؛ به عبارت دیگر، اینورترهای دیگر برخلاف اینورتر پیشنهادی برای هر IGBT به یک مدار راه انداز مجزا نیاز دارند. در نتیجه تعداد مدارهای راه انداز این اینورترها با تعداد IGBT های موجود در ساختار برابر می باشد.

همان طور که در جدول ۴ مشاهده می شود، در بین اینورترهای مقایسه شده و اینورتر پیشنهادی، تنها اینورترهای ارائه شده در ساختار R_1 و R_6 به دیود در ساختار خود نیاز دارند. به عبارت دیگر در ساختار اینورتر پیشنهادی و اینورترهای R_2 , R_3 , R_4 , R_5 و R_7 برای تولید سطوح ولتاژ خروجی، از دیود استفاده نشده است. در شکل ۱۱ تعداد دیودها بر حسب تعداد سطوح ولتاژ هر قطب مشاهده می شود.



شکل ۱۱: دیود بر حسب تعداد سطوح ولتاژ قطب

برای مقایسه اینورتر پیشنهادی و اینورترهای مورد مقایسه از دیدگاه حجم، می توان اینورترها را از دیدگاه تعداد مجموع ادوات سازنده ساختارها و منابع DC ورودی مورد مقایسه قرار داد [۳۷]. لذا شاخص N_{total} همانند رابطه (۲۳) تعریف می شود.

$$N_{total} = N_{IGBT} + N_{driver} + N_{source} + N_{diode} \quad (23)$$

شکل ۱۲، N_{total} را بر حسب تعداد سطوح ولتاژ تولیدی در اینورتر پیشنهادی و اینورترهای مورد مقایسه نشان می دهد.

۶- محاسبه و مقایسه تلفات

در این قسمت تلفات مربوط به اینورتر پیشنهادی بررسی می‌گردد. همچنین اینورتر پیشنهادی با اینورترهای دیگر ذکر شده در قسمت قبلی در شرایط یکسان ولتاژ تولیدی و بار خروجی از دیدگاه تلفات مقایسه می‌شود. در حالت کلی تلفات مربوط به کلیدهای قدرت از دو نوع تلفات هدایتی و تلفات کلیدزنی می‌باشد که در ادامه به توضیح هر یک پرداخته می‌شود [۲ و ۳۸].

۶-۱- محاسبه تلفات هدایتی و کلیدزنی

تلفات هدایتی یک کلید قدرت متشکل از یک ترانزیستور و یک دیود موازی معکوس به ترتیب به صورت روابط (۲۴) و (۲۵) می‌باشند.

$$P_{CT}(t) = [V_T + R_T i(t)] i(t) \quad (24)$$

$$P_{CD}(t) = [V_D + R_D i(t)] i(t) \quad (25)$$

در رابطه‌های (۲۴) و (۲۵) V_D و V_T به ترتیب افت ولتاژ مربوط به ترانزیستور و دیود هستند. R_D و R_T مقاومت معادل ترانزیستور و دیود می‌باشند و β یک مقدار ثابت است که بر اساس مشخصه کلید تعیین می‌شود. همچنین $i(t)$ جریانی است که از کلیدها عبور می‌کند. با توجه به عبور جریان از ترانزیستور و دیود در هر لحظه، میانگین تلفات هدایتی برابر رابطه (۲۶) خواهد بود.

$$P_C = \frac{1}{2\pi} \int_0^{2\pi} \left[\sum_{j=1}^{N_{switch}} (P_{CT,j}(t) + P_{CD,j}(t)) \right] dt \quad (26)$$

$P_{CT,j}(t)$ و $P_{CD,j}(t)$ در رابطه (۲۶) بیانگر تلفات هدایتی لحظه‌ای کلید j ام و دیود مربوط به آن می‌باشند. همچنین N_{switch} تعداد کل کلیدها می‌باشد.

تلفات کلیدزنی در هنگام روشن و خاموش شدن کلیدهای قدرت اتفاق می‌افتد. برای ساده شدن محاسبه ولتاژ و جریان هنگام کلیدزنی، روابط به صورت خطی در نظر گرفته می‌شود. بر اساس این فرض، تلفات کلیدزنی به صورت روابط (۲۷) و (۲۸) محاسبه می‌شوند.

$$E_{off,j} = \int_0^{t_{off}} v(t) i(t) dt = \int_0^{t_{off}} \left[\left(\frac{V_{sw,j}}{t_{off}} t \right) \left(-\frac{I_j}{t_{off}} (t - t_{off}) \right) \right] dt \\ = \frac{1}{6} V_{sw,j} I_j t_{off} \quad (27)$$

$$E_{on,j} = \int_0^{t_{on}} v(t) i(t) dt = \int_0^{t_{on}} \left[\left(\frac{V_{sw,j}}{t_{on}} t \right) \left(-\frac{I_j}{t_{on}} (t - t_{on}) \right) \right] dt \\ = \frac{1}{6} V_{sw,j} I_j t_{on} \quad (28)$$

$E_{on,j}$ و $E_{off,j}$ به ترتیب تلفات خاموش شدن و روشن شدن کلید j ام می‌باشند. I_j جریان عبوری از کلید j ام قبل از خاموش شدن و I_j' جریان عبوری از کلید j ام بعد از روشن شدن کلید است. $V_{sw,j}$ ولتاژ بلوکه شده توسط کلید در حالت خاموش است. تلفات کلیدزنی برابر جمع تمامی تلفات انرژی خاموش شدن و روشن شدن کلید در

فرکانس پایه ولتاژ خروجی است؛ بنابراین میانگین تلفات کلیدزنی طبق رابطه (۲۹) محاسبه می‌شود.

$$P_{sw} = f \sum_{j=1}^{N_{switch}} \left(\sum_{k=1}^{N_{on,j}} E_{on,jk} + \sum_{k=1}^{N_{off,j}} E_{off,jk} \right) \quad (29)$$

در رابطه (۲۹)، f فرکانس پایه و $N_{on,j}$ و $N_{off,j}$ تعداد دفعات روشن و خاموش شدن کلید j ام در طول زمان فرکانس پایه می‌باشد. $E_{on,jk}$ تلفات انرژی در هنگام روشن شدن k ام و $E_{off,jk}$ تلفات انرژی در هنگام خاموش شدن k ام کلید j ام است. رابطه تلفات کل به صورت (۳۰) می‌باشد.

$$P_{total,loss} = P_{sw} + P_C \quad (30)$$

بازده اینورتر سه فاز پیشنهادی با استفاده از رابطه (۳۱) محاسبه می‌شود.

$$\eta = \frac{P_{out}}{P_{in}} = \frac{P_{in} - P_{total,loss}}{P_{in}} \quad (31)$$

۶-۲- مقایسه از دیدگاه تلفات

در اینورترهای چندسطحی به دلیل تولید ولتاژ چندسطحی با THD پایین و همچنین کاهش تلفات کلیدزنی بهتر است از روش کلیدزنی فرکانس پایه استفاده شود، در این حالت به دلیل پایین بودن تلفات کلیدزنی می‌توان از آن تلفات صرف نظر کرد [۳۹]. برای مقایسه تلفات اینورتر پیشنهادی با اینورترهای سه فاز، فرض می‌شود که روش کنترلی از نوع روش کنترلی فرکانس پایه می‌باشد که می‌توان از تلفات کلیدزنی صرف نظر کرد و فقط تلفات هدایتی را در نظر گرفت. همچنین فرض شده است که بیشینه ولتاژ خطبه خط تولیدی توسط هر اینورتر برابر E و بار هر اینورتر، یک بار سه فاز متعادل با اندازه برابر می‌باشد. در نتیجه به دلیل برابر بودن بار و ولتاژ هر فاز، جریان بار برای تمام اینورترها برابر خواهد بود. همچنین مشخصه تمام کلیدهای به کار برده شده در اینورترها یکسان در نظر گرفته شده است. برای تحلیل عملکرد اینورتر پیشنهادی از دیدگاه تلفات، این اینورتر با اینورترهای R_1 الی R_7 مقایسه می‌شود. در حالت کلی تلفات اینورترها از تعداد کلیدهای قدرت موجود در مسیر جریان بار برای تولید هر سطح ولتاژ ناشی می‌شود. لذا برای مقایسه تعداد کلیدهای موجود در مسیر جریان در هر لحظه در اینورترهای مذکور، مقدار متوسط تعداد کلیدهای موجود در مسیر جریان بار در نظر گرفته می‌شود که به صورت رابطه (۳۲) محاسبه می‌شود.

$$N_{cond,ave} = \frac{\sum_{i=1}^{N_{level,p}} N_{cond,i}}{N_{level,p}} \quad (32)$$

$N_{cond,ave}$ متوسط کلیدهای موجود در مسیر جریان بار در هر شاخه است. $N_{cond,i}$ تعداد کلیدهای موجود در مسیر جریان بار برای تولید سطح i ام می‌باشد. لازم به ذکر است که i برابر ۱ متناظر به کمترین سطح و i برابر $N_{level,p}$ متناظر با بیشترین سطح می‌باشد.

جدول ۵: شاخص $N_{cond,ave}$ برحسب تعداد سطح

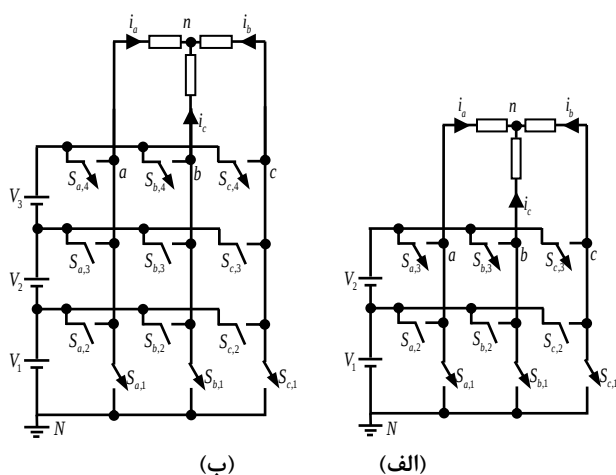
انواع اینورتر	R_1	R_2	R_3	R_4	R_5	R_6	R_7	اینورتر پیشنهادی (P)
$N_{cond,ave}$	$N_{level,p} - 1$	$N_{level,p} - 1$	$N_{level,p} - 1$	$\frac{N_{level,p}^2 - 2N_{level,p} + 2}{N_{level,p}}$	$\frac{3N_{level,p}^2 - 2N_{level,p} - 1}{4N_{level,p}}$	$\frac{N_{level,p}^2 - 1}{2N_{level,p}}$	$N_{level,p} - 2$	$2 - \frac{2}{N_{level,p}}$

جدول ۶: تلفات اینورتر پیشنهادی و اینورترهای دیگر با مدولاسیون فرکانس پایه ($N_{level,p} = 5$)

اینورترهای	R_1	R_2	R_3	R_4	R_5	R_6	R_7	اینورتر پیشنهادی (P)
تلفات هدایتی کل (W)	۳۹۰/۶	۳۸۰/۴	۳۸۰/۴	۳۲۴/۳	۳۰۴/۳	۲۲۹	۲۸۵/۶	۱۵۳/۶
تلفات کلیدزنی (W)	۰/۳	۰/۶	۰/۶	۰/۵	۰/۴۲	۰/۳۵	۰/۵۵	۰/۳۸
تلفات کل (W)	۳۹۰/۹	۳۸۱	۳۸۱	۳۲۴/۸	۳۰۴/۷۲	۲۲۹/۳۵	۲۸۵/۱۵	۱۵۳/۹۸
بازدهی (η)	٪۸۶/۸	٪۸۷/۲	۸۷/۲	٪۸۹	٪۸۹/۷	٪۹۲/۳	٪۹۰/۴	٪۹۴/۸

۷- نتایج شبیه سازی و آزمایشگاهی

در این مقاله، شبیه سازی با نرم افزار PSCAD/EMTDC انجام گرفته است. همچنین نمونه آزمایشگاهی اینورتر پیشنهادی ساخته شده است و برای تأیید مطالعات تئوری انجام گرفته در بخش های قبل و نتایج شبیه سازی، مورد استفاده گرفته است. مدار قدرت مورد استفاده در شبیه سازی و نمونه آزمایشگاهی برای تولید ولتاژ خطبه خط پنج سطحی و هفت سطحی در شکل ۱۵ نشان داده شده است. در نمونه آزمایشگاهی از BUP306D IGBT (با دیود موازی معکوس داخلی و ولتاژ و جریان بیشینه قابل تحمل ۱۲۰۰ ولت و ۲۳ آمپر) برای کلیدهای قدرت و از میکروکنترلر AVR ATMEGA 32 برای کنترل این کلیدهای قدرت استفاده شده است.

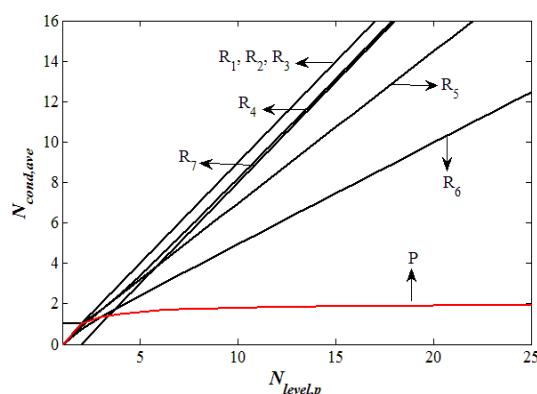


شکل ۱۵: اینورتر سه فاز پیشنهادی؛ (الف) برای تولید ولتاژ پنج سطحی خطبه خط، (ب) برای تولید ولتاژ هفت سطحی خطبه خط

مقادیر عناصر استفاده شده در این شبیه سازی و نمونه آزمایشگاهی مطابق جدول ۷ خواهد بود. لازم به ذکر است که بار سه فاز استفاده شده اهمی-سلفی انتخاب شده است تا عملکرد صحیح اینورتر پیشنهادی در این نوع بار نشان داده شود.

برای مقایسه تلفات اینورتر پیشنهادی با دیگر اینورترها تعداد متوسط کلیدهای موجود در مسیر جریان بار در هر قطب در هر لحظه ($N_{cond,ave}$) برحسب تعداد سطوح تولیدی در هر قطب ($N_{level,p}$) با استفاده از رابطه (۳۲) در جدول ۵ آورده شده است. می توان نتیجه گرفت، هرچقدر این شاخص پایین باشد نشان دهنده آن است که تعداد کمتری کلید در مسیر جریان بار وجود دارد و به تبع آن افت ولتاژ و تلفات ناشی از کلیدها کم خواهد بود.

در شکل ۱۴ نمودار $N_{cond,ave}$ برحسب تعداد سطوح تولیدی در هر شاخه برای اینورتر پیشنهادی و اینورترهای R_1 الی R_7 آورده شده است. همان طور که در این شکل مشاهده می شود، اینورتر پیشنهادی دارای تعداد کم تر کلید در مسیر جریان بار در هر لحظه نسبت به دیگر اینورترهای سه فاز می باشد. لذا اینورتر پیشنهادی از نقطه نظر تلفات در شرایط مطلوب تری نسبت به دیگر اینورترها قرار دارد.

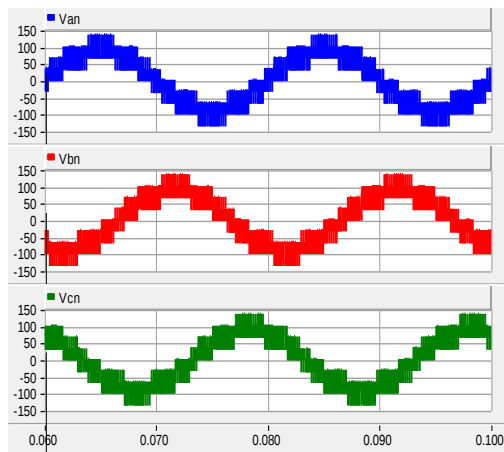


شکل ۱۴: مقایسه $N_{cond,ave}$ برحسب تعداد سطوح هر شاخه ($N_{level,p}$)

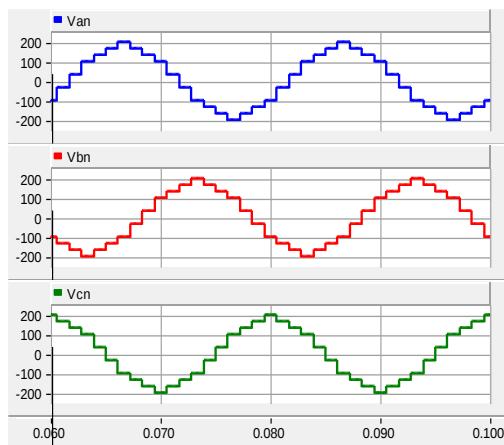
همچنین تلفات و بازدهی اینورتر پیشنهادی و اینورترهای مورد مقایسه برای تولید ولتاژ پنج سطحی در هر قطب با در نظر گرفتن بار سه فاز متعادل اهمی-سلفی با اندازه ۲۰ اهم و ۵۰ میلی هانری، ولتاژ خط به خط ۴۰۰ ولت و شرایط یکسان برای کلیدها با به کار بردن مدولاسیون فرکانس پایه محاسبه شده و در جدول ۶ آورده شده است.

همان طور که در شکل ۱۶ مشاهده می شود، ولتاژ تمام قطب ها در اینورتر پنج سطحی به صورت PWM و سه سطحی با سه سطح ۰، ۱۰۰ و ۲۰۰ ولت می باشد. همچنین ولتاژ هر قطب اینورتر هفت سطحی به صورت مربعی، چهار سطحی با پله های ۰، ۱۰۰، ۲۰۰ و ۳۰۰ ولت می باشد. با توجه به شکل ۱۶ ولتاژهای قطب b و c نسبت به ولتاژ قطب a به ترتیب ۱۲۰- و ۲۴۰- درجه شیفت فاز دارند.

در شکل ۱۷ ولتاژ هر سه فاز a ، b و c برای اینورتر پیشنهادی پنج سطحی و هفت سطحی نشان داده شده است.



(الف)



(ب)

شکل ۱۷: به ترتیب از بالا به پایین ولتاژ فاز a ، b و c : (الف) اینورتر پیشنهادی پنج سطحی، (ب) اینورتر پیشنهادی هفت سطحی

در شکل ۱۷، V_{an} ، V_{bn} و V_{cn} به ترتیب ولتاژ فازهای a ، b و c می باشد که در اینورتر پنج سطحی دارای بیشینه و کمینه ۱۳۳.۳۳ و ۱۳۳.۳۳- ولت و در اینورتر هفت سطحی دارای بیشینه و کمینه ۲۰۰ و ۲۰۰- ولت می باشند. در شکل ۱۸ ولتاژ خطبه خط v_{ab} ، v_{bc} و v_{ca} و جریان هر سه فاز نشان داده شده است.

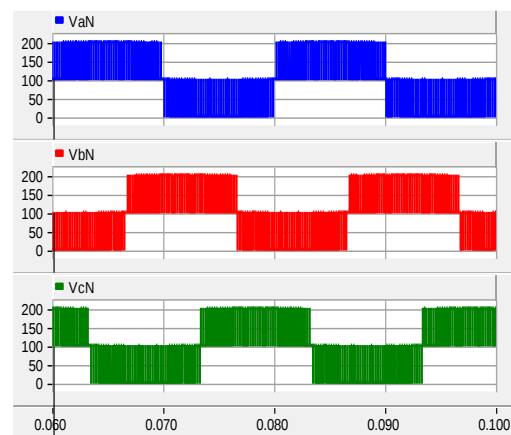
همان طور که در شکل ۱۸ مشاهده می شود، ولتاژ خطبه خط اینورتر پنج سطحی PWM می باشد که متشکل از ۲ سطح مثبت، ۲ سطح منفی و یک سطح صفر می باشد. همچنین فاصله هر سطح باهم برابر و به اندازه ۱۰۰ ولت می باشد. در این شکل مقدار بیشینه و کمینه

به جهت نشان دادن نحوه عملکرد اینورتر پیشنهادی با روش های کنترلی ذکر شده، در اینورتر سه فاز پیشنهادی با ولتاژ خطبه خط پنج سطحی ($N_{level,L-L} = 5$) روش کنترلی SPWM با ضریب مدولاسیون ۰/۹۵ و برای اینورتر سه فاز پیشنهادی با ولتاژ خطبه خط هفت سطحی ($N_{level,L-L} = 7$) روش کنترلی مدولاسیون فرکانس پایین اعمال شده است.

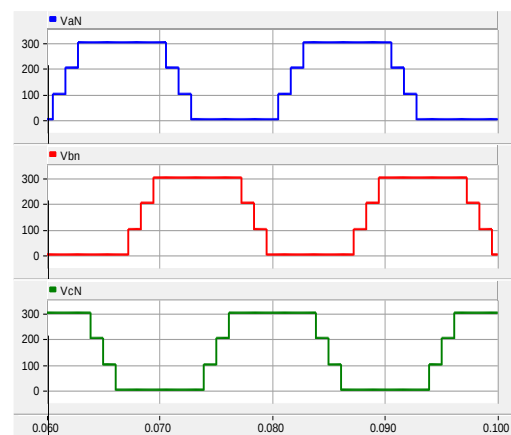
جدول ۷: مقادیر استفاده شده در شبیه سازی و نمونه آزمایشگاهی

پارامتر	مقادیر	
	۵ سطحی	۷ سطحی
ولتاژ ورودی	$V_1=V_2=100 [V]$	$V_1=V_2=V_3=100 [V]$
فرکانس کلیدزنی	$f_s=5 [kHz]$	-
بار مقاومتی	$R=5 [\Omega]$	$R=30 [\Omega]$
بار سلفی	$L=150 [mH]$	$L=310 [mH]$
ضرب توان ($\cos \phi$)	۰/۱۱	۰/۳

در شکل ۱۶ ولتاژ قطب های a (V_{an})، b (V_{bn}) و c (V_{cn}) برای اینورتر پیشنهادی پنج سطحی و هفت سطحی نشان داده شده است.



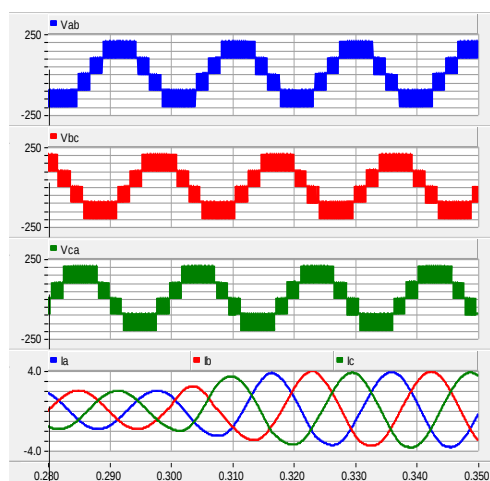
(الف)



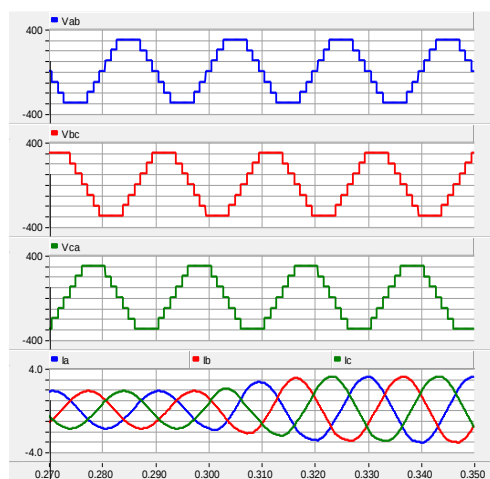
(ب)

شکل ۱۶: به ترتیب از بالا به پایین ولتاژ قطب a ، b و c : (الف) اینورتر پیشنهادی پنج سطحی، (ب) اینورتر پیشنهادی هفت سطحی

می باشد. در شکل ۲۰ نتایج شبیه سازی با در نظر گرفتن بار نامتعادل نشان داده شده است.

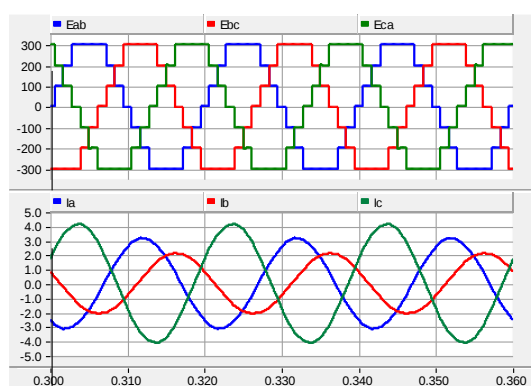


(الف)



(ب)

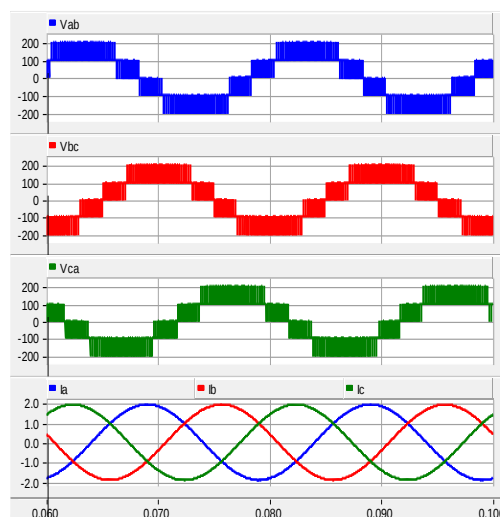
شکل ۱۹: تغییر بار؛ (الف) اینورتر پیشنهادی پنج سطحی، (ب) اینورتر پیشنهادی هفت سطحی



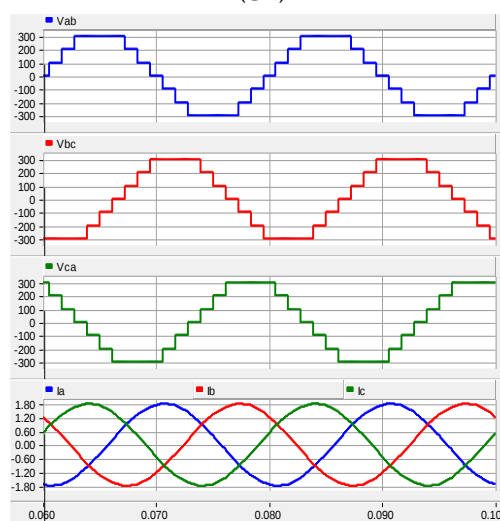
شکل ۲۰: ولتاژ سه فاز خط به خط و جریان هر فاز

همان طور که در شکل ۲۰ مشاهده می شود، با وجود بار نامتعادل ولتاژ سه فاز خط به خط متقارن تولید می شود. در صورتی که به دلیل نابرابر بودن بار در هر فاز، اندازه جریان هر فاز باهم برابر نمی باشد.

ولتاژ خط به خط باهم برابر و مساوی ۲۰۰ ولت می باشد؛ همچنین ولتاژ خط به خط در اینورتر پیشنهادی هفت سطحی به صورت مربعی می باشد که متشکل از ۳ سطح مثبت، ۳ سطح منفی و یک سطح صفر می باشد. در این شکل نیز فاصله هر سطح باهم برابر و به اندازه ۱۰۰ ولت می باشد. همچنین مقدار بیشینه و کمینه ولتاژ خط به خط باهم برابر و مساوی ۳۰۰ ولت می باشد. لازم به ذکر است به دلیل اینکه بار به صورت R-L مانند فیلتر عمل می کند شکل موج جریان ها سینوسی می باشد.



(الف)



(ب)

شکل ۱۸: به ترتیب از بالا به پایین ولتاژ خط به خط و جریان مربوط به هر فاز؛ (الف) اینورتر پیشنهادی پنج سطحی، (ب) اینورتر پیشنهادی هفت سطحی

در شکل ۱۹، شبیه سازی برای هر دو اینورتر پنج سطحی و هفت سطحی با تغییر ناگهانی بار در ثانیه ۰/۳ انجام گرفته است. همان طور که در شکل ۱۹ مشاهده می شود با تغییر ناگهانی بار و در نتیجه تغییر جریان خروجی، اینورتر قادر به تولید ولتاژ مطلوب

همان‌طور که در شکل ۲۲ مشاهده می‌شود، در هر دوی شکل موج‌های شبیه‌سازی شده و آزمایشگاهی، ولتاژ V_{ab} پنج‌سطحی PWM با بیشینه ولتاژ ۲۰۰ ولت و جریان فاز a سینوسی با بیشینه جریان ۲ آمپر می‌باشد؛ همچنین با توجه به شکل ۲۲ مشاهده می‌شود که نتایج شبیه‌سازی و آزمایشگاهی به‌خوبی همدیگر را تأیید می‌کنند. در اینورتر پنج‌سطحی و هفت‌سطحی در شرایط آزمایشگاهی توان خروجی و ورودی به ترتیب حدود (۳۰ وات، ۳۲/۵ وات) و (۱۴۵/۷ وات، ۱۵۴/۸۳ وات) اندازه‌گیری شده است و بازدهی اینورتر پنج‌سطحی ۹۲/۳٪ و اینورتر هفت‌سطحی ۹۴/۱٪ اندازه‌گیری شده است و THD مربوط به ولتاژ پنج‌سطحی و هفت‌سطحی به ترتیب ۱۹/۲٪ و ۱۱/۴۸٪ می‌باشد.

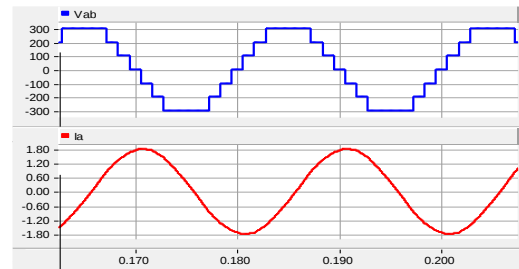
۸- نتیجه‌گیری

در این مقاله یک اینورتر چندسطحی سه‌فاز جدید با منابع ولتاژ ورودی برابر ارائه شد. در هر قطب این اینورتر دو کلید یک‌طرفه و بقیه کلیدها دوطرفه ولتاژ و جریان می‌باشند. منابع DC موجود در ساختار برای هر سه‌فاز مشترک بوده و نیاز به منابع DC جدا از هم ندارد. برای تولید ولتاژ مطلوب به وسیله این اینورتر، هر دو روش کنترلی فرکانس پایین و SPWM بر روی این اینورتر اعمال شد. این ساختار با ساختارهای مرسوم و ساختارهایی که اخیراً ارائه شده است، از نقطه‌نظر تعداد ادوات سازنده اینورتر از جمله IGBT، مدار راه‌انداز، ولتاژ بلوکه‌شده و تعداد منابع DC ورودی مقایسه گردید. همچنین تعداد کل ادوات موردنیاز برای تولید ولتاژ خطبه‌خط اینورتر پیشنهادی و اینورترهای دیگر مورد مقایسه قرار گرفت. با توجه به مقایسه‌های انجام‌گرفته مشخص گردید که اینورتر پیشنهادی برای تولید ولتاژ خطبه‌خط چندسطحی به تعداد کم ادوات در مقایسه با ساختارهای دیگر نیاز دارد که موجب کاهش هزینه اینورتر پیشنهادی و ساده شدن روش کنترلی آن می‌شود. همچنین این اینورتر از نقطه‌نظر تلفات نیز موردبررسی قرار گرفت و با توجه به نتیجه مقایسه تلفات اینورتر پیشنهادی و اینورترهای مرسوم، اینورتر پیشنهادی دارای تلفات کم‌تری نسبت به دیگر اینورترها در شرایط یکسان است. درنهایت برای تأیید عملکرد ساختار پیشنهادی، نتایج شبیه‌سازی و عملی حاصل از نمونه ساخته‌شده در مقیاس آزمایشگاهی مربوط به ولتاژ خطبه‌خط پنج‌سطحی و هفت‌سطحی آورده شده که نشان‌دهنده عملکرد صحیح ساختار پیشنهادی در هر دو روش فرکانس پایین و SPWM است.

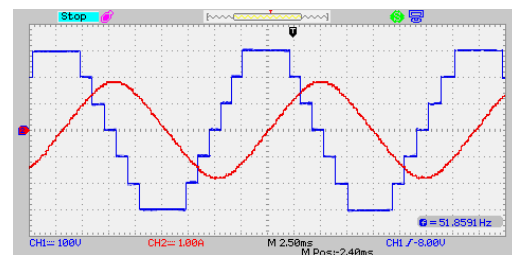
مراجع

- [1] A. Nabae, I. Takahashi, and H. Akagi, "A new neutral-point clamped PWM inverter," *IEEE Transactions on Industry Applications*, vol. IA-17, no. 5, pp. 518-523, 1981.
- [2] A. A. Gandomi, S. Saeidabadi, S. H. Hosseini, E. Babaei, M. Sabahi, "Transformer-based inverter with reduced number of switches for renewable energy applications," *IET Power Electronics*, vol. 8, no. 10, pp. 1875-1884, 2015.

در شکل ۲۱ شکل موج شبیه‌سازی شده و آزمایشگاهی در اینورتر پیشنهادی با ولتاژ خطبه‌خط هفت‌سطحی برای ولتاژ سه‌فاز خطبه‌خط فاز a و b (V_{ab}) و جریان فاز a (i_a) نشان داده شده است.



(الف)

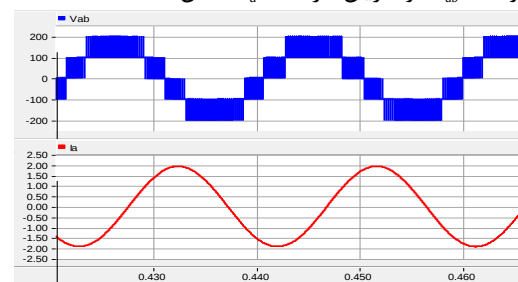


(ب)

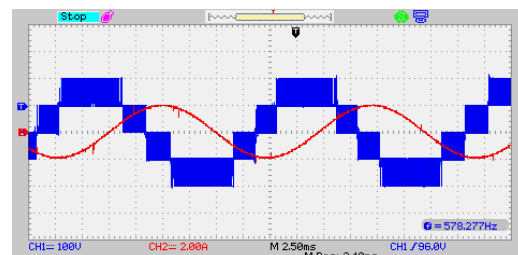
شکل ۲۱: شکل موج خطبه‌خط V_{ab} و جریان فاز a ؛ (الف) شبیه‌سازی، (ب) آزمایشگاهی

همان‌طور که در شکل ۲۱ مشاهده می‌شود، در هر دوی شکل موج‌های شبیه‌سازی شده و آزمایشگاهی، ولتاژ V_{ab} هفت‌سطحی با بیشینه ولتاژ ۳۰۰ ولت و جریان فاز a سینوسی با بیشینه جریان ۱/۸ آمپر می‌باشد؛ لازم به ذکر است که با توجه به شکل ۲۰ نتایج شبیه‌سازی و آزمایشگاهی به‌خوبی همدیگر را تأیید می‌کنند.

در شکل ۲۲ شکل موج شبیه‌سازی شده و آزمایشگاهی در اینورتر پیشنهادی با ولتاژ خطبه‌خط پنج‌سطحی برای ولتاژ سه‌فاز خطبه‌خط فاز a و b (V_{ab}) و جریان فاز a (i_a) نشان داده شده است.



(الف)



(ب)

شکل ۲۲: شکل موج خطبه‌خط V_{ab} و جریان فاز a ؛ (الف) شبیه‌سازی، (ب) آزمایشگاهی

- [17] H. Liu, L. M. Tolbert, B. Ozpineci, Z. Du, "Hybrid multilevel inverter with single DC source," *Proc. MWSCAS*, pp. 538-41, 2008.
- [18] E. Babaei, S. Laali and S. Alilu, "Cascaded Multilevel Inverter With Series Connection of Novel H-Bridge Basic Units," *IEEE Transactions on Industrial Electronics*, vol. 61, no. 12, pp. 6664-6671, 2014.
- [19] M. F. Kangarlu, E. Babaei and S. Laali, "Symmetric multilevel inverter with reduced components based on non-insulated dc voltage sources," *IET Power Electronics*, vol. 5, no. 5, pp. 571-581, 2012.
- [20] E. Babaei and S. S. Gowgani, "Hybrid Multilevel Inverter Using Switched Capacitor Units," *IEEE Transactions on Industrial Electronics*, vol. 61, no. 9, pp. 4614-4621, 2014.
- [21] S. N. Rao, D. V. A. Kumar, and C. S. Babu, "New multilevel inverter topology with reduced number of switches using advanced modulation strategies," in *Proc. Int. Conf. Power, Energy Control*, pp. 693-699, 2013.
- [22] N. A. Rahim, M. F. M. Elias, and W. P. Hew, "Transistor-clamped H-bridge based cascaded multilevel inverter with new method of capacitor voltage balancing," *IEEE Transactions on Industrial Electronics*, vol. 60, no. 8, pp. 2943-2956, 2013.
- [23] H. Belkamel, S. Mekhilef, A. Masaoud, and M. A. Naeim, "Novel three-phase asymmetrical cascaded multilevel voltage source inverter," *IET Power Electronics*, vol. 6, no. 8, pp. 1696-1706, 2013.
- [24] P. R. Kumar, R. S. Kaarthik, K. Gopakumar, J. I. Leon, and L. G. Franquelo, "Seventeen-level inverter formed by cascading flying capacitor and floating capacitor H-bridges," *IEEE Transactions on Power Electronics*, vol. 30, no. 7, pp. 3471-3478, 2015.
- [25] K. Ilves et al., "A submodule implementation for parallel connection of capacitors in modular multilevel converters," *IEEE Transactions on Power Electronics*, vol. 30, no. 7, pp. 3518-3527, 2015.
- [26] G. P. Adam, I. A. Abdelsalam, K. H. Ahmed, and B. W. Williams, "Hybrid multilevel converter with cascaded H-bridge cells for HVDC Applications: Operating principle and scalability," *IEEE Transactions on Power Electronics*, vol. 30, no. 1, pp. 65-77, 2015.
- [27] V. Dargahi, A. K. Sadigh, M. Abarzadeh, S. Eskandari, and K. A. Corzine, "A new family of modular multilevel converter based on modified flying-capacitor multicell converters," *IEEE Transactions on Power Electronics*, vol. 30, no. 1, pp. 138-147, 2015.
- [28] S. Debnath, Q. Jiangchao, B. Bahrani, M. Saeedifard, and P. Barbosa, "Operation, control, and applications of the modular multilevel converter: A review," *IEEE Transactions. Power Electronics*, vol. 30, no. 1, pp. 37-53, 2015.
- [29] A. Nami, J. Liang, F. Dijkhuizen, and G. D. Demetriades, "Modular multilevel converters for HVDC applications: Review on converter cells and functionalities," *IEEE Transactions Power Electronics*, vol. 30, no. 1, pp. 18-36, 2015.
- [30] R. Marquardt, "Modular multilevel converter: An universal concept for HVDC-Networks and extended DC-Bus-applications," *Proc. Int. Power Electron. Conf.*, pp. 502-507, 2010.
- [31] G. Waltrich, and I. Barbi, "Three-Phase Cascaded Multilevel Inverter Using Power Cells With Two Inverter Legs in Series," *IEEE Transactions on Industrial Electronics*, vol. 57, no. 8, pp. 2605-2612, 2010.
- [32] A. Salem, E. M. Ahmed, M. Orabi and M. Ahmed, "New Three-Phase Symmetrical Multilevel Voltage Source
- [3] E. Babaei and S. H. Hosseini, "Charge balance control methods for asymmetrical cascade multilevel converters," *International Conference on Electrical Machines and Systems*, pp. 74-79, 2007.
- [۴] حسین صفامهر، تورج عباسیان نجف آبادی، فرزاد رجایی سلماسی، «کنترل اینورترهای متصل به شبکه در حضور سلف غیرخطی در فیلتر LCL خروجی»، *مجله مهندسی برق دانشگاه تبریز*، دوره ۴۵، شماره ۴، صفحه ۲۰۹-۲۱۹، ۱۳۹۴.
- [5] J. Rodriguez, S. Bernet, P. K. Steimer, and I. E. Lizama, "A survey on neutral-point-clamped inverters," *IEEE Transactions on Industrial Electronics*, vol. 57, no. 7, pp. 2219-2230, 2010.
- [6] J. Rodriguez, J.-S. Lai, and F. Z. Peng, "Multilevel inverters: A Survey of topologies, controls, and applications," *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 724-738, 2002.
- [7] M. Malinowski, K. Gopakumar, J. Rodriguez, and M. A. Perez, "A survey on cascaded multilevel inverters," *IEEE Transactions on Industrial Electronics*, vol. 57, no. 7, pp. 2197-2206, 2010.
- [۸] سیما شاهمحمدی، سیدحسین حسینی، ابراهیم بابایی، مهران صباحی و جابر فلاح، «آنالیز تحلیلی هارمونیکهای خروجی اینورترهای چندسطحی در حالت کلیدزنی نامتقارن»، *مجله مهندسی برق دانشگاه تبریز*، دوره ۴۶، شماره ۱، صفحه ۲۰۹-۲۱۹، ۱۳۹۵.
- [9] Z. Pan, F. Z. Peng, K. A. Corzine, V. R. Stefanovic, J. M. Leuthen, and S. Gataric, "Voltage balancing control of diode-clamped multilevel rectifier/inverter systems," *IEEE Transactions on Industry Applications*, vol. 41, no. 6, pp. 1698-1706, 2005.
- [10] J. Rodriguez, L. G. Franquelo, S. Kouro, et al.: "Multilevel converters: an enabling technology for high power applications," *Proc. IEEE*, vol. 97, no. 11, pp. 1786-1817, 2009.
- [11] T. A. Meynard, H. Foch, F. Forest, C. Turpin, F. Richardeau, L. Delmas, G. Gateau, and E. Lefeuvre, "Multicell converters: Derived topologies," *IEEE Transactions on Industrial Electronics*, vol. 49, no. 5, pp. 978-987, 2002.
- [12] A. Ashraf Gandomi, K. Varesi and S. H. Hosseini, "Control strategy applied on double flying capacitor multi-cell inverter for increasing number of generated voltage levels," *IET Power Electronics*, vol. 8, no. 6, pp. 887-897, 2015.
- [13] M. Babaei, F. Kangarlu and M. Sabahi, "Extended multilevel converters: an attempt to reduce the number of independent DC voltage sources in cascaded multilevel converters," *IET Power Electronics*, vol. 7, no. 1, pp. 157-166, 2014.
- [14] Z. Du, L. M. Tolbert, J. N. Chiasson, B. Ozpineci, "A cascade multilevel inverter using a single DC source," *Proc. IEEE APEC*, 2006.
- [15] S. Vazquez, J. I. Leon, L. G. Franquelo, J. J. Padilla, J. M. Carrasco, "DC voltage ratio control strategy for multilevel cascaded converters fed with a single DC source," *IEEE Transactions on Industrial Electronics*, vol. 56, no. 7, pp. 2513-21, 2009.
- [16] Z. Du, L. M. Tolbert, B. Ozpineci, J. N. Chiasson, "Fundamental frequency switching strategies of a seven-level hybrid cascaded H-bridge multilevel inverter," *IEEE Transactions on Power Electronics*, vol. 24, no. 1, pp. 25-33, 2007.

- Bridge Modules,” *IEEE Transactions on Industrial Electronics*, vol. 59, no. 2, pp. 668-678, 2012.
- [37] S. P. Gautam, L. Kumar, S. Gupta, “Hybrid topology of symmetrical multilevel inverter using less number of devices,” *IET Power Electronics*, vol. 8, no. 11, pp. 2125-2135, 2015.
- [38] “Fuji IGBT Modules Application Manual” Application Note,, Fuji Electric Device Technology Co. Ltd. Publication, Feb 2004.
- [39] E. Babaei, S. Laali and Z. Bayat, “A Single-Phase Cascaded Multilevel Inverter Based on a New Basic Unit With Reduced Number of Power Switches,” *IEEE Transactions on Industrial Electronics*, vol. 62, no. 2, pp. 922-929, 2015.
- Inverter,” *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 5, no. 3, pp. 430-442, 2015.
- [33] C. Klumpner and F. Blaabjerg, “Using reverse blocking IGBTs in power converters for adjustable speed drives,” *IEEE Transactions on Industry Applications*, vol. 42, no. 3, pp. 807-816, 2006.
- [34] M. Orabi; A. Salem; E. Ahmed; M. Ahmed, “Study and Analysis of New Three-phase Modular Multi-Level Inverter,” *IEEE Transactions on Industrial Electronics*, vol. 63, no. 12, pp. 7804 – 7813, 2016.
- [35] A. Salem, E. M. Ahmed, M. Ahmed, M. Orabi and A. B. Abdelghani, “Reduced switches based three-phase multi-level inverter for grid integration,” *Renewable Energy Congress (IREC), 6th International*, pp. 1-6, 2015.
- [36] A. L. Batschauer, S. A. Mussa and M. L. Heldwein, “Three-Phase Hybrid Multilevel Inverter Based on Half-