

مبدل زمان به دیجیتال رزولوشن بالا و توان مصرفی کم مبتنی بر اسیلاتور حلقوی چندمسیره

اکرم امیری^۱، دانشجوی کارشناسی ارشد، سیروس طوفان^۲، استادیار

۱ و ۲- دانشکده مهندسی برق و کامپیوتر - دانشگاه زنجان - زنجان - ایران

Email: amiri_akram@znu.ac.ir, s.toofan@znu.ac.ir

چکیده: در این مقاله طراحی یک مبدل زمان به دیجیتال ۱۲ بیتی رزولوشن بالا و توان مصرفی کم مبتنی بر اسیلاتور حلقوی چندمسیره (Multi-Path Gated Ring Oscillator) در تکنولوژی ۱۳۰nm-CMOS بیان شده است. برای افزایش رزولوشن دو مسیر گیت با رزولوشن‌های متفاوت، رزولوشن درشت و رزولوشن ریز، به صورت ساختار ورنیر استفاده شده است. تأخیر گیت هر مسیر تعیین کننده رزولوشن آن مسیر و به دلیل به کار بردن آن‌ها در ساختار ورنیر، اختلاف تأخیر گیت‌های دو مسیر بیانگر مقدار رزولوشن مؤثر است. نتایج شبیه‌سازی مبدل زمان به دیجیتال، TDC، طراحی شده در سطح مدار می‌دهند که این TDC دارای رزولوشن درشت ۱۰PS، رزولوشن ریز ۸PS، رزولوشن مؤثر ۲PS و رنج دینامیکی ۸ns است. مقادیر DNL و INL آن به ترتیب برابر ۰/۶LSB و ۲LSB است. همچنین متوسط توان مصرفی آن با ولتاژ تغذیه ۱/۲V در فرکانس مرجع ۵۰MHz برابر ۴/۵mW است.

واژه‌های کلیدی: مبدل زمان به دیجیتال، GRO TDC، multi path GRO TDC، ADPLL.

High Resolution- Low Power TDC based on Multi-path Gated Ring Oscillator

A. Amiri, Msc. Student¹, S. Toofan, Assistant Professor²

1-2 Faculty of Electrical and Computer Engineering, University of Zanjan, Zanjan, Iran.

Email: amiri_akram@znu.ac.ir, s.toofan@znu.ac.ir

Abstract: This paper presents the design of a high resolution- low power 12-Bit Time-to-Digital Converter (TDC) based on Multi Path Gated Ring Oscillator (M-path GRO) in 130nm CMOS-TSMC technology. Using 2 M-path GRO with different resolutions, coarse and fine resolutions, in Vernier structure enhances the effective resolution of the TDC. The designed M-path GRO TDC realized in 130nm CMOS-TSMC technology at circuit level. Simulation results show that the coarse, fine and effective resolutions of this TDC are 10PS, 8PS, 2PS respectively, and it has 8nS dynamic range. In addition, the DNL and INL of this TDC are 0.6LSB and 2LSB. The power consumption of designed TDC is 4.5mw with 1.2V power supply at 50MSPS.

Keywords: Time to digital converter (TDC), gate ring oscillator TDC, multi path GRO TDC, ADPLL.

تاریخ ارسال مقاله: ۱۳۹۴/۰۴/۱۶

تاریخ اصلاح مقاله: ۱۹۴/۰۷/۱۴

تاریخ پذیرش مقاله: ۱۳۹۴/۱۱/۲۱

نام نویسنده مسئول: سیروس طوفان

نشانی نویسنده مسئول: ایران - زنجان - کیلومتر ۵ جاده تبریز - دانشگاه زنجان - دانشکده مهندسی برق و کامپیوتر

۱- مقدمه

در برخی از کاربردهای مخابراتی جهت ایجاد فرکانس حامل یا فرکانس سیلاتور محلی از حلقه قفل فاز (PLL) استفاده می‌شود. در سال‌های اخیر با توجه به روند روزافزون جایگزینی مدارهای دیجیتال به جای مدارهای آنالوگ، حلقه قفل فاز تمام دیجیتالی (ADPLL) مورد توجه بسیاری از طراحان قرار گرفته است. در ADPLL به جای آشکارساز فاز- فرکانس از مبدل زمان به دیجیتال (TDC) استفاده می‌شود. لذا TDCها یکی از بخش‌های مهم ADPLLها هستند. در ADPLL جهت قفل سریع حلقه از TDCهای سریع و برای کاهش نویز فاز یا جیت از TDCهای دقت بالا استفاده می‌شود [۱]. به کار بردن TDCهای سرعت پایین در ADPLLها باعث کاهش پهنای باند حلقه آنها می‌گردد. از طرفی با رفتن به سمت مدارهای دیجیتالی و با کوچکتر شدن تکنولوژی پردازش ولتاژ و جریان سخت و زمان بر می‌گردد. لذا به جای پردازش ولتاژ به سراغ پردازش زمان می‌روند [۲]. بدین خاطر امروزه در ADCهای تک‌شبه از مبدل زمان به دیجیتال (TDC) استفاده می‌شود [۳]. TDCها عملکردی مشابه مبدل‌های آنالوگ به دیجیتال (ADC) دارند با این تفاوت که در TDC به جای دیجیتالی کردن جریان یا ولتاژ، فاصله زمانی بین لبه‌های بالارونده دو سیگنال به کد دیجیتال تبدیل می‌شود [۴]. ساختارهای زیادی برای TDC از جمله Flash TDC [۵]، Pipeline TDC [۶ و ۷]، MASH $\Delta\Sigma$ TDC [۸]، Pulse Shrink TDC [۹]، GRO TDC [۱۰] و Multi path GRO TDC [۱۱ و ۱۲] وجود دارد. Flash TDCها دارای سرعت بالا و دقت کمتری هستند. Pipeline TDCها، به خصوص آنهایی که دارای تقویت کننده زمانی است، دارای سرعت پایین و دقت زیادی هستند. به عبارتی در TDCها نیز مصالحه‌ای بین دقت و سرعت وجود دارد. در سال‌های اخیر ساختار Multi path GRO TDC به دلیل سرعت و دقت بالای تبدیل مورد توجه بسیاری از طراحان قرار گرفته است. در [۷] ساختار یک TDC دومرحله‌ای ارائه شده است. این ساختار هرچند دقت خوبی دارد اما دارای محدوده اندازه‌گیری کمتری است. همچنین جهت رسیدن به رزولوشن بالا از تقویت کننده زمان استفاده کرده است. به طوری که این تقویت کننده سرعت پاسخ‌دهی TDC را کندتر می‌کند. در [۱۲] ما طراحی یک Multi Path GRO TDC را ارائه دادیم. در این کار با کاهش تعداد طبقات اینورترهای GRO، جهت بهبود توان مصرفی و همچنین با بهبود بقیه قسمت‌ها یک Multi Path GRO TDC دیگری در تکنولوژی 130nm-TSMC با رزولوشن بهتر و با تعداد بیت‌های بیشتر طراحی شده است. این مقاله دارای پنج بخش است که در بخش دوم نحوه عملکرد GRO TDC تک‌مسیره و چندمسیره و در بخش سوم طراحی Multi GRO TDC بیان می‌شوند. در بخش چهارم به نتایج شبیه‌سازی و در بخش پنجم به نتیجه‌گیری مقاله پرداخته می‌شود.

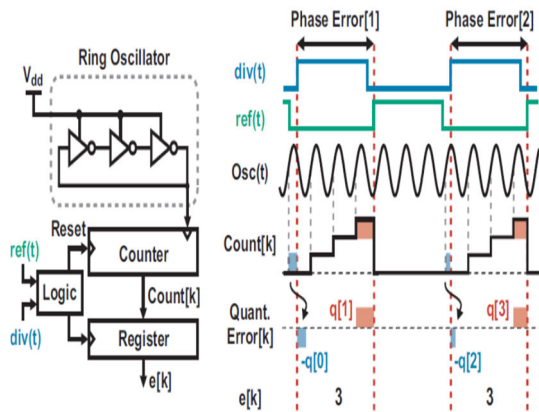
۲- عملکرد GRO TDC

۲-۱- عملکرد TDCهای مبتنی بر اسیلاتور حلقوی تک‌مسیره در این روش مطابق شکل ۱ از یک اسیلاتور حلقوی کنترل‌شونده برای اندازه‌گیری فاصله زمانی بین لبه‌های دو سیگنال استفاده می‌شود. عملکرد مدار بدین صورت است که با آمدن لبه بالارونده سیگنال ref ، شمارنده شروع به شمارش خروجی اسیلاتور حلقوی می‌کند و زمانی که لبه بالارونده سیگنال div وارد بلوک منطقی شد، شمارنده شمارش خود را متوقف می‌کند و مقدار خود را به ثبات می‌فرستد. نهایتاً جمله دیجیتالی در خروجی ظاهر می‌گردد [۱۳]. از آنجایی که زمان شروع شمارش سیگنال اسیلاتور حلقوی با سیگنال ref سنکرون نیست و همچنین در انتهای شمارش، رخداد سیگنال توقف دقیقاً در محل صفر شدن سیگنال اسیلاتور رخ نمی‌دهد. لذا شمارش در ابتدا و انتهای هر اندازه‌گیری مطابق شکل ۱ با خطاهایی همراه است. در TDCها این خطا را خطای کوانتیزاسیون می‌نامند که باعث پایین آمدن دقت اندازه‌گیری می‌گردد. مقدار خطای کوانتیزاسیون در شمارش k ام با رابطه ۱ بیان می‌گردد [۱۳].

$$T_{error} = T_{stop}[k] - T_{start}[k] \quad (1)$$

همان‌طوری که بیان شد خطای کوانتیزاسیون به دلیل اندازه‌گیری ناقص پریودهای اول و آخر رخ می‌دهد. لذا هر چه دوره نوسان اسیلاتور کم باشد مقدار این خطا نیز کم‌تر می‌شود. بنابراین در طراحی تا حدی که می‌توانیم مقدار دوره نوسان اسیلاتور را پایین می‌آوریم. دوره نوسان اسیلاتور حلقوی طبق رابطه (۲) که در آن T_q ، N و T_q به ترتیب بیانگر دوره تناوب سیگنال خروجی اسیلاتور حلقوی، تعداد گیت‌ها و تأخیر هر گیت هستند، تعیین می‌گردد. لذا برای کاهش دوره نوسان اسیلاتور حلقوی بایستی تأخیر گیت‌ها را کاهش داد. نتایج شبیه‌سازی در این کار نشان دادند که حداقل تأخیر به دست آمده در تکنولوژی 130nm-TSMC برای یک گیت اینورتر تقریباً برابر ۲۵PS و کوچک‌ترین دوره تناوب اسیلاتور حلقوی تشکیل شده از سه گیت اینورتر هم تقریباً برابر ۱۵۰PS است.

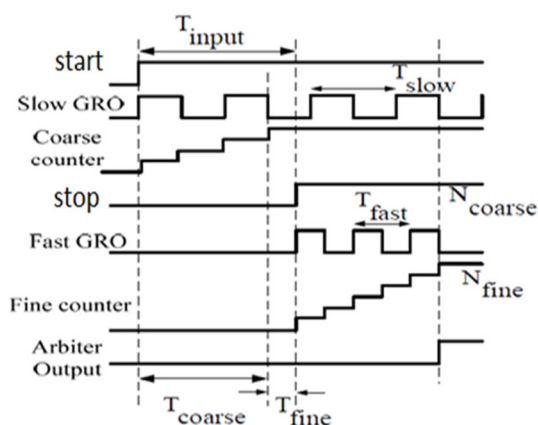
$$T = 2 \cdot N \cdot T_q \quad (2)$$



شکل ۱: اسیلاتور حلقوی تک‌مسیره [۱۲]

پس فاز ظاهر شد اولاً اسیلاتور تند با دوره $T_{fast}=2N_{tqfast}$ نوسان خود را شروع می‌کند ثانیاً شمارش شمارنده درشت متوقف می‌شود. در این حالت عدد خروجی شمارنده درشت (N_{coarse}) یک اندازه‌گیری نادقیق از T_{input} ، فاصله زمانی بین دو سیگنال ورودی، را نشان می‌دهد. برای بهبود اندازه‌گیری از یک حلقه تند نیز استفاده می‌کنیم که N_{fine} مقدار شمارش شده شمارنده تند است که مقدار خطای شمارنده کند را نشان می‌دهد؛ اما از آنجایی که مقدار تأخیر T_{fast} کم‌تر از T_{slow} است اختلاف زمانی بین لبه سیگنال اسیلاتور تند و کند رفته‌رفته با اختلاف تأخیر ($T_{slow}-T_{fast}$) به هم نزدیک می‌شوند و نهایتاً لبه سیگنال تند به لبه سیگنال کند می‌رسد. با رسیدن لبه سیگنال تند به لبه سیگنال کند شمارنده تند نیز متوقف می‌شود. شکل ۴ دیاگرام زمانی عملکرد TDC طراحی شده را نشان می‌دهد. تعداد نوسان‌های رخ داده برای رسیدن سیگنال تند به سیگنال کند را می‌توان به صورت عبارت ۳ نوشت [۱۲].

$$T_{input} = T_{coarse} + T_{fine} = N_{coarse} T_{slow} + N_{fine} (T_{slow} - T_{fast}) \quad (3)$$



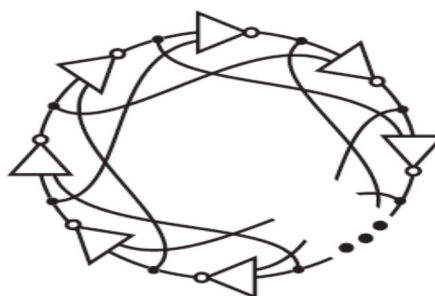
شکل ۴: دیاگرام زمانی عملکرد TDC طراحی شده

۳-۱- بلوک پیش منطقی (Pre-logic)

مدار این بلوک به صورت شکل ۵ است. Arbiter موجود در این بلوک، مالتی‌پلکسرها را طوری تنظیم می‌کند که همواره سیگنال پیش‌فاز به حلقه کند و سیگنال پس‌فاز به حلقه تند اعمال شود. عملکرد مدار بدین صورت است که ورودی‌های start و stop پس از عبور از گیت‌های بافر به Arbiter وارد شده و توسط آن بیت انتخاب‌گر مالتی‌پلکسرها ایجاد می‌گردد. انتخاب‌گر کنترل مالتی‌پلکسرها را به دست گرفته و از محاسبه اشتباه مقدار دیجیتالی زمان تبدیل شده جلوگیری می‌کند. با این فرآیند در صورتی که ترتیب سیگنال‌ها درست نباشد مالتی‌پلکسر جای دو سیگنال را تعویض می‌نماید. تأخیر ایجاد شده توسط بافرها به اندازه‌ای است که سیگنال خروجی Arbiter، سیگنال انتخاب‌گر، قبل از سیگنال‌های ورودی به مالتی‌پلکسرها برسد تا مالتی‌پلکسرها درست سوئیچ کنند. ساختار مداری Arbiter مطابق شکل ۶ به صورت دیفرانسیلی و ضربدری (cross couple) است تا سرعت بالاتری داشته باشد [۷].

۲-۲- عملکرد TDCهای مبتنی بر اسیلاتور حلقوی چندمسیره (Multi Path GRO TDC)

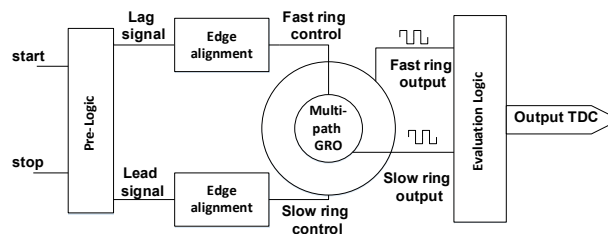
تفاوت این نوع TDC با TDC قبلی در آن است که در روش تک‌مسیره ورودی هر طبقه تنها به خروجی طبقه قبلی آن متصل است؛ بنابراین تأخیر از یک حدی کم‌تر نمی‌شود. اما در روش چندمسیره مطابق شکل ۲ ورودی هر طبقه به ترکیبی از خروجی طبقات قبلی بستگی دارد. این سبب می‌شود تا هر طبقه از چندین نقطه کنترل گردد؛ و از اطلاعات آن‌ها برای تصمیم‌گیری در زمان شروع تغییر وضعیت خود استفاده کند، لذا سریع‌تر تغییر وضعیت خود را شروع می‌کند. در کل به نظر می‌رسد که تأخیر عبوری کاهش یافته است. در نتیجه مقدار دوره نوسان اسیلاتور نیز کاهش می‌یابد. کاهش دوره نوسان نیز باعث کاهش خطای کوانتیزاسیون می‌گردد [۱۴ و ۱۵].



شکل ۲: اسیلاتور حلقوی چندمسیره [۱۱]

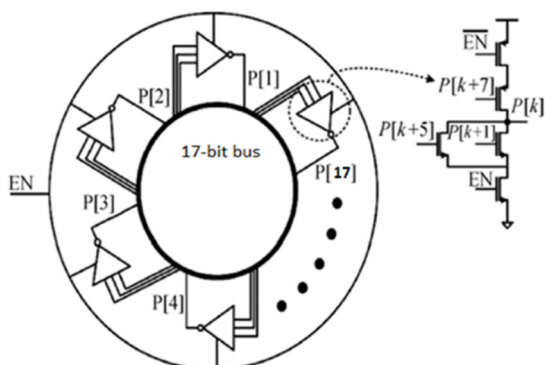
۳- طراحی Multi path GRO TDC

در این کار یک TDC به صورت چندمسیره طراحی شده است که دارای دو حلقه اسیلاتور کند و تند است. حاصل این TDC دست‌یابی به دو نوع رزولوشن متفاوت و در نهایت به دست آوردن اختلاف آن‌ها به عنوان رزولوشن مؤثر TDC پیشنهادی است. در اسیلاتورها تعداد اینورترها بایستی یک عدد فرد باشد اما اگر این عدد، یک عدد اول انتخاب شود سبب بهبود سرعت و به تبع آن باعث کاهش دوره تناوب اسیلاتور حلقوی چندمسیره می‌گردد [۱۶ و ۱۷].

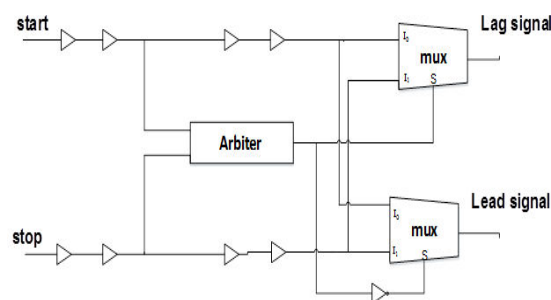


شکل ۳: بلوک دیاگرام TDC طراحی شده

شماتیک TDC طراحی شده به صورت شکل ۳ است. مطابق دیاگرام فوق با آمدن لبه بالا رونده سیگنال پیشرو اسیلاتور کند با دوره $T_{slow}=2N_{tqslow}$ شروع به نوسان می‌کند و هم‌زمان با آن شمارنده درشت تعداد نوسان‌های این اسیلاتور را می‌شمارد، وقتی لبه بالا رونده سیگنال



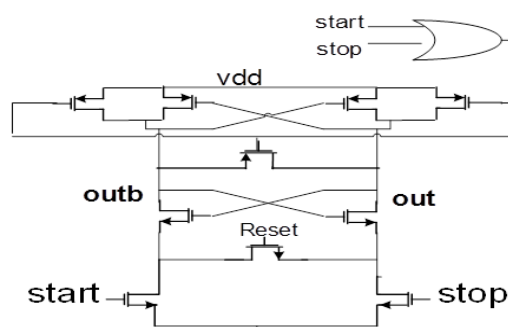
شکل ۸: مدار اسپلاتور حلقوی چندمسیره طراحی شده



شکل ۵: مدار پیش منطقی

۳-۴- بلوک ارزیابی منطقی (Evaluation logic)

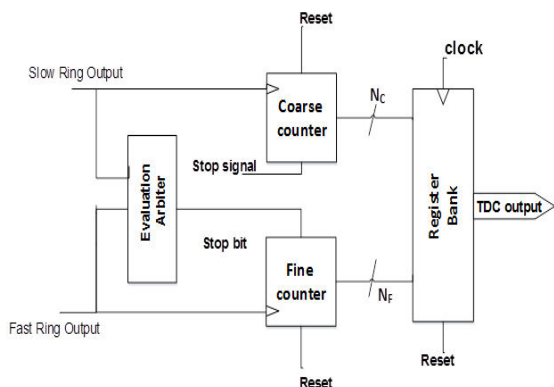
شکل ۹ بلوک دیاگرام بخش ارزیابی منطقی را نشان می‌دهد. این بلوک شامل شمارنده درشت، شمارنده ریز، بانک ثبات و مدار Arbiter ارزیابی (Evaluation Arbiter) است. مدار Arbiter جهت تشخیص رسیدن لبه سیگنال کند به لبه سیگنال تند تأخیر یافته به کار رفته است. این مدار Arbiter مطابق شکل ۱۰ شامل دو بخش است که یکی برای تشخیص لبه‌های بالا رونده و دیگری برای تشخیص لبه‌های پایین رونده می‌باشند. سیگنال خروجی این مدار، stop bit، شمارنده ریز را کنترل می‌کند.



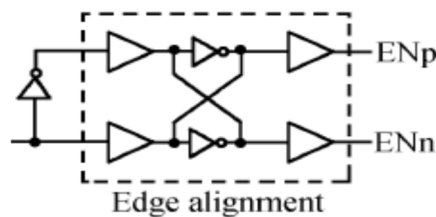
شکل ۶: مدار Arbiter

۳-۲- بلوک Edge alignment

مدار این بلوک به صورت شکل ۷ است و بدین جهت استفاده می‌شود که فعال سازهای ترانزیستورهای NMOS و PMOS گیت‌های اینورتر به کاررفته در اسپلاتور حلقوی چندمسیره در موقع راه اندازی از نظر زمانی عدم تطابقی نداشته باشند. به عبارتی سیگنال‌های EN_n و EN_p به طور همزمان ایجاد و اعمال گردند.



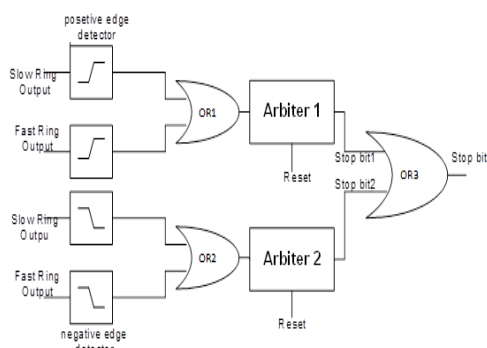
شکل ۹: بلوک ارزیابی منطقی



شکل ۷: بلوک Edge alignment

۳-۳- حلقه اسپلاتور کند و تند

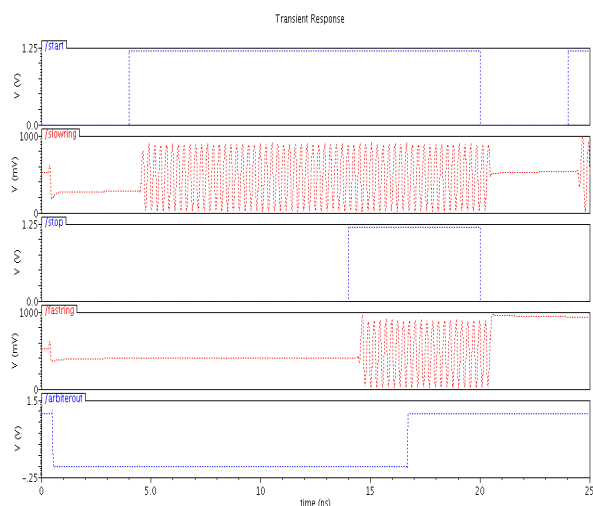
همان طور که گفته شد سیگنال‌های پیش فاز و پس فاز به ترتیب به عنوان فعال ساز حلقه‌های کند و تند عمل می‌کنند. حلقه‌های کند و تند هر یک مطابق شکل ۸ به صورت چندمسیره بسته شده‌اند. هر حلقه شامل ۱۷ طبقه گیت اینورتر با قابلیت کنترل چندمسیره است. تعداد این اینورترها بایستی یک عدد فرد باشد تا نوسان اتفاق بیفتد، همچنین اگر این عدد فرد، عدد اول نیز باشد، سبب تسریع در سرعت اسپلاتور و کاهش تأخیر می‌گردد. ساختار حلقه‌های کند و کند کاملاً مشابه هم است و فقط در اندازه ترانزیستورها کمی متفاوت هستند.



شکل ۱۰: مدار Arbiter بلوک ارزیابی

همان طور که در شکل ۱۰ مشاهده می‌شود، سیگنال‌های خروجی اسپلاتورهای کند و تند وارد بلوک‌های تشخیص دهنده لبه می‌شوند.

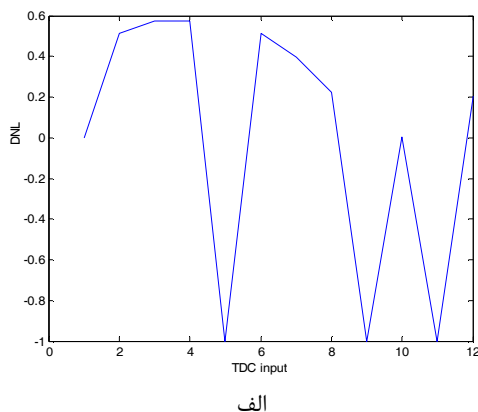
با اعمال جیتر 0.1 nS و انجام تحلیل transient noise، مقادیر رزولوشن‌های درشت، ریز و مؤثر به ترتیب برابر 1 APS ، 14 FPS و 4 FPS می‌شوند. علت این تغییرات عدم استفاده از مدار کالیبراسیون است. برای بیان اثر آن، در شکل ۱۳ نمودارهای خطیگی در حالت بدون کالیبراسیون رسم شده است. همان‌طور که از نمودار خطیگی قابل مشاهده است مقادیر DNL و INL آن به ترتیب برابر 0.6 LSB و 2 LSB می‌باشند. به دلیل عدم استفاده از مدار کالیبراسیون مقدار INL نسبتاً بالا است.



شکل ۱۲: دیاگرام زمانی TDC طراحی شده

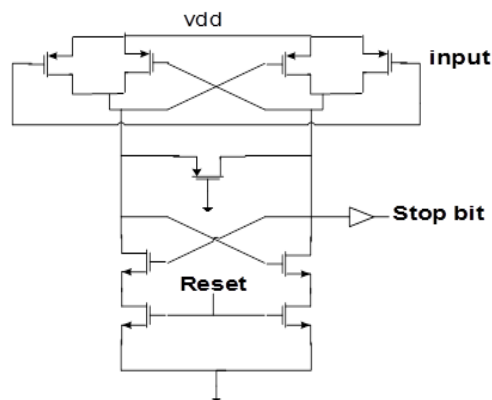
۵- نتیجه‌گیری

در این کار یک Multi path GRO TDC با رنج دینامیکی 8 ns طراحی شده است که در آن برای افزایش رزولوشن از دو مسیر گیت با رزولوشن‌های درشت و ریز استفاده شد. جدول ۱ مقایسه نتایج این کار را با کارهای انجام‌شده در این زمینه نشان می‌دهد. همان‌گونه که مشاهده می‌شود این کار به دلیل استفاده از دو مسیر گیت چندمسیره، رزولوشن بالاتری دارد. همچنین توان مصرفی آن نسبت به مصرفی دیگر کارها بهبود یافته است و دلیل آن کم کردن تعداد طبقات اینورتر است.



الف

اگر مدار آشکارساز لبه تشخیص داد که لبه‌ای آمده است، یک پالس پایین‌رونده‌ای تولید می‌کند. اگر سیگنال‌های اسپلاتورهای تند و کند هر دو در لبه پایین‌رونده به هم برسند، در این صورت در خروجی هر دو آشکارساز لبه منفی (negative edge detector) یک پالس پایین‌رونده تولید می‌شود. این دو پالس پایین‌رونده به گیت OR2 اعمال شده و صفر منطقی در خروجی آن تولید می‌کنند. خروجی OR2 به arbiter2 اعمال شده و خروجی آن، stop bit، را یک می‌کند، همچنین اگر سیگنال‌های تند و کند در لبه بالا‌رونده به هم برسند به همان ترتیبی که برای رسیدن دو سیگنال در لبه پایین‌رونده گفته شد خروجی arbiter1، یک می‌شود، لذا در صورت یک شدن هر یک از خروجی‌های arbiter1 و arbiter2 مقدار stop bit برابر یک منطقی می‌گردد. این بیت به شمارنده ریز اعمال شده و آن را متوقف می‌کند. ساختارهای arbiter1 و arbiter2 مثل هم و مطابق شکل ۱۱ می‌باشند. بانک ثبات مقدار شمارش شده شمارنده‌ها را ثبت می‌کند و تا زمانی که مقدار جدید خروجی مبدل زمان به دیجیتال تولید نشده است، مقدار قبلی را نگه می‌دارد و با آمدن مقدار جدید، ریست شده و مقدار جدید در آن نوشته می‌شود. پایه ریست در arbiterها توسط سیگنال‌های ورودی start و stop کنترل شده و در صورت صفر بودن هر دو ورودی مذکور، سیگنال ریست فعال می‌گردد.

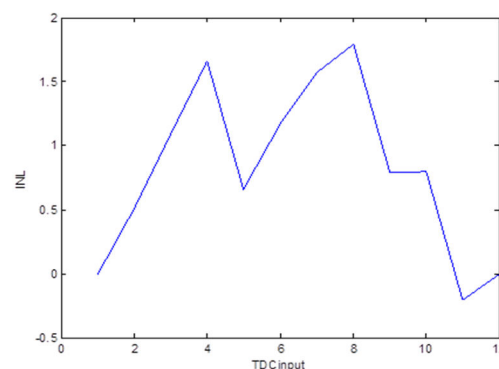


شکل ۱۱: ساختار مداري arbiter2 و arbiter1

۴- نتایج شبیه‌سازی

TDC موردنظر در تکنولوژی 130 nm-TSMC در سطح مداري طراحی و با نرم‌افزار CADENC شبیه‌سازی شد. نتایج شبیه‌سازی مبدل زمان به دیجیتال، TDC، طراحی شده نشان می‌دهند که این دارای رزولوشن درشت 10 PS ، رزولوشن ریز 8 APS ، رزولوشن مؤثر 2 FPS و رنج دینامیکی 8 ns است. مقادیر DNL و INL آن به ترتیب برابر 0.6 LSB و 2 LSB است. همچنین متوسط توان مصرفی آن با ولتاژ تغذیه $1/2\text{ V}$ در فرکانس مرجع 50 MHz برابر $4/5\text{ mW}$ است. در شکل ۱۲ دیاگرام زمانی TDC پیشنهادی نشان داده شده است. مشاهده می‌شود که با آمدن لبه بالا‌رونده سیگنال پیش‌فاز اسپلاتور کند و با آمدن لبه بالا‌رونده سیگنال پس‌فاز اسپلاتور تند شروع به نوسان می‌کنند و وقتی که لبه سیگنال تند به لبه سیگنال کند رسید خروجی مدار Arbiter یک می‌گردد.

- [8] Y. Cao, W. De Cock, M. Steyaert and P. Leroux, "1-1-1 mash time-to-digital converters with 6 PS resolution and third-order noise-shaping," *IEEE Journal of Solid-State Circuits*, vol. 47, no. 9, pp. 2093-2106, 2012.
- [9] P. Chen, S. Liu and J. Wu, "A CMOS pulse-shrinking delay element for time interval measurement," *IEEE Transactions on Circuits and Systems II*, vol. 47, no. 9, pp. 954-958, 2000.
- [10] C. M. Hsu, M. Z. Straayer and M. H. Perrott, "A low-noise wide-BW 3.6-GHz digital-fractional-N frequency synthesizer with a noise shaping time-to-digital converter and quantization noise cancellation," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 12, pp. 2776-2786, 2008.
- [11] M. Z. Straayer and M. H. Perrott, "A Multi-Path Gated Ring Oscillator TDC With First-Order Noise Shaping," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 4, pp. 1089-1098, 2009.
- [12] M. Memarian, S. Toofan, "A High Resolution, Multi-Path Gated Ring Oscillator Based Vernier Time-to-Digital Converter," *IEEE Semiconductor Conference Dresden(SCD)*, pp. 1-4, 2011.
- [13] I. Nissinen, A. Mantyniemi and J. Kostamovaara, "A CMOS time-to-digital converter based on a ring oscillator for a laser radar," *IEEE 29th European Solid-State Circuits Conference*, pp. 469-472, 2003.
- [14] S. Lee, B. Kim and K. Lee, "A novel high-speed ring oscillator for multiphase clock generation using negative skewed delay scheme," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 2, pp. 289-291, 2009.
- [15] J. Chen, H. Yumei and H. Zhiliang, "A multi-path gated ring oscillator based time-to-digital converter in 65 nm CMOS technology," *Journal of Semiconductors*, vol. 34, no.3, pp. 1-5, 2013.
- [16] J. G. Maneatis and M. A. Horowitz, "Precise delay generation using coupled oscillators," *IEEE Journal of Solid-State Circuits*, vol. 28, no. 12, pp. 1273-1282, 1993.
- [17] A. Matsumoto, S. Sakiyama, Y. Tokunaga, T. Morie and S. Doshio, "A design method and developments of a low-power and high-resolution multiphase generation system," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 4, pp. 831-843, 2008.



شکل ۱۳: الف: نمودار DNL؛ ب: نمودار INL

جدول ۱: مقایسه TDC طراحی شده با کارهای دیگر

معماری	[۷]	[۱۲]	[۱۵]	[۸]	این کار
رزولوشن (PS)	۱/۲۵	۴	<۴/۲۲	۶	۲
(LSB)DNL	۰/۸	<۱	-	-	۰/۶
تعداد بیت	۹	۱۱	۸	۱۱	۱۲
رنج دینامیکی (ns)	۰/۱	۸	۱	۱۲	۸
توان مصرفی (mW)	۳	۱۶/۵	۱/۷۲	۲	۴/۵
تکنولوژی (nm)	۹۰	۱۸۰	۶۵	۱۳۰	۱۳۰
فرکانس (MHz)	۱۰	۴۰	۵۰	۶۲/۵	۵۰

مراجع

- [1] R. B. Staszewski, D. Leipold, C.-M. Hung and P. T. Balsara, "TDC-based frequency synthesizer for wireless applications," *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 215-218, 2004.
- [2] R. Staszewski, C.-M. Hung, K. Maggio, J. Wallberg, D. Leipold and P. Balsara, "All-digital phase-domain tx frequency synthesizer for bluetooth radios in 0.13um cmos," *IEEE Solid-State Circuits Conference (ISSCC)*, 2004.
- [3] S. Naraghi, M. Courcy and M. P. Flynn, "A 9-bit, 14 μ W and 0.06 mm Pulse Position Modulation ADC in 90 nm Digital CMOS," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 9, pp. 1870-1880, 2010.
- [4] R. Staszewski, S. Vemulapalli, P. Vallur, J. Wallberg and P. Balsara, "1.3 V 20 PS time-to-digital converter for frequency synthesis in 90-nm CMOS," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 53, no. 3, pp. 220-224, 2006.
- [5] P. Chen, C. C. Chen, J. Chi, Zheng and Y. S. Shen, "A PVT Insensitive Vernier-Based Time-to-Digital Converter With Extended Input Range and High Accuracy," *IEEE Transactions on Nuclear Science*, vol. 54, no. 2, pp. 294-302, 2007.
- [6] C. S. Hwang, P. Chen and H. W. Tsao, "A high-precision time-to digital converter using a two-level conversion scheme," *IEEE Transactions on Nuclear Science*, vol. 51, no. 8, pp. 1349-1352, 2004.
- [7] M. Lee, A. A. Abidi, "A 9 b, 1.25 PS resolution coarse-fine timeto-digital converter in 90 nm CMOS that amplifies a time residue," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 4, pp. 769-777, 2008.