Tabriz Journal of Electrical Engineering (TJEE), vol. 54, no. 4, December 2024 Serial no. 110
DOI: 10.22034/tjee.2024.59390.4768

A Spin Hall Effect-Based Dual Mode Nonvolatile Flip-Flop for Realizing Nonvolatile Computing

Sadegh Mofidi, Vahid Jamshidi*

Department of Computer Engineering, Shahid Bahonar University of Kerman (SBUK), Kerman, Iran
E-mails: vjamshidi@uk.ac.ir; sadeghmofidi@eng.uk.ac.ir
* Corresponding author

Short Abstract
In computing circuits, when the voltage source is suddenly cut off, data is lost and calculations need to be performed again. This reduces the speed of calculations and increases power consumption. This issue becomes more important in applications that are powered by batteries such as "Internet of Things". Recently, the use of non-volatile flip-flops in computing circuits has received much attention. In non-volatile circuits that have been proposed so far, a separate backup circuit based on a non-volatile flip-flop is used. This circuit performs data storage on the chip at specific time intervals. But the use of a separate backup circuit ultimately leads to an increase in the total power consumption, the occupied area, and a decrease in the calculation speed. In addition, the backup circuit requires external control signals, which results in increasing the complexity of the system. To solve these problems, in this paper, a double mode non-volatile flip-flop with both simultaneous and asynchronous backup of data is proposed, in which mCell devices are used to realize non-volatile calculations. The proposed flip-flop for backup and recovery operations, has the energy of fJ level and the delay of ps level.

Keywords
Data backup, data restore, magnetic tunnel junction, hysteresis, non-volatility, non-volatile flip-flop.

1- Short Introduction (4-5 lines)

Applying power-gating technique on VLSI computing systems has been widely extended in both low-power portable devices and high-performance cloud server centers to shut off static leakage power. States of the flip-flops and registers in a pipeline structure need to be backed up to prevent loss of stored data when the supply is removed. Similarly, battery-less portable devices supplied by energy-harvesting techniques can be benefited from backup and restore operations, because the ambient energy sources such as photovoltaics, vibrations, and RF are often unreliable.
The power outage failures have a great impact on the computation time and the overall energy efficiency of IoT network. On the one hand, the computing system will lose its computation data if these data are not successfully backed up before the power failure. On the other hand, even if techniques of check-pointing and rollback-recovery are employed, significant overheads of energy and latency still exist for each backup and restore operation. To solve these problems, designs based on magnetic tunnel junction devices (MTJ) have been proposed. MTJ devices have many desirable features such as small dimensions, non-volatile, high speed, near-zero static power consumption, high-energy particle robustness, and compatibility with semiconductor components. In this paper, based on MTJ devices, a non-volatile Flip-Flop is proposed and evaluated by Hspice simulations.

2- Proposed Work and Methodology (including comprision, simulation/experimental results and discusion)

This paper proposes a novel non-volatile flip-flop based on magnetic tunnel junctions (MTJs) during power failure or supply gating. The proposed flip-flop utilizes the non-volatility of the four-terminal MTJ to optimize the data backup and restore operations. It not only provides the high-speed transmission data rate, but also reduces area and power consumption over the previous NVFFs. In addition, the proposed FF can be utilized in two different cases: a) sensitive data processing, and b) high-speed data computing.

3- Conclusion (4-5 lines)

With technology downscaling, static power dissipation has become one of crucial challenges to multicore, many-core, and System-on-Chip (SoC) architectures due to the increasing role of leakage currents in total energy consumption and the need to support power-gating schemes. Many current flip-flop architectures, such as CMOS-based flip-flops, always require an additional power supply to maintain the system states, and different non-volatile backup flip-flop designs are only efficient for long standby periods. To overcome these limitations, we proposed the novel Non-Volatile flip-flop (DM-NVFF), in which a non-volatile device is used as an active device, to enable fast power-down and power-up operations. Furthermore, the DM-NVFF can provide the similar energy and timing characteristics as conventional CMOS flip-flops, while reducing static power by 5 times compared to backup NV flip-flops. Simulation results have shown fJ-level energy and ns-level delay for a backup and restore operation. With such remarkable and satisfactory results, DM-NVFFs enable a new nonvolatile computing paradigm for future IoT applications and power-gating applications.

4- References (2-3 references)

[1] S. Rangaprasad, VK. Joshi, “A Fully Non-Volatile Reconfigurable Magnetic Arithmetic Logic Unit Based on Majority Logic,” *IEEE Access*, vol. 11, pp. 118944-118961, 2023.
[2] Z. Wang, Z. Wang, Y. Xu, B. Wu, and W. Zhao, “Erase-hidden and drivability-improved magnetic non-volatile flip-flops with nandspin devices,” *IEEE Transactions on Nanotechnology*, vol. 19, pp.446–454, 2020.
[3] J. Park, “Hybrid non-volatile flip-flops using spin-orbit-torque (sot) magnetic tunnel junction devices for high integration and low energy power-gating applications,” *Electronics*, vol. 9, no. 9, p. 1406, 2020.

یک فلیپ فلاپ غیر فرار دو حالته مبتنی بر اثر برهمکنش اسپین برای تحقق محاسبات غیر فرار

صادق مفیدی
دانشجوی کارشناسی ارشد، دانشکده مهندسی کامپیوتر، دانشگاه شهید باهنر کرمان، کرمان، ایران

وحید جمشیدی
استادیار، دانشکده مهندسی کامپیوتر، دانشگاه شهید باهنر کرمان، کرمان، ایران

چکیده
در مدارهای محاسباتی با قطع ناگهانی منبع ولتاژ، داده ها از دست می روند و نیاز است محاسبات مجددا انجام شوند. این امر باعث کاهش سرعت محاسبات و افزایش توان مصرفی می گردد. این مساله در کاربردهایی مانند اینترنت اشیا که از باطری تغذیه می کنند اهمیت بیشتری پیدا می‌کند. اخیرا استفاده از فلیپ فلاپ های غیر فرار در مدارهای محاسباتی بسیار مورد توجه قرار گرفته است. در مدارهای غیرفراری که تاکنون پیشنهاد شده است از یک مدار پشتیبان گیر مجزا مبتنی برفلیپ فلاپ غیرفرار استفاده می‌شود که در فاصله‌های زمانی مشخص، عمل ذخیره سازی داده‌ها را روی تراشه انجام می‌دهد. اما استفاده از مدار پشتیبان گیر مجزا، در نهایت منجر به افزایش توان مصرفی کل، سطح اشغال شده، و کاهش سرعت محاسبات می گردد. علاوه براین، مدار پشتیبان گیر به سیگنال های کنترلی خارجی نیازمند است که پیچیدگی سیستم را افزایش می دهد. برای حل این مشکلات، در این مقاله یک فلیپ فلاپ غیر فرار دوحالته، با قابلیت پشتیبان گیری همزمان و غیرهمزمان از داده پیشنهاد شده است که برای تحقق محاسبات غیرفرار، از قطعات mCell استفاده می‌کند. فلیپ فلاپ پیشنهاد شده برای عملیات پشتیبان گیری و بازیابی، انرژی در سطح fJ و تاخیری در سطح ps دارد.

کلمات کلیدی
پشتیبان‌گیری از داده، بازیابی داده، پیوند تونل مغناطیس، هیسترزیس، فلیپ فلاپ غیر فرار.

نام نویسنده مسئول: وحید جمشیدی
ایمیل نویسنده مسئول: vjamshidi@uk.ac.ir

تاریخ ارسال مقاله: ۱۴۰۲/۰۹/۰۸
تاریخ(های) اصلاح مقاله: ۱۴۰۲/۱۱/۱۹
تاریخ پذیرش مقاله: ۱۴۰۲/۱۲/۲۰

۱- مقدمه

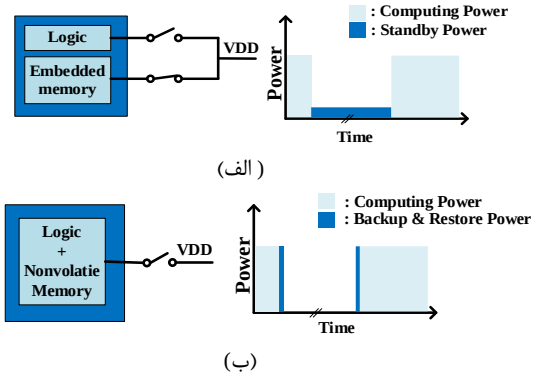
سیستم های محاسباتی آینده با سه چالش اساسی روبرو هستند که عبارتنداز: الف) از دست دادن داده ها: یک سیستم محاسباتی، با قطع شدن غیرمنتظره ولتاژ تغذیه، داده های محاسباتی خود را از دست می دهد. ب) تاخیر و توان مصرفی: قطع شدن غیرمنتظره ولتاژ تغذیه، بدلیل انجام مجدد محاسبات، تاثیر زیادی بر زمان محاسبه و توان مصرفی کل دارد. ج) افزایش نمایی توان نشتی با حرکت تدریجی فناوری به سمت مقیاس های نانومتری: با کاهش ابعاد، ولتاژ آستانه همراه با ولتاژ تغذیه (VDD) کاهش می یابد که این امر، جریان‌های نشتی ترانزیستورهایی که قطع هستند را افزایش می دهد[۱].

در سال‌های اخیر، فناوری اینترنت اشیا[۱] به طور گسترده در بسیاری از دستگاه‌های الکترونیکی مورد استفاده قرار گرفته است. این فناوری با بهبود شبکه بی‌سیم نسل پنجم(G5) به سرعت در حال رشد است[۲]. اکثر دستگاه های IoT از باتری استفاده می‌کنند و نیازمند حالت عادی-خاموش[۲] و قابلیت شروع بکار سریع[۳] هستند؛ به عبارت دیگر، دستگاه‌های IoT در حالت عادی، خاموش هستند و هر زمان که نیاز باشد باید فورا روشن شوند. بنابراین از آنجاییکه این دستگاه ها معمولا در حالت آماده به کار هستند کاهش توان نشتی در آنها اهمیت زیادی پیدا کرده است؛ این در حالی است که با کاهش تدریجی فناوری به سمت مقیاس های نانومتری، توان نشتی بشدت افزایش پیدا کرده است. برای حل این مشکل، تکنیک قطع تغذیه[۴] پیشنهاد شده است. تکنیک قطع تغذیه، یک روش مداری متداول برای کاهش توان نشتی است. در این روش، زمانی که قسمت‌هایی از یک سیستم غیرفعال هستند تغذیه آنها قطع می‌شود. پیاده سازی این تکنیک در دستگاه‌های IoT برای حذف توان نشتی، هزینه‌های سربار انرژی و تأخیر قابل توجهی را بوجود می‌آورد چون داده‌ها باید در یک حافظه غیرفرار خارجی ذخیره شوند. علاوه‌براین همانطور که در شکل ۱- الف نشان داده شده است، این تکنیک زمانیکه دستگاه IoT در حالت آماده به کار است نمی‌تواند بطور کامل جریان‌های نشتی را حذف کند زیرا در صورت

[۱] Internet of Things(IoT)
[۲] Normally-off
[۳] Instantly-on
[۴] Power-gating

قطع کامل تغذیه، زمان و انرژی قابل توجهی باید صرف بازیابی و راه‌اندازی مجدد شود که قابلیت شروع بکار سریع را تحت تاثیر قرار می‌دهد[۳، ۵].

در سال های اخیر، با پیدایش فلیپ فلاپ‌های غیرفرار[۵]، پیاده سازی مدارهایی مبتنی بر این فلیپ فلاپ ها اهمیت ویژه ای پیدا کرده‌اند. همانطور که در شکل ۱-ب نشان داده شده است داده ها قبل از قطع شدن تغذیه در فلیپ فلاپ های غیرفرار ذخیره می‌شوند و قبل از شروع مجدد، داده‌ها بازیابی می‌شوند. با این روش می‌توان جریان‌های نشتی را در حالت آماده به کار بطور کامل حذف کرد.



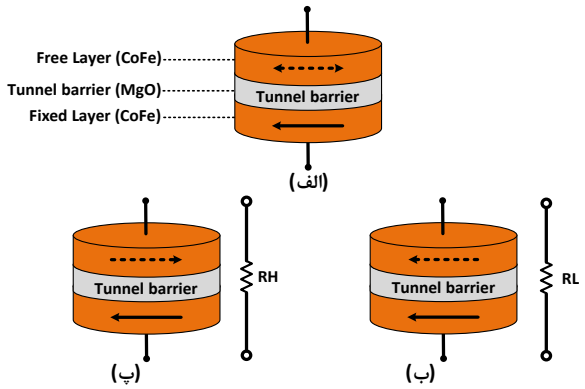
شکل۱: (الف) ساختار سیستم فرار که در حالت آماده به کار مصرف انرژی دارد (ب) ساختار سیستم غیرفرار که در حالت آماده به کار مصرف انرژی ندارد.

فلیپ فلاپ‌های غیرفرار جریان‌های نشتی در حالت آماده به کار را حذف می‌کنند و قابلیت شروع بکار سریع را بهبود می‌بخشند که باعث می‌شود کارایی دستگاه‌های دارای باتری که در حالت عادی خاموش هستند افزایش پیدا کند. علاوه بر این، می‌توانند به پشتیبان‌گیری و بازیابی داده‌ها در دستگاه‌های بدون باتری که انرژی خود را از محیط و منابعی مانند فتوولتائیک، ارتعاشات، و فرکانس رادیویی دریافت می کنند کمک قابل‌توجهی کنند. به عبارت دیگر غیر فرار بودن باعث می شود دستگاه‌هایی که دارای قابلیت دریافت انرژی از محیط[۶] هستند حتی در صورت قطع ناگهانی منبع تغذیه، داده های محاسباتی آنها از دست نروند[۶-۹].

اخیراً، فلیپ فلاپ‌های غیرفرار مبتنی بر اتصال تونل مغناطیسی[۷] (MTJ) برای غلبه بر چالش‌های مدارهای محاسباتی غیرفرار پیشنهاد شده‌اند [۱۰-۱۳]. همانطور که در شکل ۲-الف نشان داده شده است، یک MTJ از یک لایه اکسید فوق العاده نازک (به عنوان مثال MgO) تشکیل شده است که توسط دو لایه فرومغناطیس (مانند CoFe) محصور شده است [۱۴]. MTJ داده‌های یک بیتی را با دو حالت مقاومتی متفاوت ذخیره می‌کند. دو حالت مقاومت به عنوان حالت مقاومت کم (RL) و حالت مقاومت بالا (RH) نامیده می شوند. زمانیکه دو لایه فرومغناطیس در یک جهت قرار گیرند MTJ دارای مقاومت کم (RL) می‌شود(شکل۲-ب) و زمانیکه دو لایه فرومغناطیس در جهت مخالف قرار گیرند MTJ دارای مقاومت زیاد (RH) می شود(شکل ۲-پ).

تغییر MTJ بین حالات RL و RH با استفاده از جهت جریان عبوری از MTJ انجام می‌شود [۹]. حالت‌های RL و RH غیرفرار هستند، به طوری که قطع منبع ولتاژ هیچ تاثیری بر جهت مغناطیسی لایه ها ندارد. دستگاه های MTJ دارای ویژگی‌های مطلوب بسیاری مانند ابعاد کوچک، توان مصرفی ایستای نزدیک به صفر، سرعت بالا، غیر فرار، مقاوم در برابر نویز بالا، مقاوم در برابر ذرات پر انرژی و سازگاری با دستگاه های نیمه هادی هستند [۱۵].

مزایای فوق، امکان دستیابی به فلیپ فلاپ های کم مصرف و کوچک را فراهم می‌کند. اما فلیپ فلاپ های غیرفرار مبتنی بر MTJ که تاکنون ارائه شده‌اند دارای چند اشکال مهم هستند. در [۱۰، ۱۱، ۱۶] مدارهای خارجی اختصاصی برای تغییر حالت MTJ استفاده می‌شود که منجر به افزایش سربار سطح می‌شود. در [۱۲]، وجود دو گیت انتقال سری و یک معکوس کننده سه‌حالته در مسیر جریان نوشتن MTJ، باعث می شود مقاومت مسیر نوشتن افزایش پیدا کند و درنتیجه مقدار جریان نوشتن کاهش پیدا کند و سربار سطح نیز افزایش یابد. در [۱۷]، MTJها با جریان نوشتن کم، همراه با مقاومت نسبتاً کوچک در مسیر نوشتن، امکان حذف مدارهای خارجی اختصاصی را فراهم می‌کنند.



شکل ۲: اتصال تونل مغناطیسی: (الف) ساختار اصلی و (ب) لایه های مغناطیسی در یک جهت جهت گیری می شوند (مقاومت کم) و (پ) لایه های مغناطیسی در جهت مخالف (مقاومت بالا) هستند.

با وجود طراحی جمع و جور در [۱۸]، سه ایراد مهم دارد: ابتدا، گیت انتقال استفاده شده در مسیر نوشتن، مقاومت مسیر نوشتن را افزایش می‌دهد که باعث کاهش کارایی می‌شود. دوم، جریان نوشتن MTJ ها برابر نیست، که منجر به افزایش توان مصرفی مدار پشتیبان می شود. سوم، عدم تقارن اندازه ترانزیستورها باعث می‌شود که سربار سطح بزرگ‌تری برای فلیپ فلاپ‌های غیرفرار ایجاد شود.

تأخیر، انرژی مصرفی و از دست دادن داده‌ها چالش‌های اصلی برای مدارهای محاسباتی هستند [۱۴]. فلیپ فلاپ‌های غیرفرار بسیاری برای رسیدگی به این مسائل پیشنهاد شده‌اند [۱۴، ۱۹، ۲۱-۳۱]. به منظور ارزیابی و مقایسه کارایی این فلیپ فلاپ‌ها، ما آنها را به دو دسته اساسی تقسیم کرده‌ایم: الف) فلیپ فلاپ های با عملیات پشتیبان گیری همزمان و ب) فلیپ فلاپ‌هایی با عملیات پشتیبان گیری غیرهمزمان.

در فلیپ فلاپ‌های با قابلیت پشتیبان گیری همزمان، طراحان سعی می‌کنند عملیات پشتیبان‌گیری همزمان با عملیات عادی فلیپ فلاپ انجام شود [۱۴]، [۲۱-۲۶]. این فلیپ فلاپ ها مساحت و توان مصرفی پایینی دارند، اما به دلیل تأخیر زیاد عملیات نوشتن/خواندن در قطعات غیرفرار، تأخیر زیادی دارند. همانطور که در شکل ۱-الف نشان داده شده است، قطعات غیرفرار (به عنوان مثال MTJ) در داخل مدار فلیپ فلاپ قرار می‌گیرند. فلیپ فلاپ‌های با قابلیت پشتیبان‌گیری همزمان در سیستم های با داده‌های حساس، کاربرد دارند. در فلیپ فلاپ‌های با قابلیت پشتیبان‌گیری غیر همزمان، عملیات پشتیبان گیری

[۵] Non-Volatile Flip-Flop

[۶] Energy-harvesting

[۷] Magnetic Tunnel Junction (MTJ)

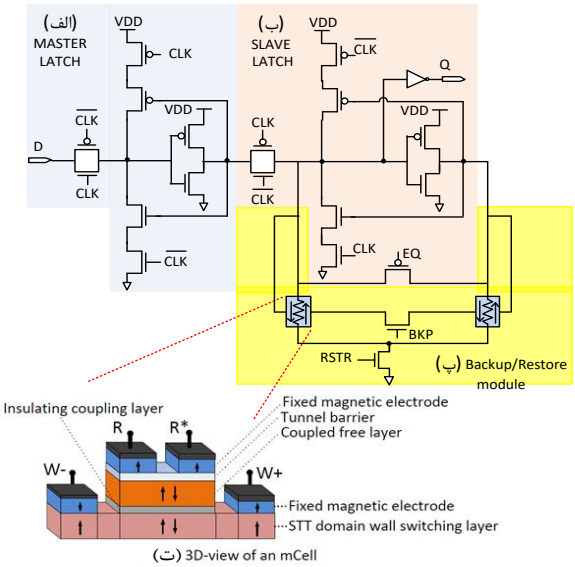
و عملیات عادی فلیپ فلاپ در دو دوره زمانی متفاوت انجام می شود[۱۹، ۲۷-۳۱]. در عملیات عادی، داده‌ها در یک قفل[۸] فرار، ذخیره می‌شوند و عملیات پشتیبان‌گیری می‌تواند در فواصل زمانی منظم (به عنوان مثال، هر روز، هر ساعت و غیره)، یا وجود درخواستی از سوی یک سیستم، و یا برنامه‌های کاربردی انجام شود. اگرچه فلیپ فلاپ‌های با قابلیت پشتیبان گیری غیر همزمان سرعت انتقال داده با سرعت بالا را ارائه می‌دهند، اما از مشکلات مساحت و توان مصرفی بالا رنج می برند. همانطور که در شکل ۳-ب نشان داده شده است، قطعات غیرفرار (به عنوان مثال، MTJs) در خارج از مدار قفل، در یک ماژول پشتیبان/بازیابی قرار می‌گیرند. فلیپ فلاپ‌های با قابلیت پشتیبان-گیری غیر همزمان در سیستمهای محاسبات داده‌ای با سرعت بالا کاربرد دارد.

این مقاله یک فلیپ فلاپ غیرفرار جدید پیشنهاد می‌کند که نه تنها سرعت انتقال داده با سرعت بالا را فراهم می‌کند، بلکه مساحت و مصرف انرژی را نسبت به فلیپ فلاپ‌های غیرفرار قبلی کاهش می‌دهد. علاوه بر این، فلیپ فلاپ پیشنهادی را می توان در دو حالت مختلف مورد استفاده قرار داد: الف) پردازش داده های حساس، و ب) محاسبات داده با سرعت بالا.

بقیه مقاله به شرح زیر تنظیم شده است: بخش ۲ فلیپ فلاپ غیرفرار پیشنهادی را ارائه می‌کند و جزئیات آن را شرح می‌دهد. بخش ۳ به طریقه تحقق محاسبات غیر فرار با استفاده از فلیپ فلاپ پیشنهاد شده در سیستم های معمولا خاموش می پردازد. بخش ۴ نتایج شبیه‌سازی و مقایسه فلیپ فلاپ غیرفرار پیشنهادی را با کارهای قبلی نشان می‌دهد. بخش ۵ نتیجه گیری نهایی را بیان می کند.

۲- فلیپ فلاپ دو حالته پیشنهادی

فلیپ فلاپ غیر فرار پیشنهادی یک فلیپ فلاپ جدید برای طراحی مدارهای محاسباتی غیرفرار است که می‌تواند در دو حالت: عمل پشتیبان گیری همزمان و عمل پشتیبان گیری غیرهمزمان کار کند. همانطور که در شکل ۳ نشان داده شده است، فلیپ فلاپ پیشنهادی مبتنی بر نوعی MTJ به نام mCell است. mCell در مقایسه با MTJ سنتی، مساحت و توان مصرفی کمتری دارد و عملیات پشتیبان گیری/بازیابی را ساده تر می‌کند.



شکل ۳: فلیپ فلاپ پیشنهادی: (الف) قفل فرمانده و (ب) قفل فرمانبر (پ) واحد پشتیبان گیری/بازیابی (ت)نمای سه بعدی از قطعه ی mCell

۲-۱- مروری بر قطعه mCell

mCell مبتنی بر MTJ است که چهار پایه دارد که برای خواندن و نوشتن از دو مسیر مجزا استفاده می‌کند[۳۰]. عمل خواندن از طریق پایه‌های (R و R*) و عمل نوشتن از طریق پایه‌های (-W و +W) انجام می‌شود(شکل۳-ت). mCell دو حالت مقاومتی دارد: مقاومت بالا (RH) زمانی که یک پالس جریان کوچک از -W به +W ارسال می شود و مقاومت پایین (RL) زمانی که یک پالس جریان کوچک از +W به -W ارسال می‌شود. حالت های RH و RL غیر فرار هستند، یعنی mCell وضعیت فعلی خود را حتی پس از قطع منبع ولتاژ حفظ می کند. با توجه به [۳۹]، مقادیر RL و RH به ابعاد mCell بستگی دارد و از روابط (۱) و (۲) بدست می آیند:

$$RL = \frac{mCell_RA_low}{Width \times Length} \quad (۱)$$

$$RH = \frac{mCell_RA_low}{Width \times Length}(1 + TMR) \quad (۲)$$

Length و *Width* بترتیب طول و عرض mCell هستند. بر اساس معادله (۲)، RH به نرخ مقاومت مغناطیسی تونل[۹] (TMR) نیز بستگی دارد:

$$TMR = \frac{2P1P2}{1 - 2P1P2} \quad (۳)$$

پارامترهای P1 و P2 قطبش اسپین الکترون در دو ماده فرومغناطیسی هستند. به عبارت دیگر پیش نیاز TMR این است که الکترون ها بتوانند از طریق سد MgO تونل بزنند و در عین حال پیوستگی اسپین خود را حفظ کنند. بنابراین ضخامت MgO نقش مهمی در نرخ مقاومت مغناطیسی تونل ایفا می کند. تغییرات ضخامت MgO منجر به تغییرات TMR می شود.

بر اساس [۳۹]، احتمال سوئیچ کردن یک mCell با استفاده از معادله ۴ بیان می شود:

$$P_{SW}(mCell) = 1 - exp\left\{-\frac{t}{\tau 0} exp\left[-\Delta\left(1 - \frac{Iwr}{Ic0}\right)\right]\right\} \quad (۴)$$

$P_{SW}(mCell)$ احتمال این است که عمل سوئیچ کردن در mCell با موفقیت انجام شود، Δ ضریب پایداری حرارتی است و برابر با E/kB.T است؛ که E برابر با آستانه انرژی بین حالت های RL و RH است؛ kB ثابت بولتزمن، T دمای کار بر حسب کلوین، Iwr جریان مسیر نوشتن، t پهنای پالس نوشتن، IC0 حداقل جریان و $\tau 0$ حداقل زمان مورد نیاز برای سوئیچ کردن mCell است. جدول ۱ تمام مقادیر پارامترهای ضروری mCell را نشان می‌دهد که برای شبیه سازی و تحلیل فلیپ فلاپ دو حالته پیشنهادی استفاده شده‌اند.

۲-۲- عملکرد عادی فلیپ فلاپ دو حالته پیشنهادی

فلیپ فلاپ دو حالته پیشنهادی که آن را DM-NVFF می‌نامیم یک فلیپ فلاپ فرمانده-فرمانبر(master-slave) است که از دو قفل تشکیل شده است. سیگنال CLK در قفل فرمانده، معکوس سیگنال CLK در قفل فرمانبر است(شکل ۳). سیگنال CLK به قفل فرمانده داده می‌شود و معکوس CLK به قفل فرمانبر داده می‌شود. در طول عملکرد عادی، سیگنال اکولایزر(EQ) برابر با '1' و سیگنال‌های پشتیبان(BKP) و بازیابی(RSTR) برابر با '0' ('1'=EQ و '0'=BKP=RSTR) تنظیم می‌شود. در این شرایط، قسمت مربوط به پشتیبان/بازیابی از فلیپ فلاپ جدا می‌شود و DM-NVFF مانند یک فلیپ فلاپ مبتنی بر CMOS معمولی رفتار می‌کند.

همانطور که در شکل ۴ نشان داده شده است، قفل فرمانده متشکل از گیت انتقال، معکوس کننده سه-حالته و معکوس کننده است. هنگامی که سیگنال CLK برابر با '1' است، TG2 قطع است و قفل فرمانده از قفل فرمانبر جدا می-

[۸] Latch

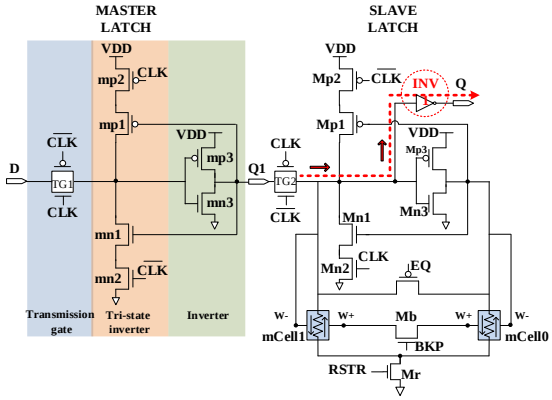
[۹] Tunnel Magneto-resistance Ratio

شود. در این حالت، TG1 وصل و معکوس کننده سه-حالته باز است. ورودی داده D به معکوس کننده(mp3,mn3) وصل می شود و خروجی Q1 برابر با 'D' می‌شود. هنگامی که سیگنال CLK برابر با '0' است، TG2 وصل می‌شود و قفل فرمانده به قفل فرمانبر متصل می شود.

هنگامی که سیگنال CLK برابر با '0' است، TG2 وصل است و قفل فرمانده به قفل فرمانبر متصل می‌شود. TG1 قطع می‌شود و معکوس کننده سه-حالته بسته می شود؛ قفل فرمانبر آخرین مقدار D را که در خروجی Q1 قرار داشت را نگه می دارد. این آخرین مقدار D، توسط معکوس کننده INV1 معکوس می شود تا خروجی Q = D حاصل شود(شکل ۴). در عملکرد عادی، قفل فرمانبر شبیه به قفل فرمانده عمل می کند، با این تفاوت که قفل فرمانبر در زمان CLK='1'، داده را نگه می‌دارد در حالی که قفل فرمانبر در زمان CLK='0' داده را نگه می‌دارد.

جدول ۱ :مشخصات mCell در فلیپ فلاپ پیشنهادی (DM-NVFF) [۳۰]

پارامتر	مقدار
Threshold Current Density $[MA/cm^2]$	۴
MTJ Resistance*Area $[ohm * \mu m^2]$	۲
Tunnel Magnetoresistance Ratio	۱۰۰٪
Read Path Low Resistance $[\Omega]$	۱/۲۵k
Read Path High Resistance $[\Omega]$	۲/۵k
Write Path Resistance $[\Omega]$	۱۲۰
Spin Polarization	۱۲۰٪
Domain Wall Depinning Time $[ps]$	۱۰۰



شکل۴: اجزای اصلی قفل فرمانده در DM-NVFF

۳-۲- عملکرد پشتیبان گیری فلیپ فلاپ دو حالته پیشنهادی

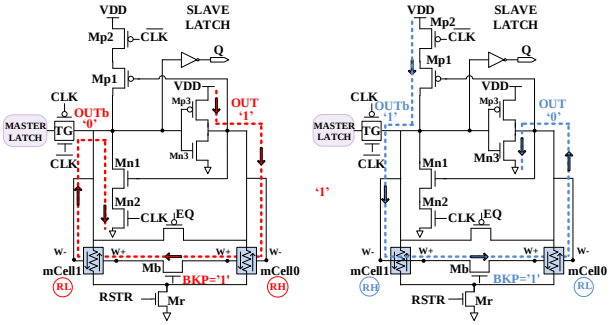
همانطور که در شکل ۵ نشان داده شده است، واحد پشتیبان/ بازیابی دارای دو mCell بنام های mCell1 و mCell0، و سه ترانزیستور به نامهای Mb، Mr، و Meq است.

حالت۱ (DM-NVFF با قابلیت پشتیبان‌گیری غیرهمزمان)

در حالت پشتیبان‌گیری غیر همزمان، سیگنال‌های CLK، اکولایزر(EQ) و پشتیبان(BKP) برابر با '1' ، و سیگنال بازیابی(RSTR) برابر با '0' تنظیم می-شوند. در این شرایط، واحد پشتیبان/ بازیابی به قفل فرمانبر متصل می‌شود و به دلیل اختلاف ولتاژ بین گره‌های OUT و OUTb، یک جریان بوجود می‌آید که از mCell1 و mCell0 عبور می‌کند. اگر مقدار این جریان تنها 5uA و مدت زمان آن 500ps باشد می‌تواند حالت mCell ها را تغییر دهد. برای تنظیم کردن مقدار جریان، از تنظیم مقاومت ترانزیستورهای داخل مسیر استفاده می‌شود(تنظیم ابعاد ترانزیستور).

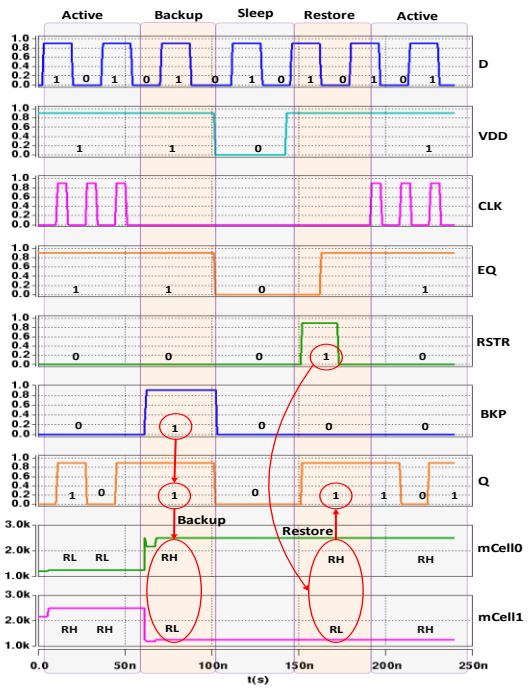
به عنوان مثال هنگامی که OUT برابر با '1' و OUTb برابر با '0' است(شکل ۵- ب)، ترانزیستور Mp3 به عنوان منبع جریان و جفت ترانزیستور Mn1-Mn2 به عنوان سینک جریان عمل می‌کنند. با تنظیم ابعاد ترانزیستورهای {Mp3، Mn1، Mn2} می توان جریان عبوری mCell ها را تنظیم کرد. جهت این جریان، مقاومت mCell0 را به حالت RH و مقاومت mCell1 را به حالت RL تغییر می دهد.

هنگامی که OUT برابر با '0' و OUTb برابر با '1' است(شکل ۵- الف)، جفت ترانزیستور Mp1-Mp2 به عنوان منبع جریان و ترانزیستور Mn3 به عنوان سینک جریان عمل می‌کنند، با تنظیم ابعاد ترانزیستورهای {Mn3، Mp1، Mp2} می توان جریان عبوری mCell ها را تنظیم کرد. جهت این جریان، مقاومت mCell0 را به حالت RL و مقاومت mCell1 را به حالت RH تغییر می‌دهد.



(ب) (الف)

شکل۵: DM-NVFF با قابلیت پشتیبان‌گیری غیر همزمان در قفل فرمانبر: (الف) 'OUT='0' و'OUTb='1' و (ب) 'OUT='1' و 'OUTb='0'



شکل۶: نمودار زمان‌بندی DM-NVFF با قابلیت پشتیبان‌گیری غیر همزمان

نمودار زمان بندی در شکل ۶ نشان می‌دهد که چگونه سیگنال های EQ، RSTR و BKP در عملکردهای عادی، پشتیبان گیری و بازیابی تعیین می‌شوند.

در عملکرد عادی، DM-NVFF به دلیل شرایط بایاس: EQ='1' و RSTR=BKP='0' مانند فلیپ فلاپ مبتنی بر CMOS سنتی عمل می‌کند.

برای پشتیبان‌گیری، سیگنال‌های CLK، اکولایزر (EQ) و پشتیبان (BKP) برابر با '1' می شوند تا جریان حاصله، داده را در mCellها ذخیره کند.

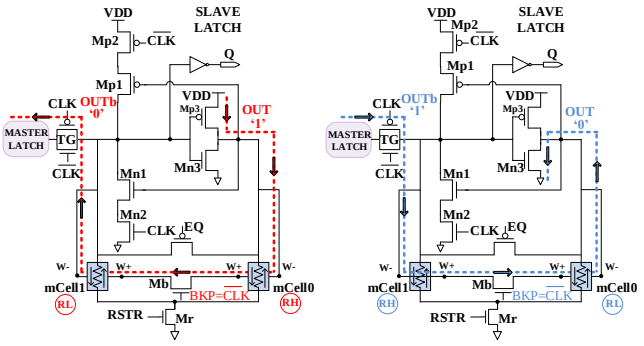
حالت۲ (DM-NVFF با قابلیت پشتیبان‌گیری همزمان)

در حالت پشتیبان‌گیری همزمان، سیگنال 'CLK' به سیگنال BKP متصل می‌شود('BKP =CLK). همانطور که در شکل ۷ نشان داده شده است در عملکرد نرمال، سیگنال پشتیبان(BKP) قفل فرمانده را به قطعات mCell { mCell1, mCell0} متصل می‌کند.

زمانیکه سیگنال 'CLK' برابر با '1' است، به دلیل اختلاف ولتاژ بین گره‌های OUT و OUTb یک جریان نوشتن از دو mCell عبور می‌کند که براساس داده، حالت آنها را تغییر می دهد. مقدار این جریان را می‌توان توسط ابعاد ترانزیستورهای گیت انتقال TG2 و معکوس کننده {mp3,mn3} در قفل فرمانبر تنظیم کرد.

زمانیکه OUT برابر با '1' و OUTb برابر با '0' است(شکل ۷- ب)، ترانزیستور Mp3 (در قفل فرمانبر) به عنوان منبع جریان و ترانزیستور mn3 (در قفل فرمانده) به عنوان سینک جریان عمل می‌کند. جریان نوشتن، حالت mCell0 را به RH و حالت mCell1 را به RL تغییر می‌دهد. زمانبکه OUT برابر با '0' و OUTb برابر با '1' است (شکل ۷- الف)، ترانزیستور mp3 (در قفل فرمانده) به عنوان منبع جریان و ترانزیستور Mn3 (در قفل فرمانبر) به عنوان سینک جریان عمل می‌کند.

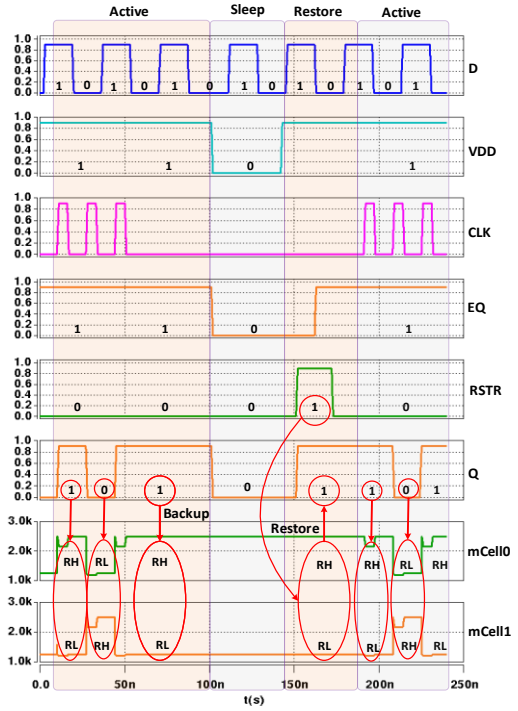
جریان نوشتن، mCell1 و mCell0 را به ترتیب به حالت RH و RL تغییر می‌دهد. نمودار زمانبندی DM-NVFF با قابلیت پشتیبان‌گیری همزمان در شکل ۸ نشان داده شده است.



شکل۷: DM-NVFF با قابلیت پشتیبان‌گیری همزمان در قفل فرمافبر: BKP=$\overline{CLK}$= '1' (الف) OUT='0' و OUTb='1' (ب) OUTb='1' و OUT='1' و OUTb='0'

۴-۲- عملکرد بازیابی فلیپ فلاپ دو حالته پیشنهادی

برای عملیات بازیابی، ابتدا منبع تغذیه(VDD) و سیگنال CLK برابر با '1' می‌شوند(شکل ۹). عملیات بازیابی در چهار مرحله انجام می‌شود. مرحله ۱: با EQ='0' ترانزیستور Me وصل می‌شود و ولتاژهای گره‌های OUT و OUTb بطور موقت برابر می‌شوند. مرحله ۲: با RSTR='1' و EQ='1' ترانزیستور Mr وصل می شود و چون مقاومت‌های mCell1 و mCell0 متفاوت هستند جریان‌های متفاوت Iread1 و Iread0 بوجود می‌آیند. مرحله ۳: اگر Iread1>Iread0 باشد خازن OUTb سریعتر دشارژ شده و باعث می‌شود OUTb='0' و OUT='1' شود؛ اگر Iread1<Iread0 باشد خازن OUT سریعتر دشارژ شده و باعث می‌شود OUTb='1' و OUT='0' شود. مرحله ۴: با RSTR='0' ولتاژهای گره‌های OUT و OUTb به دلیل فیدبک مثبت، بازسازی شده و ثابت می‌شوند.



شکل۸: نمودار زمان‌بندی DM-NVFF با قابلیت پشتیبان‌گیری همزمان

۳- تحقق محاسبات غیر فرار در سیستم‌های معمولا خاموش

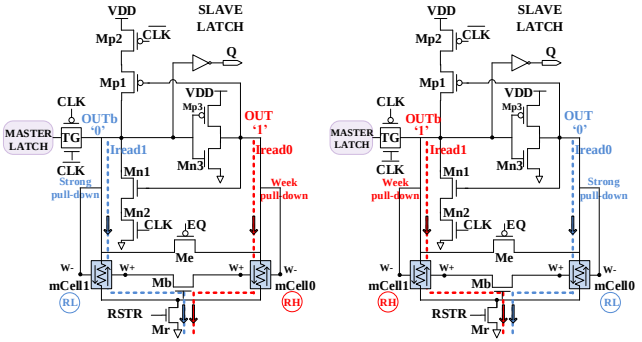
محاسبات غیر فرار/ معمولا خاموش[۱۰] (NoC) یکی از تکنیک‌های امیدوارکننده صرفه‌جویی در مصرف انرژی است که می‌تواند توان مصرفی را بیش از تکنیک‌های کم مصرف مانند قطع تغذیه، قطع کلاک[۱۱]، و DVFS[۱۲] کاهش دهد. NoC باید دارای توان مصرفی ایستای تقریبا صفر باشد و هر زمان که نیاز باشد فورا روشن شود[۳۱]. از جمله سیستم‌های NoC می‌توان به حسگرهای پوشیدنی برای مراقبت‌های بهداشتی و گره‌های حسگر بی‌سیم برای اینترنت اشیا اشاره کرد. شکل ۱۰ ساختار قطع تغذیه و NoC را نشان می دهد. تکنیک قطع تغذیه، توان مصرفی را بطور قابل توجهی کاهش می‌دهد اما سربار بالایی برای پشتیبان‌گیری و بازیابی از حافظه خارجی دارد. در حالی که پیاده سازی NoC علاوه بر کاهش توان مصرفی، سربار کمتری برای پشتیبان‌گیری و بازیابی دارد. در تکنیک قطع تغذیه سنتی، در عملکرد عادی پردازنده، داده‌ها در حافظه های غیر فرار ساخته شده از قطعات نانو مانند MTJ ذخیره می شوند. هنگامی که سیستم ریست می شود، در مدت زمان بسیار کوتاهی داده های ذخیره شده در حافظه های غیر فرار بطور خودکار در رجیسترها یا فلیپ فلاپ ها بارگذاری می شوند. با این حال، پیاده سازی تکنیک قطع تغذیه در سیستم‌های دیجیتال هنوز با چالش‌های زیادی مواجه است. اولین چالش این است که چگونه می توان انرژی، تاخیر و توان مصرفی بالای عملیات پشتیبان گیری یا بازیابی را کاهش داد. چالش دوم نحوه انجام پشتیبان گیری و کنترل بازیابی برای قطعات غیر فرار توزیع شده و نحوه سازماندهی سیاست پشتیبان

[۱۰] Non-volatile/Normally-off computing (NoC)

[۱۱] Clock-Gating

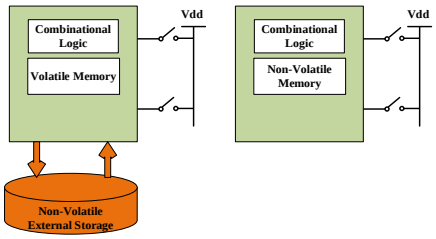
[۱۲] Dynamic Voltage and Frequency Scaling (DVFS)

گیری و بازیابی است. بوجود آوردن این کنترل ها نیازمند سیم‌کشی اضافی، مساحت و مصرف انرژی بیشتر می‌شود.



(ب) (الف)

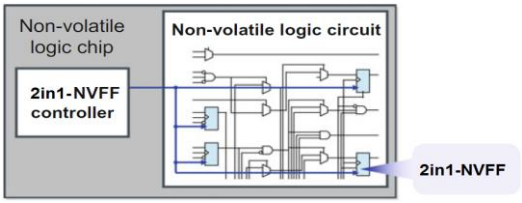
شکل۹: عملکرد بازیابی در قفل‌فرمانبر: (الف) mCell0 = RL و mCell1=RH و (ب) mCell1 = RL وmCell0=RH



(ب) (الف)

شکل۱۰: مدیریت مصرف توان : (الف) توقف محاسبات (ب)پیاده سازی تکنیک قطع تغذیه با داده پشتیبان گیری/بازیابی

در شکل ۱۱ ساختار کلی یک مدار منطقی بر پایه DM-NVFF را نشان می دهد. در ادامه یک ALU ۱-بیتی غیر فرار (nvALU) پیشنهاد شده است که از ساختار شکل ۱۱، گیت های سه-حالته و DM-NVFF برای تحقق فناوری محاسبات غیرفرار NoC استفاده می‌کند.



شکل۱۱: ساختار کلی یک مدار منطقی بر پایه DM-NVFF

۳-۱- ALU یک بیتی غیر فرار با قابلیت Power-gating

در مقدمه مقاله، در مورد دو تکنیک مهم "غیر فرار بودن" و "قطع تغذیه" و مزایای آنها صحبت شد. در این بخش طریقه ادغام این دو تکنیک برای تحقق محاسبات غیر فرار با استفاده از فلیپ فلاپ پیشنهاد شده بیان می‌شود و روی یک واحد محاسبه-منطق [۱۳] (ALU) اعمال می شود.

یک واحد محاسبه-منطق غیرفرار، یک رویکرد نوظهور برای محاسبات غیر فرار است[۳۱]. ثابت شده است که محاسبات غیرفرار راه حل موثری برای جلوگیری از افت پیشرفت محاسباتی به دلیل قطع غیرمنتظره منبع ولتاژ در برنامه‌های کاربردی اینترنت اشیاء است. برای دستیابی به این هدف، یک ALU ۱-بیتی غیر فرار در شکل ۱۲ پیشنهاد شده است که آن را nvALU می‌نامیم. باید توجه داشت ALU n-بیتی از کنارهم گذاشتن ALU های ۱ بیتی با اتصالات مناسب بین آنها بوجود می‌آید.

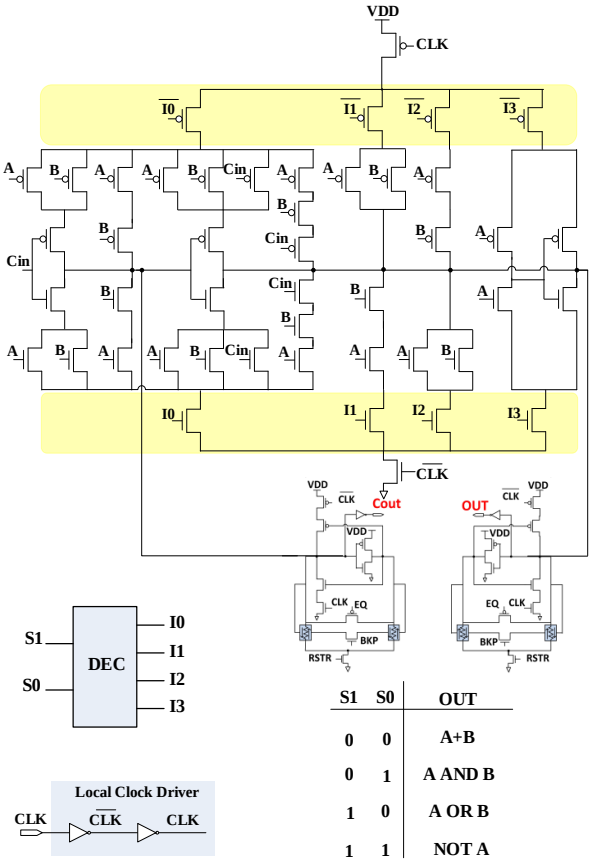
nvALU پیشنهادی عملیات زیر را انجام می‌دهد:

اعمال منطقی: این عملیات شامل AND، OR، NOT است.

اعمال حسابی: منظور از اعمال حسابی، جمع و تفریق بیتی است. لازم به ذکر است که عمل تفریق A - B با استفاده از عمل جمع و مکمل ۲، بصورت A+B'+1 انجام می شود.

با توجه به اینکه پیاده سازی اعمال ضرب و تقسیم پیچیده و پرهزینه است بنابراین عمل ضرب با استفاده از جمع های متوالی، و عمل تقسیم با استفاده از تفریق های متوالی انجام می‌شود. nvALU می تواند در دو حالت کار کند: حالت پشتیبان گیری غیرهمزمان و حالت پشتیبان گیری همزمان. در پشتیبان‌گیری غیرهمزمان، قبل از اینکه ولتاژ تغذیه nvALU قطع شود، سیگنال پشتیبان (BKP) برای اتصال قفل فرمانبر به ماژول پشتیبان فعال می‌شود و عمل پشتیبان‌گیری انجام می‌شود. در پشتیبان گیری همزمان، سیگنال BKP به سیگنال 'CLK' متصل می‌شود ('BKP=CLK'). زمانیکه 'CLK' برابر با '1' است اتصال ALU به قطعات mCell و mCell0 فراهم می شود و عمل پشتیبان گیری انجام می‌شود.

همانطور که در شکل ۱۲ نشان داده شده است nvALU پیشنهادی از گیت های ۳-حالته استفاده می کند. گیت های سه- حالته نوعی از گیت‌های منطقی هستند که دارای سه حالت خروجی '1'، '0' و امپدانس بالا (Z) هستند. با توجه به شکل ۱۲، خروجی های گیت‌های سه-حالته مستقیماً به یکدیگر متصل می شوند تا یک خط خروجی مشترک بوجود آید، استفاده از دیکدر برای کنترل گیت های سه- حالته باعث می شود در هر زمان تنها نتیجه یکی از اعمال در خروجی ظاهر شود.



S1	S0	OUT
0	0	A+B
0	1	A AND B
1	0	A OR B
1	1	NOT A

شکل۱۲: ساختار Power-Gating یک بیتی بر پایه DM-NVFF

[۱۳] Non-Volatile Arithmetic-Logic Unit

۴- ارزیابی فلیپ فلاپ پیشنهادی DM-NVFF

در ادامه به ارزیابی کارایی فلیپ فلاپ پیشنهادی DM-NVFF در سطح مدار و در سطح سیستم خواهیم پرداخت.

۴-۱- تجزیه و تحلیل سطح مدار

به منظور ارزیابی کارایی DM-NVFF، فلیپ فلاپهای ارائه شده در [۳۳-۳۶] با استفاده از ابزار Hspice در فناوری ۳۲ نانومتری شبیه‌سازی شده‌اند. برای تجزیه و تحلیل نیز از نرم‌افزار CosmosScope استفاده شده است.

با توجه به جدول ۲، DM-NVFF پارامترهای زمانی قابل توجهی دارد. تأخیر CLK-to-Q کمتر از ۱۰۰ پیکوثانیه است، در حالی که فلیپ فلاپ سنتی CMOS معمولاً به بیش از ۱۰۰ پیکوثانیه نیاز دارد. علاوه بر این، زمان Setup آن با فلیپ فلاپ‌های سنتی CMOS تقریبا برابر است، در حالی که زمانHold کمی بیشتر است. باید توجه داشت که برای سیستم‌های کم مصرف، پارامترهای زمانی ارائه‌شده مستقل از تأخیر خواندن و نوشتن برای mCellها هستند زیرا mCellها معمولاً در مسیر بحرانی نیستند. این بدان علت است که فرکانس کلاک برای این سیستم ها کم است (۱ گیگاهرتز یا کمتر) و دسترسی به mCell سریع است ($500ps$ >). بنابراین، DM-NVFF قادر است پارامترهای زمانی مشابه یک فلیپ فلاپ CMOS را در حالت عادی داشته باشد، علاوه براینکه غیرفرار است و می‌تواند تأخیر mCellها را به طور موثر پنهان کند.

جدول ۳ نتایج به دست آمده از فلیپ فلاپ ها را بیان می‌کند[۳۳-۳۶]. همانطور که نشان داده شده است، DM-NVFF تعداد ترانزیستورها را حداقل ۸۰ درصد در مقایسه با طراحی های قبلی NVFF کاهش می دهد زیرا به مدار نوشتن اضافی نیاز ندارد. در مقایسه با [۳۳]، ۳۴ درصد صرفه جویی در مساحت حاصل می شود. علاوه بر این، [۳۳] به انرژی پشتیبان گیری بالاتری نیاز دارد زیرا از یک طرح نوشتن دو فازی استفاده می کند. تأخیر CLK-to-Q نیز کاملاً قابل مقایسه با طراحی های دیگر است (در DM-NVFF، تأخیر CLK-to-Q برابر با 22.1ps است). اولین نتیجه مهم، مربوط به انرژی در حالت عملکرد عادی (شامل سوئیچینگ، اتصال کوتاه و توان نشتی) توسط هر فلیپ فلاپ است. از آنجایی که اجزای مورد استفاده در عملکرد عادی اساساً مانند فلیپ فلاپ CMOS هستند فلیپ فلاپ های مبتنی بر SOT انرژی مصرفی مشابه با فلیپ فلاپ CMOS دارند، فلیپ فلاپ DM-NVFF حداقل ۹ درصد انرژی مصرفی را کاهش می دهد اما فلیپ فلاپ DM-NVFF با قابلیت پشتیبان گیری همزمان، بیشتر انرژی مصرف می‌کند چون ماژول پشتیبان گیر در زمان 'CLK'='1' همواره فعال است.

یک نتیجه مهم دیگر، انرژی مورد نیاز برای پشتیبان‌گیری از داده ها قبل از قطع منبع ولتاژ و همچنین انرژی مورد نیاز برای بازیابی داده ها پس از وصل منبع ولتاژ است. از آنجایی که فلیپ فلاپ DM-NVFF از قطعات غیرفرار برای ذخیره داده ها استفاده می‌کند، عملکرد عادی را می تواند به محض استخراج داده ها از mCells، یعنی در کمتر از ۱۰۰ پیکوثانیه آغاز کند.

انرژی لازم برای نوشتن در دو mCell برابر با 113fJ است. علاوه بر این، فلیپ فلاپ پیشنهادی ما از نظر تاخیر و انرژی بازیابی (Restore) برتر است. در حقیقت، در زمان بازیابی، انرژی مصرف شده توسط DM-NVFF بیش از ۷ درصد کاهش یافته است. این مزیت اصلی طراحی فلیپ فلاپ ما به دلیل جریانهای نشتی کم در ساختار فلیپ فلاپ است. پس از خوانده شدن سلول های mCell مسیر جریان مستقیم وجود ندارد. علاوه بر این، DM-NVFF پیشنهادی تاخیر بازیابی کمتری دارد، زیرا قبل از آغاز عملکرد عادی، نیازی به انتقال داده از یک ماژول مجزا به فلیپ فلاپ اصلی نیست. آخرین نکته مهم ارائه شده در جدول ۳ تعداد ترانزیستورهای مورد نیاز و سلول های mCell است، زیرا این نشان دهنده مساحت مورد نیاز برای ساختارهای مختلف فلیپ فلاپ است. مزیت اصلی فلیپ فلاپ سنتی CMOS این است که تنها به ۲۰ ترانزیستور نیاز دارد، در حالی که طرح پیشنهادی دارای ۲۱ ترانزیستور و ۲ عدد mCell است.

جدول ۲: ویژگی های زمان بندی **DM-NVFF**

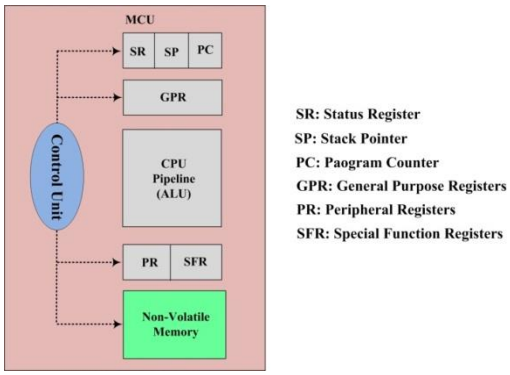
پارامترها	Rise [ps]	Fall [ps]
CLK-to-Q delay	۲۱/۴	۲۲/۸
CLK-to-Q̄ delay	۲۴/۵	۲۳/۶
Setup time	۲۶/۷	۲۶/۷
Hold time	۲۷/۵	۲۴/۹

جدول ۳: مقایسه طرح‌های مختلف فلیپ فلاپ با DM-NVFF

پارامترها		[۳۳]	[۳۴]	[۳۵]	[۳۶]	DM-NVFF
Energy (fJ)	Backup	۱۹۵	۱۱۱	۱۹۶	۱۹۲	۱۱۳
	Restore	۷/۵۸	۳/۱	۶/۸۸	۳/۱	۲/۸۸
Delay (ns)	Backup	۶	۳	۶	۳	۰/۵
	Restore	۰/۱۶	۰/۰۹	۰/۱۶	۰/۰۹	۰/۰۷
Energy-Normal mode (fJ)		۴۵/۳۸	۳۸/۳۲	۴۶/۴۰	۳۸/۳۲	۳۵/۴۳
CLK-to-Q delay (ps)		۴۵/۳۸	۳۸/۳۲	۴۶/۴۰	۳۸/۳۲	۲۲/۱
Transistor Count		۲۹	۵۰	۵۷	۵۶	۲۱
MTJ Count		۲	۲	۲	۲	۲
Writer		داخلی	خارجی	خارجی	خارجی	داخلی

۴-۲- ارزیابی در سطح سیستم

در سطح سیستم، برای مقایسه کردن انرژی مصرفی فلیپ فلاپ های غیرفرار، یک TI MSP430 MCU با فرکانس 24MHz به شیوه بیان شده در [۳۸] شبیه سازی شده است. تمام رجیسترهایMCU مبتنی بر NVFF ها طراحی شده‌اند(شکل ۱۳).



شکل۱۳: ساختار MCU برای مقایسه انرژی مصرفی در سطح سیستم

انرژی مصرفی سیستم با تعداد نقاط ارزیابی[۱۴] متفاوت در شکل ۱۴ نشان داده شده است. میزان انرژی مصرفی در فلیپ فلاپ ها به طور قابل توجهی به تعداد نقاط ارزیابی، در طول اجرای برنامه بستگی دارد. بنابراین با تغییر دادن تعداد نقاط ارزیابی، انرژی مصرفی محاسبه شده است.

همانگونه که در شکل ۱۴ مشاهده می شود با افزایش تعداد نقاط ارزیابی ،

[۱۴] Check Points

DM-NVFF انرژی مصرفی کمتری نسبت به [۱۶] و [۱۷] دارد.

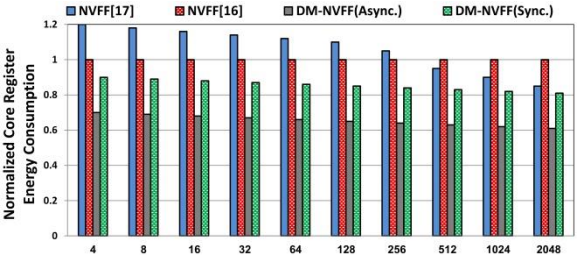
با توجه به شکل ۱۵ در کاربردهای عملی نیز DM-NVFF انرژی مصرفی کمتری دارد. مشاهده می‌شود DM-NVFF بطور متوسط ۲۶ درصد کاهش مصرف انرژی را فراهم می‌کند.

مهمترین ویژگی‌های DM-NVFF در مقایسه با فلیپ فلاپ پیشین عبارتند از:

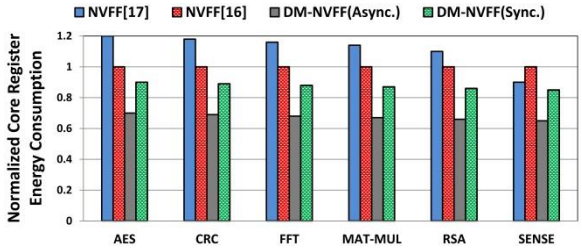
- DM-NVFF پیشنهادی را می توان در دو حالت مختلف مورد استفاده قرار داد: الف) پردازش داده های حساس، و ب) محاسبات داده با سرعت بالا.
- در فلیپ فلاپ پیشنهاد شده با اضافه کردن حداقل تعداد قطعات به ساختار سنتی CMOS، قابلیت غیر فرار بودن داده، فراهم شده است. با توجه به اینکه قطعات mCell غیر فرار می‌باشند برای حفظ داده به هیچ ولتاژ یا جریانی نیاز ندارند. بنابراین اگر ولتاژ تغذیه قطع گردد اثری روی حالت mCell نمی‌گذارد.
- با وجود اینکه زمان بازیابی به ولتاژ تغذیه بستگی دارد با ولتاژ تغذیه 0.9V، DM-NVFF زمان بازیابی بسیار کمی دارد و انرژی مصرفی در زمان بازیابی نیز به طور چشم گیری کمتر از سایر فلیپ فلاپ‌ها است.
- استفاده از mCell در فلیپ فلاپ پیشنهادی، مصونیت در مقابل نویز را افزایش می‌دهد چون mCell دارای ویژگی هیسترزیس است. برای تغییر حالت mCell از RL به RH به جریانی معادل Iwr= +5uA، و برای تغییر حالت mCell از RH به RL به جریانی معادل Iwr= -5uA نیاز است.

۵- نتیجه‌گیری

با کاهش مقیاس فناوری، اتلاف توان ایستا به دلیل جریان‌های نشتی در مدارات ترانزیستوری بصورت فزاینده‌ای در حال افزایش است. این امر به یکی از چالش‌های حیاتی برای معماری‌های چند هسته‌ای و سیستم روی تراشه تبدیل شده است. بسیاری از معماری‌های فلیپ فلاپ فعلی، مانند فلیپ فلاپ‌های مبتنی بر CMOS، همیشه به یک منبع تغذیه اضافی برای حفظ وضعیت‌های سیستم نیاز دارند. همچنین طرح‌های مبتنی بر فلیپ فلاپ های غیرفراری که تاکنون ارائه شده اند تنها برای سیستم هایی که زمان آماده به کار آنها طولانی است کارآمد هستند. از اینرو در این مقاله برای غلبه بر این محدودیت‌ها، فلیپ فلاپ غیر فرار DM-NVFF پیشنهاد شده است. DM-NVFF نه تنها سرعت انتقال داده با سرعت بالا را فراهم می‌کند، بلکه مساحت و مصرف انرژی را نسبت به فلیپ فلاپ‌های غیرفرار قبلی کاهش می‌دهد. علاوه بر این، DM-NVFF پیشنهادی را می توان در دو حالت مختلف مورد استفاده قرار داد: الف) پردازش داده های حساس، و ب) محاسبات داده با سرعت بالا. نتایج شبیه‌سازی انرژی سطح fJ و تاخیر در سطح ns را برای عملیات پشتیبان‌گیری و بازیابی نشان می‌دهد. با چنین نتایج قابل توجهی، DM-NVFF یک الگوی محاسباتی غیرفرار جدید را برای کاربردهایی مانند اینترنت اشیا و کاربردهایی که نیازمند انرژی مصرفی کم هستند ممکن می‌سازد.



شکل۱۴: مقایسه انرژی مصرفی سیستم با تغییر دادن تعداد نقاط ارزیابی (Sync.: همزمان؛ Async.: غیر همزمان)



شکل۱۵: مقایسه انرژی مصرفی سیستم در کاربردهای مختلف

(Sync.: همزمان؛ Async.: غیر همزمان)

مراجع

[۱] رامین رجایی «طراحی یک فلیپ فلاپ کم توان، پرسرعت و مصون از خطای نرم برای فن آوری های نانومتری»، مجله مهندسی برق دانشگاه تبریز، دوره ۵۰، شماره ۱، صفحات ۱۳۷-۱۴۶، ۱۳۹۹.

[۲] بهشید شایسته، وصال حکمی، سید اکبر مصطفوی، احمد اکبری « ارائه روشی نوین برای محاسبه اعتماد در کاربردهای اینترنت اشیاء»، مجله مهندسی برق دانشگاه تبریز، دوره ۵۰، شماره ۲، صفحات ۷۵۵ - ۷۴۳ ، ۱۳۹۹.

[3] Z. Guo, J. Yin, Y. Bai, D. Zhu, K. Shi, G. Wang, K. Cao, and W. Zhao, ‘‘Spintronics for energy-efficient computing: An overview and outlook,’’ *Proc. IEEE*, vol. 109, no. 8, pp. 1398–1417, Aug. 2021.

[4] P. Barla, V. K. Joshi, and S. Bhat, ‘‘A novel low power and reduced transistor count magnetic arithmetic logic unit using hybrid STTMTJ/CMOS circuit,’’ *IEEE Access*, vol. 8, pp. 6876–6889, 2020.

[5] H. Thapliyal, F. Sharifi, and S. D. Kumar, ‘‘A Highly Reliable, Dynamic Logic-Based Hybrid MTJ/CMOS Magnetic Full Adder for High-Performance and Low-Power Application,’’ *IEEE Transactions on Magnetics*, vol. 58, no. 5, pp. 1–8, 2022.

[6] M. Raouf and S. Timarchi, ‘‘Non-volatile and high-performance cascadable spintronic full-adder with no sensitivity to input scheduling,’’ *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 70, no. 6, pp. 2236–2240, Jun. 2023.

[7] Z. Yang, K. He, Z. Zhang, and Y. Lu, ‘‘A novel computing-in-memory platform based on hybrid spintronic/CMOS memory. *IEEE Transactions on Electron Devices*, vol. 69, no. 4, pp.1698-1705, 2022.

[8] V.Jamshidi, A.Patooghy, and M.Fazeli, ‘‘MagCiM: A Flexible and Non-Volatile Computing-in-Memory Processor for Energy-Efficient Logic Computation,’’ *IEEE Access*, vol. 10, pp.35445-35459, 2022.

[9] Y. Wang, Y. Liu, C. Wang, Z. Li, X. Sheng, H. G. Lee, N. Chang, and H. Yang, ‘‘Storage-less and converter-less photovoltaic energy harvesting with maximum power point tracking for Internet of Things,’’ IEEE Trans. Comput.-Aided Design Integr. Circuits Syst., vol. 35, no. 2, pp. 173–186, Feb. 2016.

[10] K. Jabeur, G. Di Pendina, F. Bernard-Granger, and G. Prenat, “Spin orbit torque non-volatile flip-flop for high speed and low energy applications,” IEEE electron device letters, vol. 35, no. 3, pp. 408–410, 2014.

[11] Z. Wang, W. Zhao, E. Deng, Y. Zhang, and J.-O. Klein, “Magnetic non-volatile flip-flop with spin-hall assistance,” physic status solidi (RRL)–Rapid Research Letters, vol. 9, no. 6, pp. 375–378, 2015.

[12] R. Bishnoi, F. Oboril, and M. B. Tahoori, "Non-volatile non- shadow flip-flop using spin orbit torque for efficient normally-off computing," in 2016 21st Asia and South Pacific Design Automation Conference (ASP-DAC). IEEE, 2016, pp. 769–774.

[13] Y. Seo, X. Fong, and K. Roy, "Fast and disturb-free nonvolatile flip-flop using complementary polarizer mtj," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 25, no. 4 pp. 1573–1577, 2016.

[14] S. Verma, R. Paul, and M. Shukla, "Non-volatile latch compatible with static and dynamic CMOS for logic in memory applications," *IEEE Transactions on Magnetics*, vol. 58, no. 4, pp. 1–8, 2022.

[15] S. Madhura, "A review on low power vlsi design models in various circuits," *J. Electron*, vol. 4, pp.74-81, 2022.

[16] S.Rangaprasad, VK.Joshi, "A Fully Non-Volatile Reconfigurable Magnetic Arithmetic Logic Unit Based on Majority Logic," *IEEE Access*, vol. 11, pp. 118944-118961, 2023.

[17] P. Shukla, P. Kumar, and P. K. Misra, "An energy efficient, mismatch tolerant offset compensating hybrid MTJ/CMOS magnetic full adder," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 69, no. 11, pp. 4548–4552, Nov. 2022.

[18] K. Ali, F. Li, S. Y. Lua, and C.-H. Heng, "Compact spin transfer torque non-volatile flip flop design for power-gating architecture," in *2016 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)*. IEEE, 2016, pp. 119–122.

[19] C. Mitchell, M. Hunt, C. McCartney, and F. Ho, "Implementation of low-power, non-volatile latch utilising ferroelectric transistor," *Electronics Letters*, vol. 51, no. 23, pp. 1884–1886, 2015.

[20] V. Jamshidi, "NVRH-LUT: A nonvolatile radiation-hardened hybrid MTJ/CMOS-based look-up table for ultra low power and highly reliable FPGA designs." *Turkish Journal of Electrical Engineering and Computer Sciences*, vol. 27, no. 6, pp.4486-4501, 2019.

[21] A. Amirany, K. Jafari, and M.H. Moaiyeri, "High-performance radiation-hardened spintronic retention latch and flip-flop for highly reliable processors," *IEEE Transactions on Device and Materials Reliability*, vol. 21, no. 2, pp.215-223, 2021.

[22] K. Ryu, J. Kim, J. Jung, J. P. Kim, S. H. Kang, and S.-O. Jung, "A magnetic tunnel junction based zero standby leakage current retention flip-flop," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 20, no. 11, pp. 2044–2053, 2011.

[23] Y. Lakys, W. Zhao, J.-O. Klein, and C. Chappert, "Low power, high reliability magnetic flip-flop," *Electronics letters*, vol. 46, no. 22, pp. 1493–1494, 2010.

[24] R. Rajaei, "A reliable, low power and nonvolatile mtj-based flipflop for advanced nanoelectronics," *Journal of Circuits, Systems and Computers*, vol. 27, no. 13, p. 1850205, 2018.

[25] H. Kimura, T. Fuchikami, K. Maramoto, Y. Fujimori, S. Izumi, H. Kawaguchi, and M. Yoshimoto, "A 2.4 pj ferroelectric-based non-volatile flip-flop with 10-year data retention capability," in 2014 *IEEE Asian Solid-State Circuits Conference (A-SSCC)*. IEEE, 2014, pp. 21–24.

[26] M. Qazi, A. Amerasekera, and A. P. Chandrakasan, "A 3.4-pj feram-enabled d flip-flop in 0.13um cmos for nonvolatile processing in digital systems," *IEEE Journal of Solid-State Circuits*, vol. 49, no. 1, pp. 202–211, 2013.

[27] S. Izumi, H. Kawaguchi, M. Yoshimoto, H. Kimura, T. Fuchikami, K. Marumoto, and Y. Fujimori, "A ferroelectric based non-volatile flip-flop for wearable healthcare systems," in *2015 15th NonVolatile Memory Technology Symposium (NVMTS)*. IEEE, 2015, pp. 1–4.

[28] P. Barla,V. K. Joshi, and S. Bhat, ''Fully nonvolatile hybrid full adder based on SHE+STT-MTJ/CMOS LIM architecture,'' *IEEE Trans. Magn.*, vol. 58, no. 9, pp. 1–11, Sep. 2022.

[29] T. Na, K. Ryu, J. Kim, S.-O. Jung, J. P. Kim, and S. H. Kang, "High- performance low-power magnetic tunnel junction based non- volatile flip-flop," in *2014 IEEE International Symposium on Circuits and Systems (ISCAS)*. IEEE, 2014, pp. 1953–1956.

[30] D.M. Bromberg, D.H. Morris, L. Pileggi, and J.G. Zhu, "Novel STT-MTJ Device Enabling All-Metallic Logic Circuits," *IEEE transactions on Magnetics*, pp. 3215-3218, 2012.

[31] R. Kumar, D. Divyanshu, D. Khan, S. Amara, and Y. Massoud, ''Polymorphic hybrid CMOS-MTJ logic gates for hardware security applications,'' *Electronics*, vol. 12, no. 4, p. 902, Feb. 2023.

[32] K. Ma, S. Li, V. Narayanan, and Y. Xie, "Nonvolatile processor architecture exploration for energy-harvesting application scenarios," in *Embedded, Cyber-Physical, and IoT Systems*. Springer, 2020, pp. 175–202.

[33] A. Roohi and R. F. DeMara, "Nv-clustering: Normally-off computing using non-volatile datapaths," *IEEE Transactions on Computers*, vol. 67, no. 7, pp. 949–959, 2018.

[34] K. Ali, F. Li, S. Y. Lua, and C.-H. Heng, "Energy-and area efficient spin–orbit torque nonvolatile flip-flop for power gating architecture," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 26, no. 4, pp. 630–638, 2018.

[35] Z. Wang, Z. Wang, Y. Xu, B. Wu, and W. Zhao, "Erase-hidden and drivability-improved magnetic non-volatile flip-flops with nand spin devices," *IEEE Transactions on Nanotechnology*, vol. 19, pp. 446–454, 2020.

[36] J. Park, "Hybrid non-volatile flip-flops using spin-orbit-torque (sot) magnetic tunnel junction devices for high integration and low energy power-gating applications," *Electronics*, vol. 9, no. 9, p. 1406, 2020.

[37] J. Garg, and S. Wairya, "Performance Evaluation of Full Adder Using Magnetic Tunnel Junction," In *Proceedings of International Conference on Recent Trends in Computing*, pp. 517-526, 2021.

[38] S. Rangaprasad S,VK. Joshi and BK. Kaushik, "A fully non-volatile reconfigurable magnetic decoder," *Microelectronics Journal*, vol. 26, no. 2, pp. 294–307, 2023.

[39] V.Jamshidi, and M.Fazeli, ''Pure magnetic logic circuits: A reliability analysis,'' IEEE Transactions on Magnetics, vol. 54, no. 10, pp.1-10, 2018.