

New Dynamic Circuit for Design of High-Speed Register Files

Mohammad Asyaei*

School of Engineering, Damghan University, Damghan, Iran

E-mail: m.asyaei@du.ac.ir

*corresponding author

Short Abstract

The main portion of the delay and power in register files is related to read-out paths. The read-out paths are implemented using dynamic circuits to improve the performance of register files. Therefore, design of a high-speed and low-power dynamic circuit is necessary to achieve energy efficient register files for modern microprocessors. In this paper, a new dynamic circuit is presented to decrease the delay and power consumption of register files without considerable noise immunity degradation. In the proposed dynamic circuit, the supply voltage of the pull-down network (PDN) is lower than the main supply voltage to decrease the switching power consumption. In addition, the wide fan-in pull-down networks are implemented using the narrower networks to decrease the switching capacitance on the dynamic node and increase the circuit performance. A 64-word \times 32-bit 2-read, 1-write ported register file is implemented using the proposed circuit technique. Simulations are performed using HSPICE simulator in a 90-nm CMOS technology model. Simulation results demonstrate 45% and 31% reduction in delay and power consumption of the proposed register file respectively at the same noise immunity compared to the conventional register file.

Keywords

Register file, dynamic logic, high-speed design, low-power design, noise immunity.

1- Introduction

Register files with multi ports for read and write operations are used in modern superscalar microprocessors to execute independent instructions in parallel by multiple functional units. However, the delay of read paths are increased in register files because of a large switching capacitance. This issue becomes more critical when size of register files increases and lower access time is needed for modern microprocessors. Furthermore, a major portion of the power dissipation of the register files is related to their read paths.

2- Proposed dynamic circuit

In this paper, a circuit technique is proposed to reduce the propagation delay and power consumption of dynamic logic gates. In order to reduce the propagation delay, the high fan-in gates are implemented using narrower ones by employing diode-connected transistors. Furthermore, the supply voltage of the pull-down network is lowered in comparison with the main supply voltage to decrease the switching power consumption. Consequently the power consumption and delay are reduced in the proposed circuit. In addition, the replica leakage current of the pull-down network is used to reduce the contention current.

3- Conclusions

In this paper, a new dynamic circuit was proposed to reduce the delay and power consumption of wide fan-in gates used in read paths of register files. The main idea of the proposed circuit was based on the implementing the wide pull-down networks using narrower ones. As a result, the delay and power consumption were reduced by decreasing the switching capacitance on the dynamic nodes. Also, a 64-word \times 32-bit 2-read, 1-write ported register file was designed using the proposed dynamic circuit in a 90-nm CMOS technology to indicate the efficacy of the proposed circuit.

4- References

- [1] S. M. Sharroush and E. Badry, "Proposed time-mode wide fan-in NAND and NOR gates", *International Journal of Circuit Theory and Applications*, pp. 1– 34, 2023.
- [2] A. Kumar, R. K. Nagaria, "Reduction of variation and leakage in wide fan-in OR Logic domino gate", *Integration, the VLSI Journal*, vol. 89, pp. 229-240, 2023.
- [3] A. Kumar, R. K. Nagaria, "A new process variation and leakage-tolerant domino circuit for wide fan-in OR gates", *Analog Integrated Circuits and Signal Processing*, vol. 102, no. 2, pp. 9-25, 2020.

مدار پویای جدید برای طراحی رجیستر فایل‌های سرعت-بالا

محمد آسیایی

استادیار، دانشکده فنی و مهندسی، دانشگاه دامغان، دامغان، ایران

چکیده

سهام عمده‌ای از تأخیر و توان مصرفی در رجیستر فایل‌ها، مربوط به مسیرهای خواندن است. مسیرهای خواندن با استفاده از مدارهای پویا پیاده‌سازی می‌شوند تا عملکرد رجیستر فایل‌ها را بهبود ببخشند. بنابراین طراحی یک مدار پویای سرعت-بالا و توان-پایین برای رسیدن به رجیستر فایل‌هایی که از نظر انرژی کارایی داشته باشند برای ریزپردازنده‌های جدید ضروری است. در این مقاله، یک مدار پویای جدید برای کاهش تأخیر و توان مصرفی رجیستر فایل‌ها بدون کاهش قابل توجه در مصونیت در برابر نویز ارائه می‌شود. در مدار پویای پیشنهادی، ولتاژ تغذیه شبکه پایین‌بر (PDN) نسبت به ولتاژ اصلی مدار کمتر است تا توان مصرفی کاهش یابد. همچنین، شبکه‌های پایین‌بر با تعداد ورودی زیاد با استفاده از شبکه‌های کوچک‌تر پیاده‌سازی می‌شوند تا ظرفیت خازنی گره پویا کم شده و عملکرد مدار افزایش یابد. یک رجیستر فایل با ۶۴ کلمه ۳۲ بیتی، دو درگاه برای خواندن و یک درگاه برای نوشتن با استفاده از مدار پیشنهادی پیاده‌سازی می‌شود. شبیه‌سازی‌ها با استفاده از شبیه‌ساز HSPICE در فناوری ۹۰ نانومتر CMOS انجام می‌شود. نتایج شبیه‌سازی‌ها به ازای مصونیت در برابر نویز یکسان، نشان‌دهنده کاهش ۴۵ و ۳۱ درصدی به ترتیب در تأخیر و توان مصرفی رجیستر فایل پیشنهادی در مقایسه با رجیستر فایل متداول است.

کلمات کلیدی

رجیستر فایل، منطق پویا، طراحی سرعت-بالا، طراحی توان-پایین، مصونیت در برابر نویز.

نام نویسنده مسئول: محمد آسیایی

ایمیل نویسنده مسئول: m.asyaei@du.ac.ir

تاریخ ارسال مقاله: ۱۴۰۲/۰۶/۰۴

تاریخ اصلاح مقاله: ۱۴۰۲/۰۸/۲۱

تاریخ پذیرش مقاله: ۱۴۰۲/۱۰/۰۳

۱- مقدمه

بیان می‌شود. مدار پویای پیشنهادی در بخش ۳ و نتایج شبیه‌سازی در بخش ۴ شرح داده می‌شود. در بخش ۵، رجیستر فایل پیشنهادی توضیح داده می‌شود و در نهایت، در بخش ۶ به جمع‌بندی مقاله پرداخته می‌شود.

۲- پیشینه تحقیق

منطق پویای متداول در شکل ۱ نشان داده شده است. همان‌طور که در شکل ۱ مشخص شده است، از ترانزیستور نگه‌دارنده با بازخورد مثبت برای حفظ سطح ولتاژ گره پویا در مقدار V_{DD} در برابر اثرات مخرب منابع نویز استفاده می‌شود. برای بهبود مصونیت در برابر نویز، اندازه ترانزیستور نگه‌دارنده معمولاً افزایش داده می‌شود ولی این کار منجر به تنازع (Contention) بیشتر بین نگه‌دارنده و شبکه پایین‌بر (PDN) در حین تغییر ولتاژ گره پویا می‌شود که در نهایت کاهش عملکرد مدار را به همراه خواهد داشت. بنابراین، مصالحه‌ای بین استحکام و عملکرد وجود دارد. به همین دلیل، نسبت نگه‌دارنده (K) به صورت رابطه (۱) تعریف می‌شود [۳]:

$$K = \frac{\mu_p \left(\frac{W}{L}\right)_{\text{Keeper-transistor}}}{\mu_n \left(\frac{W}{L}\right)_{\text{Pull-Down-Network}}} \quad (1)$$

که W طول و L عرض ترانزیستور، μ_p و μ_n به ترتیب قابلیت تحرک الکترون و حفره می‌باشند. بنابراین با تغییر K می‌توان به پارامترهای موردنظر در طراحی رسید.

در ریزپردازنده‌های جدید، از رجیستر فایل‌ها برای انجام هم‌زمان عملیات خواندن و نوشتن جهت اجرای موازی دستورالعمل‌های مستقل استفاده می‌شود. باین‌حال، تأخیر مسیرهای خواندن در رجیستر فایل‌ها به دلیل ظرفیت خازن کلیدزنی زیاد افزایش می‌یابد. این موضوع زمانی حیاتی می‌شود که اندازه رجیستر فایل‌ها زیاد می‌شود و زمان دسترسی کمتری برای ریزپردازنده‌های جدید مورد نیاز باشد. علاوه بر این، بخش عمده‌ای از اتلاف توان در رجیستر فایل‌ها مربوط به مسیرهای خواندن آن‌ها است [۱].

مسیرهای خواندن عمده‌تاً با استفاده از منطق پویا پیاده‌سازی می‌شوند زیرا در ریزپردازنده‌های جدید برای طراحی ماژول‌های با کارایی بالا از منطق پویا به دلیل سرعت بالاتر در مقایسه با منطق ایستا استفاده می‌شود. باین‌حال، منطق پویا نسبت به منابع نویز ایمنی کمتری دارند و انرژی بیشتری مصرف می‌کنند [۲].

در این مقاله، یک ترفند مداری برای کاهش تأخیر انتشار گیت‌های منطقی عریض پیشنهاد می‌شود. به‌منظور کاهش تأخیر انتشار و توان در شبکه‌های عریض، از ترانزیستور پیکربندی‌شده به‌صورت دیود برای استفاده از ولتاژ تغذیه کمتر برای شبکه پایین‌بر استفاده می‌شود. علاوه بر این، المثنی جریان نشستی شبکه پایین‌بر برای کاهش تنازع بین ترانزیستور نگه‌دارنده و شبکه‌های پایین‌بر به کار برده می‌شود. در نتیجه توان مصرفی و تأخیر کاهش می‌یابد. همچنین، یک رجیستر فایل با ۶۴ کلمه ۳۲ بیتی با دو درگاه (Port) برای خواندن و یک درگاه برای نوشتن با استفاده از مدار پویای پیشنهادی در فناوری CMOS ۹۰ نانومتری طراحی می‌شود تا کارایی مدار پیشنهادی نشان داده شود.

ساختار مقاله بدین‌صورت تدوین شده است: در بخش ۲ پیشینه تحقیق

پویا استفاده شده است تا توان حالت خواب کاهش یابد و در عین حال سطح ولتاژ خروجی حفظ شود [۱۲]. همچنین ترانزیستور نگه‌دارنده با استفاده از سیگنال ساعت تأخیر یافته کنترل می‌شود.

استفاده از ولتاژ دو سر شبکه پایین‌بر برای تولید سطح ولتاژ خروجی روش دیگری است که برای افزایش مصونیت در برابر نویز و کاهش توان مصرفی مدارهای پویا ارائه شده است [۱۳].

۳- مدار پویای پیشنهادی

مدار پویای پیشنهادی و شکل موج‌های مربوط به آن به ترتیب در شکل‌های ۲ و ۳ نشان داده شده است. همان‌طور که در شکل ۲ نشان داده شده است، گره پویای شبکه پایین‌بر (Dyn-1) از طریق ترانزیستور NMOS با پیکربندی دیودی (M_{D1})، به گره پویای اصلی (Dyn-0) متصل می‌شود تا امکان استفاده از ولتاژ تغذیه کمتر برای شبکه پایین‌بر فراهم شود. با توجه به ورودی‌ها، فقط هنگامی که شبکه پایین‌بر باعث صفر شدن ولتاژ پایه سورس ترانزیستور M_{D1} می‌شود، می‌تواند گره پویای اصلی را از طریق دیود دشارژ کند. در غیر این صورت، دیود خاموش است و سطوح ولتاژ تغییری نمی‌کنند.

از آنجایی که حداقل ولتاژ دو سر یک ترانزیستور NMOS با پیکربندی دیودی برابر است با $V_{GS} = V_{DS} = V_{in}$ ولتاژ آستانه ترانزیستور NMOS است، گره پویای اصلی (Dyn-0) نمی‌تواند تا ولتاژ صفر دشارژ شود. به منظور دشارژ گره پویا به ولتاژ صفر، مطابق شکل ۲ از ترانزیستور کمکی M_{11} استفاده می‌شود که گیت آن به گره N_1 متصل است. علاوه بر این، ترانزیستور کمکی M_{11} که به صورت سری با ترانزیستور ارزیابی M_{Eval} است، به دشارژ گره پویای اصلی (Dyn-0) سرعت می‌بخشد و در نتیجه تأخیر را کاهش می‌دهد. در نتیجه، تأخیر و توان مصرفی در مدار پویای پیشنهادی کاهش می‌یابد.

همان‌طور که پیش‌تر ذکر شد، ویژگی دیگر مدار پیشنهادی، استفاده از ولتاژ تغذیه کمتر از V_{DD} برای شبکه پایین‌بر، معکوس کننده و ترانزیستور نگه‌دارنده آن است. مقدار این ولتاژ تغذیه که با V_{DDL} در شکل ۲ نمایش داده شده است برابر با $V_{DD} - V_{in}$ است. ولتاژ V_{DDL} با استفاده از یک ترانزیستور NMOS با پیکربندی دیودی به صورت سری با ولتاژ تغذیه V_{DD} فراهم می‌شود. با توجه به توضیحاتی که در ادامه داده خواهد شد ولتاژ تغذیه کمتر منجر به کاهش توان کلیدزنی در مدار پیشنهادی می‌شود.

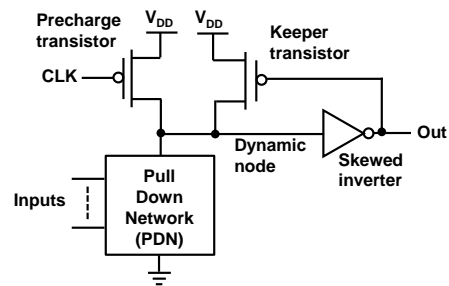
توان کلیدزنی در مدار پیشنهادی با توجه به اینکه ظرفیت خازنی مربوط به گره پویای شبکه پایین‌بر در گیت‌های عریض از ظرفیت خازنی بقیه گره‌ها بیشتر است، برابر خواهد بود با:

$$P_{Switching-Proposed} \approx \alpha_{0 \rightarrow 1} C_{Dyn} V_{DD}^2 f_{CLK} \quad (2)$$

که در آن C_{Dyn} مجموع ظرفیت خازنی گره پویای شبکه پایین‌بر، V_{DD} ولتاژ تغذیه، $\alpha_{0 \rightarrow 1}$ فاکتور فعالیت گذر از صفر آن‌ها و f_{CLK} فرکانس ساعت است. حداکثر ولتاژ تغذیه این گره برابر با $V_{DD} - V_{in}$ است که ولتاژ آستانه ترانزیستور NMOS است. باید توجه داشت به دلیل اثر بدنه، V_{in} از ولتاژ آستانه ترانزیستورهای NMOS با ولتاژ سورس صفر ولت بیشتر است. نسبت توان کلیدزنی مدار پیشنهادی به توان مدار پویای متداول (با فرض یکسان بودن شبکه پایین‌بر و C_{Dyn} آن‌ها) برابر خواهد شد با:

$$\frac{P_{Switching-Proposed}}{P_{Switching-Conv.}} \approx \left(\frac{V_{DD} - V_{in}}{V_{DD}} \right)^2 = \left(1 - \frac{V_{in}}{V_{DD}} \right)^2 \quad (3)$$

با توجه به مدار پیشنهادی نشان داده شده در شکل ۲، جزئیات عملکرد آن در دو مرحله به شرح زیر است.



شکل ۱- مدار پویای متداول

متأسفانه، منطق پویای متداول عملاً برای گیت‌های با ورودی بسیار بالا (عریض) که تعداد زیادی از انشعابات موازی دارند غیر قابل استفاده است. زیرا تعداد زیاد انشعابات روی گره پویا باعث افزایش ظرفیت خازن پارازیتی می‌شود. این ظرفیت خازنی عمدتاً به دلیل خازن درین ترانزیستورهای NMOS موازی در شبکه پایین‌بر است.

علاوه بر این، برای دستیابی به مصونیت در برابر نویز دلخواه، نگه‌دارنده‌های قوی در گیت‌های عریض مورد نیاز است. در نتیجه مصرف توان و تأخیر به صورت خطی با تعداد انشعاب‌ها به‌ویژه برای مسیر خواندن رجیستر فایل‌ها افزایش می‌یابد. بنابراین، مسیرهای خواندن در رجیستر فایل‌ها با استفاده از گیت‌های AND-OR و OR کوچک‌تری تحت عنوان خطوط بیت محلی، نیمه سراسری و سراسری ساخته می‌شوند. از سوی دیگر، تأخیر مسیرهای خواندن به صورت خطی با افزایش تعداد درگاه‌های رجیستر فایل‌ها زیاد می‌شود. به همین دلیل، استفاده از ترندهای مداری جدید برای کاهش تأخیر و توان خطوط بیت ضروری است.

برای افزایش سرعت و کاهش مصرف توان بدون کاهش استحکام، چندین مدار پویا در متون علمی ارائه شده است [۴-۱۳]. در یکی از این ترندهای مداری از دو ترانزیستور نگه‌دارنده کوچک و بزرگ استفاده می‌شود تا در ازای افزایش توان تلفاتی، تأخیر و مصونیت در برابر نویز بهبود یابد [۴].

در مدار دیگر، از تأخیر ساعت برای کنترل ترانزیستور نگه‌دارنده استفاده می‌شود به طوری که در ابتدای فاز ارزیابی ترانزیستور نگه‌دارنده خاموش است تا سرعت افزایش یابد [۵]. عیب بزرگ این روش، شناور بودن گره پویا در ابتدای فاز ارزیابی و کاهش مصونیت در برابر نویز است.

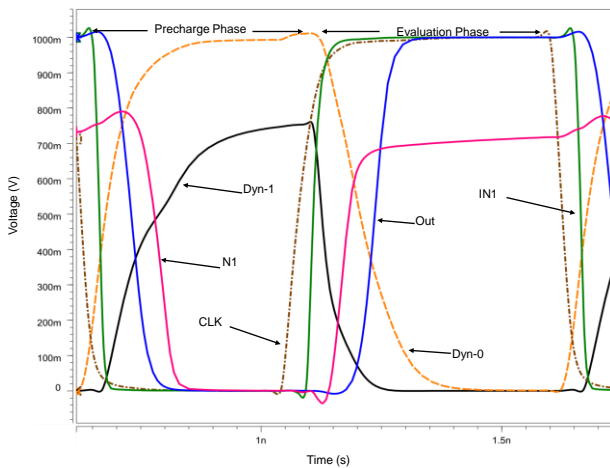
استفاده از ترانزیستور نگه‌دارنده با المثنی جریان نشستی، روش مداری دیگری است که میزان هدایت ترانزیستور نگه‌دارنده را به‌وسیله یک مدار آینه جریان آنالوگ که المثنی جریان نشستی شبکه پایین‌بر است، کنترل می‌کند [۶]. پایین بودن مصونیت در برابر نویز مدار از جمله معایب آن است.

روش دیگری که برای افزایش عملکرد مدارهای پویا ارائه شده، قسمت‌بندی شبکه‌های عریض به شبکه‌های کوچکتر است [۷]. تعداد ترانزیستور و مساحت مصرفی زیاد از معایب این روش است.

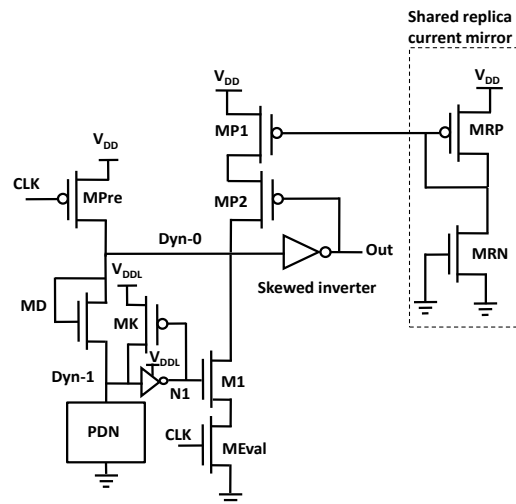
استفاده از سیگنال ساعت تأخیر یافته به همراه ولتاژ دو سر ترانزیستور پایه روشی دیگر برای بهبود پارامترهای مداری است [۸]. در روش مداری دیگر، ولتاژ دو سر ترانزیستور پایه توسط دو معکوس کننده تقویت می‌شود تا خروجی مورد نظر فراهم شود [۹].

در مدار پویای دیگر، ترانزیستور نگه‌دارنده با استفاده از سیگنال ساعت تأخیر یافته در ابتدای مرحله ارزیابی خاموش می‌ماند تا تنازع کاهش یابد [۱۰]. در ترند دیگری، با استفاده از یک ترانزیستور به‌عنوان کلید، ارتباط شبکه‌های کوچک‌تر با یکدیگر فراهم می‌شود بدون آنکه عملکرد مدار کاهش محسوسی یابد. تعداد ترانزیستور زیاد این روش از معایب آن است [۱۱].

در روشی دیگر، از یک مالتی پلکسر برای انتخاب حالت فعال و خواب مدار



شکل ۳- شکل موج‌های مربوط به مدار پیشنهادی



شکل ۲- مدار پویای پیشنهادی

گره پویای اصلی از طریق ترانزیستور کمکی M_1 و ترانزیستور ارزیابی M_{Eval} به ولتاژ صفر دشارژ می‌شود. در نتیجه، گره خروجی (Out) تا سطح V_{DD} شارژ می‌شود. لازم به ذکر است که ترانزیستور ارزیابی M_{Eval} را می‌توان در مدار پیشنهادی حذف کرد تا تأخیر کاهش یابد اما توان مصرفی به دلیل ایجاد تنازع بین ترانزیستور پیش‌بار M_{Pre} و M_1 در ابتدای مرحله پیش‌بار بیشتر خواهد شد. در مدار پیشنهادی، از مدار المثنی جریان نشستی برای جبران افت ولتاژ گره پویای $Dyn-0$ (اشی از جریان نشستی شبکه پایین‌بر استفاده شده است تا تنازع و در نتیجه توان مصرفی کاهش یابد. برای این منظور، جریان ترانزیستورهای نگهدارنده اصلی (M_{P1} و M_{P2}) متناسب با جریان نشستی شبکه پایین‌بر است. این جریان نشستی توسط یک آینه جریان آنالوگ المثنی می‌شود. بر این اساس، تنازع بین این ترانزیستورهای نگهدارنده و شبکه پایین‌بر بدون کاهش قابل توجه مصنویت در برابر نویز کم می‌شود. به همین دلیل مصرف توان و تأخیر مدار پیشنهادی کاهش می‌یابد. علاوه بر این، اثرات فرآیند، ولتاژ و نوسانات دما به دلیل استفاده از المثنی جریان نشستی کاهش می‌یابد [۶].

همان‌طور که در شکل ۲ نشان داده شده است، مدار المثنی جریان نشستی شامل ترانزیستورهای M_{RN} و M_{RP} است که اندازه آن‌ها به گونه‌ای تعیین می‌شود که بتوانند با جریان نشستی شبکه پایین‌بر مقابله کنند. به دلیل اینکه مدار المثنی جریان نشستی بین تمام گیت‌هایی که ساختار یکسانی دارند مشترک است مساحت و توان تراشه را افزایش نمی‌دهد.

۴- نتایج شبیه‌سازی

مدارهای مورد مطالعه و مدار پیشنهادی با استفاده از نرم‌افزار HSPICE و مدل فناوری ۹۰ نانومتر CMOS شبیه‌سازی شدند. برای شبیه‌سازی‌ها، ولتاژ تغذیه ۱V، بار خازنی خروجی $C_L=5fF$ و دمای کاری $25^\circ C$ انتخاب شده است. گیت‌های OR دوطبقه با ۶۴ ورودی با استفاده از مدارهای مورد بررسی و مدار پیشنهادی شبیه‌سازی شدند.

قالب کاری (framework) مورد استفاده در این مقاله برای شبیه‌سازی در شکل ۴ نشان داده شده است [۱۴]. در این قالب کاری، گیت منطقی با یک گیت مشابه برای تولید شکل موج‌های ورودی واقعی آزمایش می‌شود.

برای اندازه‌گیری عملکرد گیت، تأخیر بین سیگنال‌های ورودی و خروجی اندازه‌گیری می‌شود. در بدترین شرایط، تنها یک ورودی تا سطح V_{DD} افزایش

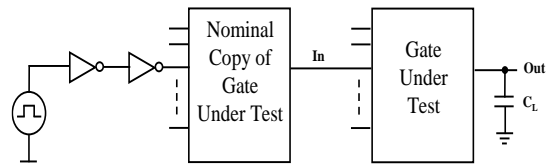
در مرحله پیش‌بار، زمانی که سیگنال ساعت در سطح پایین است ($CLK=0'$)، ترانزیستور پیش‌بار M_{Pre} روشن و ترانزیستور ارزیابی M_{Eval} خاموش است. بنابراین گره‌های پویای $Dyn-0$ و $Dyn-1$ به ترتیب تا V_{DD} و $V_{DD}-V_m$ شارژ می‌شوند و گره‌های خروجی معکوس کننده‌ها تا ولتاژ صفر دشارژ می‌شوند. ترانزیستورهای نگهدارنده اصلی (M_{P1} و M_{P2}) و ترانزیستور نگهدارنده M_K نیز روشن هستند و ولتاژ گره‌های پویا را در سطح بالا حفظ می‌کنند.

در مرحله ارزیابی، زمانی که سیگنال ساعت در سطح بالا قرار دارد ($CLK=1'$)، ترانزیستور پیش‌بار M_{Pre} خاموش است و ترانزیستور ارزیابی M_{Eval} روشن است. سایر ترانزیستورها با توجه به سطح ولتاژ سیگنال‌های ورودی می‌توانند خاموش یا روشن باشند. بنابراین، در مرحله ارزیابی با توجه به سیگنال‌های ورودی، دو حالت مختلف ممکن است رخ دهد. در حالت اول، تمام سیگنال‌های ورودی در سطح ولتاژ پایین باقی می‌مانند و در حالت دوم، با اعمال یک بردار ورودی مناسب، حداقل یک مسیر هدایت در شبکه پایین‌بر تشکیل می‌شود.

در حالت اول، هیچ مسیر هدایتی در شبکه پایین‌بر وجود ندارد و تنها جریان، جریان نشستی است. عمده جریان نشستی در فناوری‌های نانومتر نیز مربوط به جریان نشستی زیر آستانه ترانزیستورهای خاموش شبکه پایین‌بر است. در این حالت، ترانزیستورهای نگهدارنده M_{P1} و M_{P2} سطح ولتاژ را در گره پویای اصلی ($Dyn-0$) حفظ می‌کنند. علاوه بر این، ترانزیستور نگهدارنده شبکه پایین‌بر (M_K) افت ولتاژ ناشی از منابع نویز در گره پویای $Dyn-1$ را جبران می‌کند. در نتیجه، استحکام مورد نظر با استفاده از ترانزیستورهای نگهدارنده تأمین می‌شود.

در حالت دوم، حداقل یک مسیر هدایت در شبکه پایین‌بر به وجود می‌آید که باعث افزایش جریان شبکه پایین‌بر می‌شود. در این حالت، ولتاژ گره پویای $Dyn-1$ به ولتاژ زمین کاهش می‌یابد. در نتیجه، گره پویای اصلی $Dyn-0$ از طریق ترانزیستور M_D تا سطح ولتاژ $V_{DD}-V_m$ دشارژ می‌شود که در آن V_m ولتاژ آستانه ترانزیستور M_D است. با کاهش سطح ولتاژ گره پویای $Dyn-1$ به ولتاژ زمین، ولتاژ گره N_1 تا $V_{DD}-V_m$ افزایش می‌یابد. هنگامی که ولتاژ گره N_1 به ولتاژ آستانه ترانزیستور M_1 رسید، این ترانزیستور روشن می‌شود.

رسیده است تا حاصل ضرب انرژی در تأخیر (EDP) لحاظ شده باشد. هرکدام از پارامترها به پارامترهای مربوط به مدار پویای متداول نرمالیزه می‌شوند. در جدول ۱، FOM مدارهای مورد بررسی نشان داده شده است. در این جدول، تعداد ترانزیستورهای مورد استفاده، سطح مصرفی تخمینی، توان و تأخیر نرمالیزه شده هر مدار به همراه FOM آن‌ها فهرست شده‌اند. با توجه به جدول ۱، مدار پیشنهادی به دلیل عملکرد بهتر نسبت به سایر مدارهای پویا FOM بالاتری دارد. علاوه بر این، FOM مدار پویای پیشنهادی ۳/۵۳ برابر بیشتر از مدار پویای متداول است.



شکل ۴- قالب کاری مورد استفاده در شبیه‌سازی [۱۴]

می‌یابد و سایر ورودی‌ها در سطح صفر ولت باقی می‌مانند. در این شرایط توان مصرفی گیت نیز اندازه‌گیری می‌شود.

برای اندازه‌گیری مصونیت در برابر نویز مدارها از متوسط نویز واحد (UNA) استفاده شده است که برابر است با دامنه ولتاژ نویز ورودی که باعث می‌گردد متوسط ولتاژ نویز خروجی برابر با متوسط ولتاژ نویز ورودی شود. UNA به صورت رابطه (۴) تعریف می‌شود [۱۵]:

$$UNA = \{V_{in} : V_{noise_{Avg}} = V_{output_{Avg}}\} \quad (4)$$

برای اندازه‌گیری مصونیت در برابر نویز گیت‌ها، سیگنال‌های نویز به‌طور هم‌زمان به همه ورودی‌ها اعمال می‌شوند تا بدترین شرایط در نظر گرفته شده باشد [۱۶].

عرض ترانزیستورهای شبکه پایین‌بر در همه مدارها کم‌ترین مقدار ممکن یعنی $W_{min} = 3L_{min}$ قرار داده شده است که L_{min} هم $90nm$ است. نسبت عرض ترانزیستورهای PMOS به NMOS در معکوس‌کننده‌های خروجی برابر با ۲ است ($Wp/Wn=2$). اندازه اولیه ترانزیستورها برابر با حداقل اندازه در نظر گرفته شده است سپس اندازه آن‌ها برای دستیابی به مصونیت در برابر نویز ۰/۳ ولت (۳۰ درصد V_{DD}) در بدترین حالت برای هر گیت تغییر یافت. برای این منظور، با تغییر اندازه ترانزیستورهای مدار نگه‌دارنده، ضریب K در معادله (۱) به تدریج تغییر داده شد.

به‌منظور مقایسه بهتر مدار پیشنهادی با مدارهای مورد بررسی، باید هم‌زمان پارامترهای طراحی شامل مصونیت در برابر نویز، تأخیر، مساحت و توان مصرفی در نظر گرفته شود. بنابراین برای در نظر گرفتن هم‌زمان پارامترهای طراحی می‌توان از معیار شایستگی (FOM) طبق رابطه (۵) استفاده نمود [۱۷].

$$FOM = \frac{UNA_{norm}}{P_{tot-norm} \times t_{p-norm}^2 \times A_{norm}} \quad (5)$$

که UNA_{norm} ، $P_{tot-norm}$ و A_{norm} به ترتیب متوسط نویز واحد، متوسط توان مصرفی، مساحت و تأخیر انتشار مدار می‌باشند. در FOM، تأخیر به توان دوم

۵- طراحی رجیستر فایل سرعت- بالا

رجیستر فایل‌ها، حافظه‌هایی با چندین درگاه برای خواندن و نوشتن داده هستند. آن‌ها یکی از حیاتی‌ترین واحدها در مسیر داده ریزپردازنده‌ها می‌باشند. بنابراین، برای نشان دادن برتری مدار پیشنهادی نسبت به مدار متداول، یک رجیستر فایل با سه درگاه بر اساس مدار پیشنهادی پیاده‌سازی می‌شود.

به همین منظور، یک رجیستر فایل ۶۴ کلمه‌ای ۳۲ بیتی (۲kb حافظه) با دو درگاه برای خواندن و یک درگاه برای نوشتن با استفاده از مدار پیشنهادی طراحی و شبیه‌سازی شده و با رجیستر فایل متداول مقایسه شده است. ساختار رجیستر فایل مورد نظر در شکل ۵ نشان داده شده است.

هر ثبات (Register) دارای ۳۲ سلول حافظه برای ذخیره‌سازی ۳۲ بیت اطلاعات است. ۶۴ ثبات به ۴ بلوک تقسیم‌بندی شده‌اند که هر بلوک شامل ۱۶ ثبات است. با استفاده از خطوط بیت محلی (LBL) داده از هر بلوک استخراج می‌شود و با استفاده از خطوط بیت سراسری (GBL)، خروجی چهار بلوک باهم ادغام می‌شوند تا در نهایت داده ثبات انتخاب شده خوانده شود. برای ساده‌سازی ترانزیستورهای پیش‌بار و نگه‌دارنده در شکل ۵ رسم نشده‌اند.

برای تولید سیگنال‌های انتخاب خواندن/نوشتن (RS/WS) و اعمال آن‌ها در آرایه رجیستر فایل، یک آدرس شش بیتی خواندن/نوشتن در هر درگاه با استفاده از دو مرحله از گیت‌های دو و سه ورودی گیت‌های NAND و NOR رمزگشایی می‌شود. علاوه بر این، زنجیره‌ای از معکوس‌کننده‌ها با برون-دهی چهار (FO4) برای مدارهای راه‌انداز استفاده می‌شود [۱۸]. همان‌طور که در شکل ۶ نشان داده شده است، ۶۴ راه‌انداز در هر درگاه برای هدایت سیگنال‌های انتخابی خواندن/نوشتن رمزگشایی شده (De-RS/WS) و توزیع در

جدول ۱- مقایسه پارامترهای مدارهای مورد بررسی

پارامتر	مدار متداول	[۴]	[۵]	[۶]	[۷]	[۸]	[۹]	[۱۰]	[۱۱]	[۱۲]	[۱۳]	مدار پیشنهادی
تعداد ترانزیستور	۶۸	۷۶	۷۹	۶۹	۱۳۴	۷۴	۷۰	۷۱	۱۰۹	۷۶	۷۲	۸۰
مساحت نرمالیزه	۱	۱/۱۵	۱/۲۵	۱/۴۱	۱/۲۴	۱/۳۳	۱/۲۷	۱/۰۵	۱/۸	۱/۲۵	۱/۵۱	۱/۲۳
توان مصرفی نرمالیزه	۱	۱/۱	۱/۴	۰/۹۳	۰/۹۳	۰/۹۸	۱/۱۴	۱/۰۲	۰/۵۹	۰/۷۷	۰/۶۴	۰/۵۸
تأخیر انتشاری نرمالیزه	۱	۰/۸	۰/۹۹	۰/۷۷	۰/۷۲	۰/۷۷	۰/۸۶	۰/۸۴	۰/۵۸	۱/۲۵	۰/۸۵	۰/۶۳
مصونیت در برابر نویز نرمالیزه	۱	۱	۱	۱	۱	۱	۱	۱	۱	۱	۱	۱
FOM	۱	۱/۲۴	۰/۵۸	۱/۲۹	۱/۶۷	۱/۲۹	۰/۹۳	۱/۳۲	۲/۸	۰/۶۶	۱/۴۳	۳/۵۳

عرض آرایه ۳۲ بیتی استفاده می‌شود.

شکل ۷، یک سلول بیت از رجیستر فایل را نشان می‌دهد. همان‌طور که در این شکل نشان داده شده است، یک درگاه خواندن در هر طرف سلول ذخیره‌سازی قرار داده شده است تا بارگذاری متقارن را برای پایداری بهینه در

طی عملیات نوشتن سلول فراهم کند [۱۹]. برای عملیات نوشتن با دامنه تغییرات کامل ولتاژ، ترانزیستورهای عبوری NMOS در هر طرف سلول ذخیره‌سازی استفاده می‌شوند. همچنین، نیاز به مکمل داده ورودی (Din) با استفاده از یک ترانزیستور عبور اضافی حذف می‌شود.

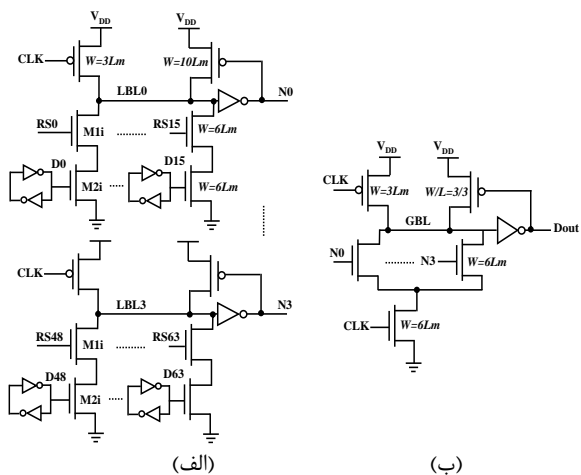
در شکل ۸ (الف) و (ب)، پیاده‌سازی مدارهای خط بیت محلی و خط بیت سراسری با استفاده از مدار پویای متداول نشان داده شده است. هر خط بیت محلی (برای هر درگاه خواندن) ۱۶ سلول را پشتیبانی می‌کند. بنابراین، خطوط بیت محلی با استفاده از گیت‌های پویای ۱۶ ورودی بصورت گیت‌های AND-OR پیاده‌سازی می‌شوند.

همان‌طور که در شکل ۸ (الف) نشان داده شده است، داده هر سلول توسط دو ترانزیستور سری در هر خط بیت محلی در طی عملیات خواندن خوانده می‌شود. علاوه بر این، خطوط بیت سراسری با استفاده از گیت‌های OR هشت ورودی طراحی می‌شوند که خروجی‌های خطوط بیت محلی را ادغام می‌کنند (شکل ۸ (ب)). در نهایت، خطوط بیت محلی و سراسری، یک کلمه ۳۲ بیتی را به ازای هر درگاه خواندن تولید می‌کنند.

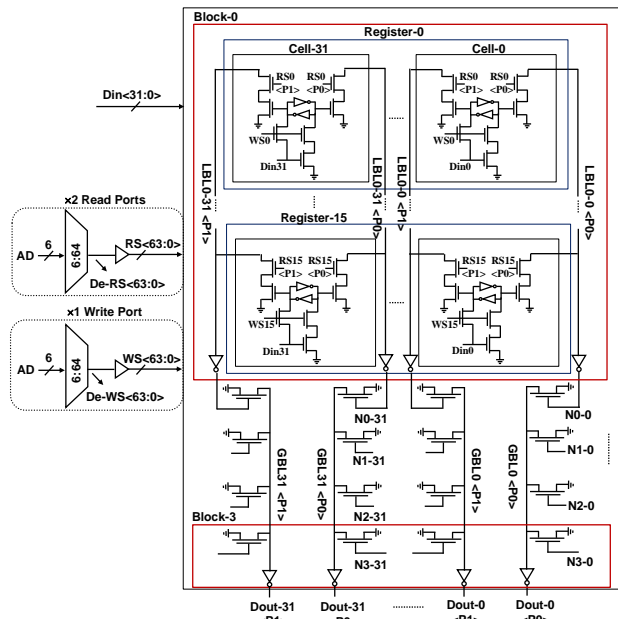
پیاده‌سازی خطوط بیت با استفاده از مدار پویای پیشنهادی در شکل ۹ نشان داده شده است. به دلیل استفاده از دیود در مدار پیشنهادی، می‌توان خطوط بیت محلی و سراسری را با هم ادغام کرد تا سرعت خواندن از حافظه افزایش یابد.

بنابراین با استفاده از دیودها، ظرفیت خازن پارازیتی موجود در گره GBL کاهش می‌یابد. به دلیل این‌که هر شبکه پایین‌بر، خازن پارازیتی کوچکی دارد، یک ترانزیستور نگه‌دارنده ضعیف برای پیاده‌سازی گیت‌های سریع و مقاوم کفایت می‌کند. در نتیجه، جریان تنازع مدار پیشنهادی کمتر از مدار متداول است.

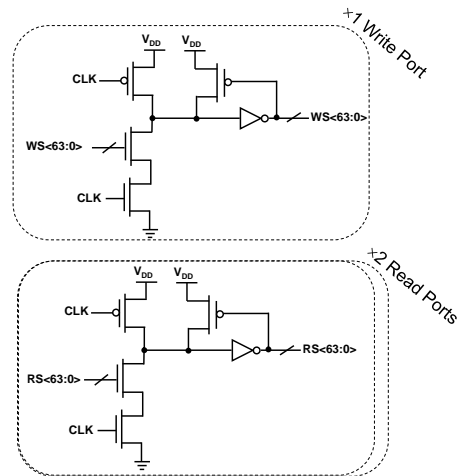
خطوط بیت محلی با استفاده از شبکه‌های پایین‌بر، سیگنال‌های انتخاب خواندن و داده سلول‌ها پیاده‌سازی می‌شوند. در طی عملیات خواندن از هر درگاه خواندن، فقط یکی از شبکه‌های پایین‌بر می‌تواند توسط این سیگنال‌ها فعال شود و سایر شبکه‌های پایین‌بر غیرفعال خواهند بود. در این حالت، دیود شبکه فعال، روشن و دیودهای شبکه‌های غیرفعال خاموش هستند. بنابراین، تنازع بین شبکه فعال و ترانزیستور نگه‌دارنده شبکه‌های غیرفعال به دلیل استفاده از دیودها از بین می‌رود.



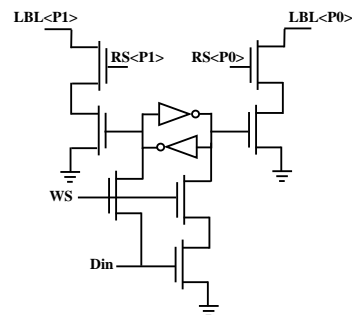
شکل ۸- (الف) خط بیت محلی و (ب) خط بیت سراسری برای خواندن یک بیت از هر درگاه با استفاده از مدار پویای متداول



شکل ۵- ساختار رجیستر فایل ۶۴ کلمه‌ای 32 بیتی با ۲ درگاه برای خواندن و ۱ درگاه برای نوشتن



شکل ۶- راه‌اندازهای سیگنال‌های خواندن/نوشتن انتخابی

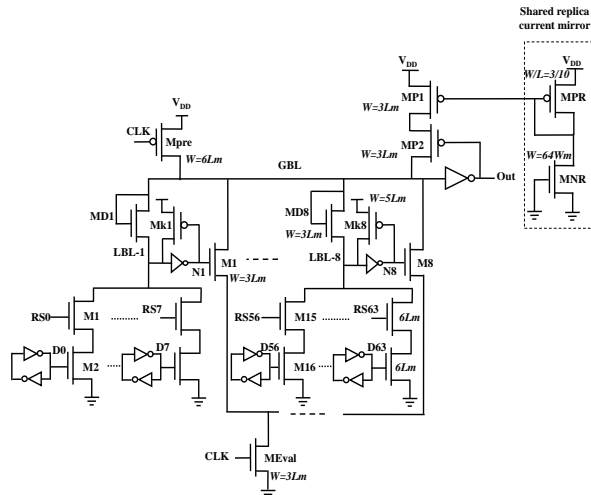


شکل ۷- سلول متقارن بیت رجیستر فایل

فرآیند معمولی در ولتاژ ۱۷ در شکل ۱۲ نشان داده شده است. با توجه به نتایج به دست آمده، رجیستر فایل پیشنهادی با تغییرات فرآیند، ولتاژ و دما کارکرد مناسبی دارد.

جدول ۲- مقایسه ویژگی های رجیستر فایل ها

رجیستر فایل پیشنهادی	رجیستر فایل متداول	
۱/۲۵	۱/۸۲	توان مصرفی (mw)
۰/۶۹	۱	توان نرمالیزه
۱۰۰	۱۸۱	تأخیر (ps)
۰/۵۵	۱	تأخیر نرمالیزه
۰/۳	۰/۳	UNA (V)
۱	۱	نرمالیزه UNA
۰/۳۸	۱	PDP (Power×Delay)
۰/۲۱	۱	EDP (PDP×Delay)
۴/۷۶	۱	FOM



شکل ۹- پیاده سازی خطوط بیت با استفاده از مدار پویای پیشنهادی

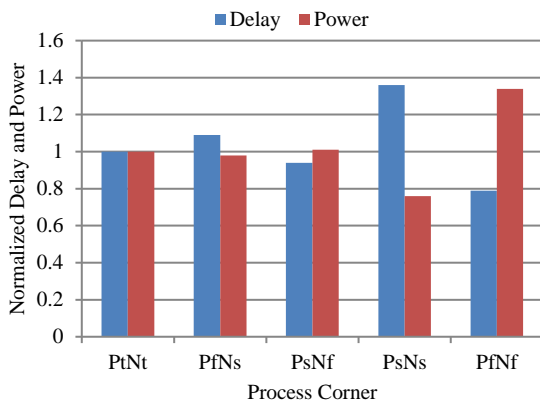
رجیستر فایل ها با استفاده از فرآیند فناوری CMOS ۹۰ نانومتر با ولتاژ تغذیه ۱ ولت و در دمای $25^{\circ}C$ طراحی شده اند. علاوه بر این، رجیستر فایل ها به گونه ای طراحی شده اند که در بدترین حالت، حداقل مصونیت در برابر نویز ۰/۳ ولت را برای همه گوشه های فرآیند برآورده کنند تا مقایسه منصفانه باشد. از آنجایی که وجه تمایز رجیستر فایل متداول با رجیستر فایل پیشنهادی در مدارهای خطوط بیت است، جهت مقایسه بهتر، اندازه ترانزیستورهای کلیدی روی مدارهای خطوط بیت (شکل های ۸ و ۹) درج شده است. اندازه ها برحسب حداقل طول (L_m) و حداقل عرض (W_m) ترانزیستور مشخص شده اند. مهم ترین ترانزیستورها، ترانزیستورهای نگه دارنده هستند که مستقیماً در رسیدن به مصونیت در برابر نویز مطلوب نقش دارند.

تأخیر بین سیگنال انتخاب خواندن (RS) و خروجی خطوط بیت به عنوان تأخیر فرآیند خواندن اندازه گیری می شود. توان مصرفی رجیستر فایل شامل توان رمزگشاه، درایورها، خطوط بیت محلی و خطوط بیت سراسری است. جدول ۲ تأخیر خواندن، توان مصرفی، حاصل ضرب تأخیر در توان (PDP)، حاصل ضرب تأخیر در انرژی (EDP) و FOM رجیستر فایل های پیاده سازی شده با استفاده از مدار پویای متداول و مدار پیشنهادی را نشان می دهد. همچنین، تمام پارامترها به پارامترهای مشابه در مدار پویای متداول نرمالیزه می شوند تا بهبودها را بهتر نشان دهند.

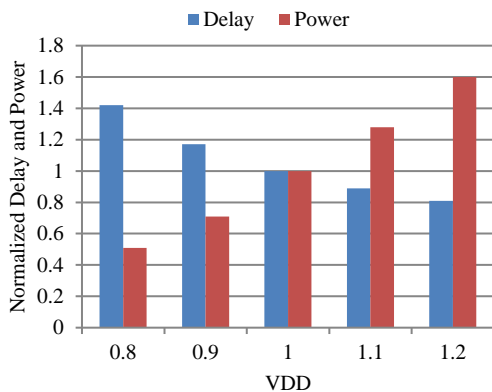
همان طور که در جدول ۲ مشاهده می شود، FOM رجیستر فایل پیشنهادی ۴/۷۶ برابر FOM رجیستر فایل متداول در مصونیت در برابر نویز یکسان است. علاوه بر این، توان مصرفی و تأخیر در رجیستر فایل پیشنهادی به ترتیب ۳۱٪ و ۴۵٪ در مقایسه با رجیستر فایل متداول کاهش می یابد.

برای در نظر گرفتن اثرات تغییرات فرآیند، ولتاژ و دما (PVT)، رجیستر فایل پیشنهادی در چهار گوشه فرآیند یعنی sP_sN ، sP_fN ، fP_sN و fP_fN و ولتاژهای تغذیه (V_{DD}) متغیر بین ۰/۸۷ تا ۱/۲۷ شبیه سازی شده است. همچنین در چهار دمای مختلف، اثر تغییرات دما بررسی شد. تأخیر انتشار و توان مصرفی به پارامترهای متناظر در ولتاژ ۱۷ با فرآیند معمولی و دمای $25^{\circ}C$ نرمالیزه شدند.

در شکل ۱۰، اثرات تغییرات فرآیند بر تأخیر و توان مصرفی نرمال شده در چهار گوشه فرآیند در ولتاژ ۱۷ و دمای $25^{\circ}C$ نشان داده شده است. نتایج شبیه سازی برای تأخیر و توان مصرفی نرمالیزه شده در شکل ۱۱ برای V_{DD} متغیر بین ۰/۸۷ تا ۱/۲۷ با فرآیند معمولی و دمای $25^{\circ}C$ نشان داده شده است. علاوه بر این، تأخیر و توان مصرفی نرمالیزه شده برای دماهای مختلف در



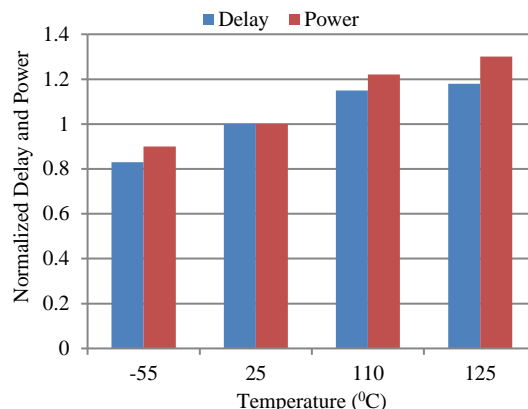
شکل ۱۰- اثرات تغییرات فرآیند بر تأخیر و توان مصرفی رجیستر فایل پیشنهادی



شکل ۱۱- اثرات تغییرات ولتاژ بر تأخیر و توان مصرفی رجیستر فایل پیشنهادی

Integrated Circuits and Signal Processing, vol. 102, no. 2, pp. 9-25, 2020.

- [4] M. H. Anis, M. W. Allam, M. I. Elmasry, "Energy-efficient noise-tolerant dynamic styles for scaled-down CMOS and MTCMOS technologies", IEEE Transaction on Very Large Scale Integration (VLSI) Systems, vol.10, pp. 71-78, 2002.
- [5] A. Alvandpour, R. Krishnamurthy, K. Sourrty, S. Y. Borkar, "A sub-130-nm conditional-keeper technique", IEEE Journal of Solid-State Circuits, vol. 37, pp. 633-638, 2002.
- [6] Y. Lih, N. Tzartzanis, W. W. Walker, "A leakage current replica keeper for dynamic circuits", IEEE Journal of Solid-State Circuits, vol. 42, pp. 48-55, 2007.
- [7] H. Suzuki, C. H. Kim, K. Roy, "Fast tag comparator using diode partitioned domino for 64-bit microprocessors", IEEE Transaction on Very Large Scale Integration (VLSI) Systems, vol. 54, pp. 322-328, 2007.
- [8] A. A. Angeline, V.S. K. Bhaaskaran, "Speed enhancement techniques for clock-delayed dual keeper domino logic style", International Journal of Electronics, vol. 107, pp.1239-1253, 2020.
- [9] R. Kannan, R. Rangarajan, "Low power noise immune node voltage comparison keeper design for high speed architectures", Microprocessors and Microsystems, vol. 77, pp. 103192, 2020.
- [10] A.K. Pandey, T.K. Gupta, A. Gupta, D. Pandey, "Keeper effect on nano scale silicon domino logic transistors", Silicon, vol. 14, pp. 6769-6776, 2022.
- [11] M. Asyaei, "New dynamic logic style for energy efficient tag comparators", Microprocessors and Microsystems Journal, Vol. 90, pp. 104522, 2022.
- [12] S. Singhal, A. Mehra, "Gated clock and revised keeper (GCRK) domino logic design in 16 nm CMOS technology", IETE Journal of Research, vol. 69, no. 3, pp. 1686-1693, 2023.
- [13] J. Kandpal, T. R. Pokhrel, S. Saini, A. Majumder, "A variation resilient keeper design for high performance domino logic applications", Integration, the VLSI Journal, vol. 88, pp. 1-9, 2023.
- [14] M. Alioti, G. Palumbo, M. Pennisi, "Understanding the effect of process variations on the delay of static and domino logic", IEEE Transaction on Very Large Scale Integration (VLSI) Systems, vol. 18, pp. 697-710, 2010.
- [۱۵] محمد آسیایی، «مدار دینامیکی جدید برای طراحی مقایسه‌کننده نشانه توان پایین» مجله مهندسی برق دانشگاه تبریز، جلد ۴۹، شماره ۱، صفحات ۱-۱۱، بهار ۱۳۹۸.
- [16] A. Peiravi, M. Asyaei, "Current-comparison-based domino: new low-leakage high-speed domino circuit for wide fan-in gates", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 21, no. 5, pp. 934-943, 2013.
- [۱۷] محمد آسیایی، «دومینو مبتنی بر مقایسه جریان ارتقاء یافته برای طراحی گیت‌های عریض توان پایین» مجله مهندسی برق دانشگاه تبریز، جلد ۴۷، شماره ۱، صفحات ۱-۱۰، بهار ۱۳۹۶.
- [18] M. Asyaei, "A new low-power dynamic circuit for wide fan-in gates", Integration, the VLSI Journal, vol. 60, pp. 263-271, 2018.
- [19] K. Krishnamurthy, A. Alvandpour, G. Balamurugan, N. R. Shanbhag, K. Soumyanath, S. Y. Borkar "A 130-nm 6-GHz 256x32 bit leakage-tolerant register file", IEEE Journal of Solid-State Circuits, vol. 37, pp. 624-632, 2002.



شکل ۱۲- اثرات تغییرات دما بر تأخیر و توان مصرفی رجیستر فایل پیشنهادی

۶- نتیجه‌گیری

در این مقاله، یک مدار پویای جدید برای کاهش تأخیر و توان مصرفی گیت‌های عریض مورد استفاده در مسیره‌های خواندن رجیستر فایل‌ها پیشنهاد شد. ایده اصلی مدار پیشنهادی مبتنی بر کاهش ولتاژ تغذیه شبکه پایین‌بر نسبت به ولتاژ تغذیه اصلی مدار جهت کاهش توان مصرفی است. همچنین در مدار پیشنهادی قابلیت اتصال شبکه‌های پایین‌بر به یکدیگر با استفاده از دیودها وجود دارد که منجر به افزایش سرعت می‌شود. با استفاده از این ترند مداری، تأخیر و توان مصرفی با کاهش ظرفیت خازنی گره‌های پویا کاهش می‌یابد. علاوه بر این، با استفاده از المثنی جریان نشستی شبکه پایین‌بر، تنازع کم می‌شود. مدار پویای پیشنهادی و مدارهای پویای مورد مطالعه با استفاده از HSPICE در یک مدل فناوری ۹۰ نانومتر CMOS شبیه‌سازی شده‌اند. نتایج شبیه‌سازی گیت‌های OR عریض نشان‌دهنده بهبود قابل توجهی در FOM مدار پیشنهادی در مقایسه با مدار پویای متداول است. علاوه بر این، یک رجیستر فایل ۶۴ کلمه‌ای ۳۲ بیتی با دو درگاه برای خواندن و یک درگاه برای نوشتن با استفاده از مدار پویای پیشنهادی طراحی شد. نتایج شبیه‌سازی مصرف توان پایین‌تر و سرعت بالاتر را در مقایسه با رجیستر فایل متداول در مصونیت در برابر نویز یکسان نشان داد.

مراجع

- [1] S. M. Sharroush, E. Badry, "Proposed time-mode wide fan-in NAND and NOR gates", International Journal of Circuit Theory and Applications, pp. 1-34, 2023.
- [2] A. Kumar, R. K. Nagaria, "Reduction of variation and leakage in wide fan-in OR Logic domino gate", Integration, the VLSI Journal, vol. 89, pp. 229-240, 2023.
- [3] A. Kumar, R. K. Nagaria, "A new process variation and leakage-tolerant domino circuit for wide fan-in OR gates", Analog