

## Design of a CNFET-based Quaternary Full Adder

Fazel Sharifi\*, Amir Hossein Hosseini, Milad Nouraei

Department of Electrical and Computer Engineering, Graduate University of Advanced Technology, Kerman, Iran

E-mails: f.sharifi@kgut.ac.ir; amirhosseinih8@gmail.com; m.nouraei@student.kgut.ac.ir

\* means corresponding author

### Short Abstract

Full adder cell is an important module in processing systems and has various applications and is used in most arithmetic circuits. Therefore, the design of high-performance Full adder cell will improve the performance of the whole system. On the other hand MOSFET technology has encountered challenges due to the scaling down of transistors. New technologies can be used to solve this problem. Carbon nanotube field effect transistors (CNFETs) are one of the appropriate alternatives to MOSFET. The threshold voltage of these transistors can be easily adjusted by tuning diameter of carbon nanotubes, which makes it very appropriate for designing multi-valued logic circuits. In this paper we have tried to provide a quaternary full adder circuit based on carbon nanotube field effect transistors that is more efficient so that in addition to speeding up the operation, productivity and reducing power consumption are also considered. The proposed design is simulated using the HSPICE Synopsis simulator and compared with previous designs. Simulations have also been performed to investigate the effect of process, temperature and voltage. The results show that the proposed design is faster than previous designs and reduces the PDP parameter by about 75% compared to the best reported design.

### Keywords

Full adder, Carbon nanotubes, Multi-valued logic, Nanoelectronics.

### 1- Short Introduction

Following the slowdown in feature reduction and apparent physical shortcomings of the conventional CMOS technology in nano scale, such as quantum tunnelling and high leakage current, temperature-induced instability and poor gate control, researchers have introduced alternative nano electronic devices, like CNFETs to alleviate these problems and facilitate production of heavily condensed and power-efficient designs. However, more condensation leads to bigger interconnection networks, longer path delays, higher power consumption and more complex routing. In this case, multi-valued logics can aid to compress more information in lesser signal routes, freeing up die area for actual processing units. Hence, we have designed a quaternary full adder circuit, uniformly designed with CNFETs.

### 2- Proposed Work and Methodology

The previous quaternary full adder designs in the literature, either suffer from high static power consumption or too many transistors with distinct threshold voltages. The proposed design in this paper, however, utilises a quaternary decoder to implement basic arithmetic operations ( $A+1$ ,  $A-1$  and  $A\pm 2$ ) and a 5-input multiplexer to select proper operations based on given input conditions. Combining two inputs ( $A$  and  $C_{in}$ ) of the full adder, its truth table can be grouped into five basic operations including the ones mentioned earlier.

The functionality of our design has been extensively tested and verified in HSPICE simulations under various operating conditions. Moreover, the variations of CNT diameters and their pitch within transistors as two main challenging factors to control in fabrication of CNFETs, has been investigated in our design and the achieved results imply higher stability and more consistent performance compared to previous works.

### 3- Conclusion

In this paper, we have demonstrated a novel approach to design a quaternary full adder cell using quaternary decoders and basic arithmetic operators. Due to the one-shot (single active output) nature of these components, the number of active paths from  $V_{DD}$  to GND has been significantly reduced, leading to elimination of static power consumption in our proposed design. The simulation results also confirm shorter delays even in worst case scenarios while maintaining appropriate stability with variable temperature and power supply voltage.

### 4- References

1. Daraei, S. A. Hosseini, "Novel energy-efficient and high-noise margin quaternary circuits in nanoelectronics", *AEU - International Journal of Electronics and Communications*, vol. 105, pp. 145–162, 2019.
2. S. Fakhari, N. H. Bastani, M. H. Moaiyeri, "A low-power and area-efficient quaternary adder based on CNTFET switching logic", *Analog Integrated Circuits and Signal Processing*, vol. 98, no. 1, pp. 221–232, 2018.
3. F. Sharifi, M. H. Moaiyeri, K. Navi, N. Bagherzadeh, "Quaternary full adder cells based on carbon nanotube FETs", *Journal of Computational Electronics*, vol. 14, no. 3, pp. 762–772, 2015.

## طراحی تمام جمع کننده چهار ارزشی مبتنی بر ترانزیستورهای اثر میدانی نانولوله کربنی

فاضل شریفی

استادیار، دانشکده مهندسی برق و کامپیوتر، دانشگاه تحصیلات تکمیلی صنعتی و فناوری پیشرفته، کرمان، ایران

امیر حسین حسینی

دانشجوی کارشناسی ارشد، دانشکده مهندسی برق و کامپیوتر، دانشگاه تحصیلات تکمیلی صنعتی و فناوری پیشرفته، کرمان، ایران

میلاذ نورایی

کارشناسی ارشد، دانشکده مهندسی برق و کامپیوتر، دانشگاه تحصیلات تکمیلی صنعتی و فناوری پیشرفته، کرمان، ایران

### چکیده

تمام جمع کننده یکی از مهمترین قسمت‌های سیستم پردازش است و کاربردهای گوناگونی دارد و در اکثر مدارهای حسابی استفاده می‌شود. بنابراین، طراحی جمع کننده‌هایی با عملکرد بالا باعث بهبود کلی عملکرد سیستم خواهد شد. از طرفی تکنولوژی ساخت ماسفت‌ها به دلیل کوچکتر شدن ترانزیستورها با چالش‌هایی روبه‌رو شده است که برای حل این مشکل می‌توان از فناوری‌های جدید استفاده کرد. ترانزیستورهای اثر میدانی نانولوله کربنی (CNFET) به عنوان یکی از گزینه‌های مناسب برای جایگزینی ماسفت‌ها معرفی شده‌اند. ولتاژ آستانه این نوع ترانزیستور را می‌توان با تنظیم قطر نانولوله‌ها، به راحتی تنظیم کرد که آن را برای طراحی مدارهای چند ارزشی بسیار مناسب می‌کند. در این تحقیق سعی شده است تا با استفاده از ترانزیستورهای اثر میدانی نانولوله کربنی، یک مدار تمام جمع کننده چهار ارزشی ارائه کنیم که کارا تر باشد. به صورتی که علاوه بر تسریع در عملیات؛ بهره‌وری و کاهش توان مصرفی نیز مد نظر قرار گیرد. طرح پیشنهادی با استفاده از نرم‌افزار Synopsis HSPICE شبیه‌سازی شده و با طرح‌های گذشته مقایسه می‌شود. همچنین شبیه‌سازی‌هایی برای بررسی تاثیرات تغییر دما، فرآیند ساخت و ولتاژ کاری در عملکرد طرح پیشنهادی انجام شده است. براساس نتایج حاصله، طراحی ما سریعتر از طرح‌های قبلی است و پارامتر PDP را در حدود ۷۵٪ نسبت به بهترین کار ارائه شده کاهش می‌دهد.

### کلمات کلیدی

تمام جمع کننده، نانولوله‌های کربنی، منطق چند ارزشی، نانوالکترونیک.

نام نویسنده مسئول: فاضل شریفی

ایمیل نویسنده مسئول: f.sharifi@kgut.ac.ir

تاریخ ارسال مقاله: ۱۴۰۲/۰۵/۳۰

تاریخ(های) اصلاح مقاله: ۱۴۰۲/۰۷/۱۷

تاریخ پذیرش مقاله: ۱۴۰۲/۰۸/۲۸

### ۱- مقدمه

به شمار می‌آیند.

در سنوات گذشته طراحی و پیاده‌سازی بیشتر مدارات بر اساس منطق دودویی بوده است. مشکل اصلی سیستم دودویی محدود کردن تعداد اتصالات تراشه است. استفاده از منطق دودویی برای تولید تراشه‌هایی که از نظر مصرف توان و عملکرد مناسب باشند، دشوار خواهد بود. یک راه حل مؤثر برای مقابله با محدودیت‌ها و چالش‌های منطق دودویی استفاده از منطق چند ارزشی است. چالش پیچیدگی اتصالات که در منطق دودویی وجود دارد را می‌توان با بهره‌گیری از طراحی منطق چند ارزشی بهبود داد [۴].

یکی از موارد ضروری در طراحی مدارهای منطق چند ارزشی، نیاز طراح به انتخاب ولتاژ آستانه دلخواه برای ترانزیستورهای مدار است. در ترانزیستورهای اثر میدانی نانولوله کربنی، ولتاژ آستانه به راحتی با تعیین قطر نانولوله‌ها قابل تنظیم است. به همین دلیل، استفاده از این نوع ترانزیستورها در طراحی مدارهای منطق چند ارزشی مورد توجه قرار گرفته است و انواع مدارهای پایه و

زندگی امروزان مصداق کامل «تراشه محوری» است، در حقیقت همه چیز به «تراشه» ختم می‌شود. از کوچکترین ابزار مصرف کننده انرژی گرفته تا تلفن‌های همراه و دستگاه‌های محاسباتی همگی تحت فرمان تراشه‌ها قرار دارند. کاهش ابعاد ماسفت‌ها باعث ایجاد چالش‌هایی مثل اطمینان پذیری پایین، اثرات کانال کوتاه و کاهش کنترل گیت و افزایش جریان نشتی می‌گردد. به همین دلیل برای غلبه بر چالش‌های مذکور و مشکلات ایجاد شده، رویکرد جایگزینی ماسفت‌ها با افزاره‌های جدید با محدودیت‌های کمتر در مقیاس نانو مانند ترانزیستورهای اثر میدانی نانولوله کربنی، اتوماتای سلولی کوانتومی نقطه‌ای<sup>۱</sup> و ترانزیستورهای تک الکترونی<sup>۲</sup> مطرح شده است [۱-۳]. در میان افزاره‌های جایگزین معرفی شده، ترانزیستورهای اثر میدانی نانولوله کربنی به دلیل شباهت ساختاری با ماسفت‌ها و در عین حال مزایای قابل توجه از نظر رسانایی الکتریکی، از محتمل‌ترین گزینه‌ها برای آغاز دوران گذار از ماسفت‌ها

$$V_{th} = \frac{E_g}{2e} = \frac{a_0 V_\pi}{e D_{CNT}} \approx \frac{0.43}{D_{CNT}} \quad (2)$$

که در آن،  $E_g$  شکاف باند انرژی در نانولوله،  $V_\pi$  انرژی پیوندهای کربنی و  $e$  واحد بار الکترون در نظر گرفته می‌شود. بدیهی است که ولتاژ آستانه با قطر نانولوله‌ها رابطه عکس دارد. جدول ۱، اعداد کایرال و قطر نانولوله‌ها را به همراه ولتاژ آستانه برای سه نوع ترانزیستور که در طراحی مدار پیشنهادی این مقاله به کار رفته‌است، نشان می‌دهد.

جدول ۱- ولتاژ آستانه ترانزیستور براساس اعداد بردار کایرال

ولتاژ آستانه (V)	قطر نانولوله (nm)	بردار کایرال (n, m)
۰/۵۵۷	۰/۷۸۳	(۱۰, ۰)
۰/۲۹۳	۱/۴۸۷	(۱۹, ۰)
۰/۱۹۲	۲/۲۷	(۲۹, ۰)

ولتاژ آستانه ترانزیستور، علاوه بر قطر نانولوله‌ها، به عوامل دیگری مانند جنس و ضخامت لایه عایق، طول کانال و دمای کاری نیز وابسته است اما در شرایط کلی، میزان تأثیر این عوامل را می‌توان در حد انحراف (offset) از مقدار تعیین‌شده با رابطه ۲ در نظر گرفت [۱۰].

روش‌های متنوع و کارآمدی برای تولید نانولوله‌ها با بردار کایرال مشخص وجود دارد. با این حال روش‌های پس‌پردازشی نیز برای حذف نانولوله‌های ناخواسته (از جمله نانولوله‌های رسانا) و تنظیم دقیق‌تر مؤلفه‌های ترانزیستور معرفی شده و قابل اجراست. به طور مثال، برای تنظیم ولتاژ آستانه می‌توان پس از تشکیل ترانزیستورها در فرآیند ساخت، با اعمال ولتاژی مشخص به پایه‌های گیت، نانولوله‌های دلخواه را خاموش نگه داشت و سپس با ایجاد یک ولتاژ زیاد میان پایه‌های سورس و درین، نانولوله‌های با کایرال اشتباه را سوزاند و از مدار حذف کرد [۱۱]. این در حالی است که برای ساخت مدارهای چند-آستانه‌ای با ماسفت‌ها، به ازای هر ولتاژ آستانه مجزا دو مرحله لیتوگرافی جدید (برای هر نوع n-FET و p-FET) به فرآیند ساخت اضافه می‌شود.

علاوه بر ساده‌تر شدن رویه تعیین ولتاژ آستانه، به کارگیری نانولوله‌های کربنی در ترانزیستور باعث کنترل بهتر جریان کانال و کاهش جریان نشتی آن در حالت خاموش می‌شود که این موضوع از اتلاف توان جلوگیری می‌کند. از سوی دیگر، به دلیل ساختار منظم و تک بعدی نانولوله‌ها، حامل‌های بار (حفره‌ها و الکترون‌ها) می‌توانند با اصطکاک اندکی در امتداد نانولوله‌ها حرکت کنند. به دنبال افزایش رسانایی در کانال، امکان تولید ترانزیستورهای کوچکتر، با بهره جریان بیشتر نسبت به ماسفت‌ها فراهم می‌شود [۱۲].

در کنار مزیت‌های بیان‌شده، ساخت این نوع ترانزیستورها با چالش‌هایی نیز همراه است. به طور مثال، مقاومت زیاد اتصال فلز با نانولوله‌ها در نواحی سورس و درین، اتلاف توان در ترانزیستور را بالا می‌برد. البته، حضور چند نانولوله در کانال به صورت موازی (از نظر الکتریکی) باعث کاهش مقاومت این نقاط می‌شود. گذشته از این، پیچیدگی‌های فرآیند ساخت، در مقیاس زیر ۱۰ نانومتر برای این ترانزیستورها همانند ماسفت‌ها، افزایش جریان نشتی و تغییرات محسوس ولتاژ آستانه را به دنبال دارد [۱۳]. با این وجود، همانطور که در بخش پیش گفته‌شد، مزایای ترانزیستورهای اثر میدانی نانولوله کربنی در مقیاس‌های بزرگتر، زمینه‌ساز افزایش بهره‌وری و کاهش تأخیر مدارهاست.

## ۲-۲- طراحی منطق چند ارزشی

مدارهای منطقی دودویی که امروزه رایج هستند با چالش بزرگ اتصالات داخلی تراشه مواجه شده‌اند. با افزایش نیاز به پردازش‌های سنگین، تراکم

محاسباتی به روش‌های گوناگونی به صورت سه ارزشی و چهار ارزشی با آن‌ها پیاده‌سازی شده‌است [۵-۷].

مدارهای تمام جمع‌کننده یکی از بنیادی‌ترین عملیات حسابی در واحدهای محاسباتی را انجام می‌دهند. ما در این تحقیق با استفاده از ترانزیستورهای اثر میدانی نانولوله کربنی یک مدار تمام جمع‌کننده چهار ارزشی طراحی کرده‌ایم که در ادامه به معرفی آن می‌پردازیم و عملکرد آن را از نظر تأخیر، توان مصرفی و پایداری در شرایط محیطی مختلف با طرح‌های گذشته مقایسه می‌کنیم.

## ۲- مبانی و مفاهیم اولیه

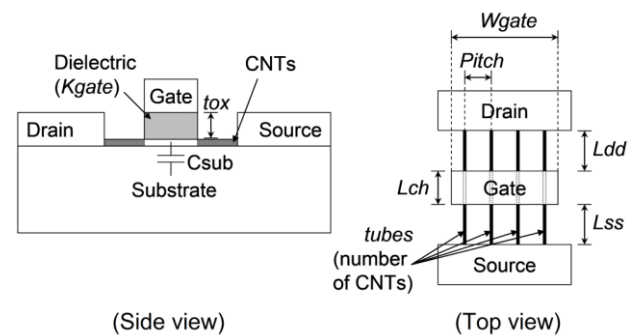
در این بخش، ابتدا به اختصار ترانزیستورهای نانولوله کربنی را معرفی می‌کنیم و سپس با طراحی مدارهای منطق چند ارزشی آشنا می‌شویم.

### ۲-۱- ترانزیستورهای اثر میدانی نانولوله کربنی

در این نوع ترانزیستورها بر خلاف ماسفت‌ها، از نانولوله‌های کربنی برای تشکیل کانال زیر گیت (gate) استفاده می‌شود. هر نانولوله کربنی، در واقع یک ورقه گرافن است که در راستای یک بردار، معروف به بردار کایرال (chiral) به دور خود پیچیده شده و به شکل یک استوانه درآمده‌است. قطر هر نانولوله از روی طول بردار کایرال مطابق رابطه ۱ مشخص می‌شود [۸]:

$$D_{CNT} = \frac{C_h}{\pi} = \frac{\sqrt{3}a_0\sqrt{m^2 + mn + n^2}}{\pi} \quad (1)$$

که در آن  $a_0$  طول پیوندهای کربنی در ورق گرافن،  $C_h$  طول بردار کایرال،  $m$  و  $n$  نیز اعداد صحیح مشخصه کایرال هستند. علاوه بر این، خاصیت رسانایی یا نیمه‌رسانایی نانولوله تحت تأثیر راستای بردار کایرال و مشخصه‌های آن تعیین می‌شود؛ اگر تفاضل  $m$  و  $n$  مضرب صحیحی از ۳ باشد ( $n-m=3k$ )، آنگاه نانولوله رسانای الکتریسیته است و در غیر این صورت مانند یک نیمه‌رسانا رفتار می‌کند.



شکل ۱- ساختار ترانزیستور اثر میدانی نانولوله کربنی [۹]

شکل ۱، مدل ترانزیستور اثر میدانی نانولوله کربنی به کار رفته در طرح پیشنهادی را با ساختار شبه-ماسفت نمایش می‌دهد. در این شکل، عرض فلز گیت با  $W_{gate}$  و طول کانال با  $L_{ch}$  مشخص شده‌است. مؤلفه‌های  $L_{dd}$  و  $L_{ss}$  نیز طول نواحی آغشته به ناخالصی را در سمت سورس و درین نانولوله‌ها تعیین می‌کنند. در نوع شبه-ماسفت برای ساخت n-FET و p-FET از ناخالصی نوع یکسان در هر دو ناحیه سورس و درین استفاده می‌شود. ضخامت اکسید گیت و ثابت دی‌الکتریک آن به ترتیب با  $tox$  و  $K_{gate}$  مشخص می‌شود. مؤلفه‌های  $tubes$  و  $pitch$  نیز تعداد نانولوله‌ها و فاصله میان آن‌ها را نشان می‌دهند.

بر خلاف ماسفت‌ها، تاکنون فرم بسته‌ای از تمامی عوامل مؤثر در تعیین ولتاژ آستانه ترانزیستورهای اثر میدانی نانولوله کربنی ارائه نشده است اما به طور کلی، رابطه ۲، برحسب انرژی شکاف باند و قطر نانولوله‌ها تقریباً قابل قبولی برای ولتاژ آستانه ترانزیستور ارائه می‌دهد [۱۰]:

### ۳- مرور طرح‌های پیشین

یکی از چالش‌های مهم در طراحی مدارهای منطق چند ارزشی، وجود سطوح ولتاژ میانی و نحوه تولید آن‌هاست. برای حل این چالش از رویکردهای متفاوتی در طراحی مدارات استفاده شده‌است که ما سه نمونه از آن‌ها را برای مقایسه طرح پیشنهادی خود برگزیده‌ایم [۱۶-۱۸].

در رویکرد اول، برای طراحی تمام‌جمع‌کننده چهار ارزشی از واحدهای تبدیل سیگنال دودویی به چهار ارزشی و بالعکس استفاده شده‌است [۱۸]. بدین صورت که در ابتدا سیگنال‌های ورودی چهار ارزشی به دودویی تبدیل می‌شوند و پس از عبور از مدارهای جمع‌کننده دودویی، پاسخ‌های مدار مجدداً به حالت چهار ارزشی تبدیل می‌شوند. هرچند که ایده مطرح شده جالب به نظر می‌رسد اما در مبدل دودویی به چهار ارزشی این طرح، از شیوه تقسیم ولتاژ به صورت مقاومتی برای تولید سطوح ولتاژ میانی استفاده شده‌است که اتلاف توان زیادی را به مدار تحمیل می‌کند.

در رویکرد دوم، پس از تفکیک جدول درستی به سه صورت منفی، میانه و مثبت (NQ, IQ, PQ) سه پیاده‌سازی متفاوت از سیگنال sum (و carry) به دست می‌آید [۱۶]. در نهایت خروجی این سه تابع به یک مدار انکودر متصل می‌شود تا خروجی چهار ارزشی نهایی مدار تولید شود. در مدار انکودر این طرح، سطوح ولتاژ میانی با تقسیم‌کننده‌های ولتاژ به صورت دیویدی تولید می‌شوند که اتلاف توان کمتری دارند.

در رویکرد سوم، سطوح ولتاژ میانی به عنوان خطوط تغذیه همچون GND و  $V_{DD}$  در سراسر مدار در دسترس هستند [۱۷]. ساختار کلی مدار از دو واحد نیم‌جمع‌کننده متوالی تشکیل شده‌است. در هر واحد، دو دیکودر وجود دارد که براساس مقادیر ورودی، مسیرهای متفاوتی از مدار را فعال می‌کنند و باعث اتصال سطوح ولتاژ مختلف به خروجی‌های مدار می‌شوند. با این روش، علاوه بر کاهش تعداد ترانزیستورهای مدار، اتلاف توان ایستا نیز بهبود پیدا می‌کند. در طرح پیشنهادی ما نیز با استفاده از همین رویه و حذف واحدهای نیم‌جمع‌کننده یک طراحی یکپارچه از تمام جمع‌کننده‌های چهار ارزشی ارائه شده‌است که در بخش بعد به معرفی سازوکار آن می‌پردازیم.

### ۴- طرح پیشنهادی

در این مقاله سعی شده‌است تا با استفاده از ترانزیستورهای اثر میدانی نانولوله کربنی و منطق چند ارزشی یک تمام‌جمع‌کننده چهار ارزشی (QFA) با توان و تاخیر پایین نسبت به کارهای پیشین انجام‌شده صورت بگیرد. در ابتدا به بررسی مدارهای مورد استفاده در مدار QFA پیشنهادی پرداخته شده‌است و کارکرد هر مدار مورد بررسی قرار می‌گیرد.

#### ۴-۱- مدار دیکودر چهار ارزشی

دیکودرها یکی از مدارات پایه منطقی هستند. دیکودر چهار ارزشی از سه معکوس‌کننده با ولتاژ آستانه متفاوت استفاده می‌کند و چهار خروجی  $S_0, S_1, S_2$  و  $S_3$  دارد که با توجه به مقدار  $N$ ، می‌توانند مقدار  $V_{DD}$  یا  $GND$  داشته باشند. جدول درستی دیکودر چهار ارزشی در جدول ۳ آمده‌است.

جدول ۳- جدول درستی دیکودر چهار ارزشی

N	S0	S1	S2	S3
0	3	0	0	0
1	0	3	0	0
2	0	0	3	0
3	0	0	0	3

مدارهای روی یک تراشه درحال افزایش است و این باعث ازدیاد تعداد اتصالات و مشکلات مسیریابی روی تراشه می‌شود. به طوری که در یک مدار دودویی تقریباً ۷۰٪ فضای تراشه توسط اتصالات اشغال می‌شود [۱۴]. اگر فقط از منطق دودویی استفاده شود، تولید مداری که از نظر توان و عملکرد بهینه باشد دشوار می‌شود. استفاده از منطق چند ارزشی به جای منطق دودویی یک راه حل موثر برای مقابله با محدودیت‌ها و چالش‌های پیش روی منطق دودویی ارائه می‌دهد. مزیت اصلی منطق چند ارزشی، کاهش تعداد اتصالات است. با استفاده از منطق چند ارزشی می‌توان به چگالی بالاتری رسید و مدارات پیچیده را با اتصالات کمتری پیاده‌سازی کرد و با انتقال اطلاعات بیشتر از هر خط سیگنال و استفاده از بیش از دو سطح منطقی عملکرد و کارایی مدار را بهبود بخشید [۱۵].

در طراحی مدارهای منطق چند ارزشی به طور معمول از سطوح ولتاژ مختلف برای مشخص کردن مقادیر منطقی استفاده می‌شود. در منطق چهار ارزشی، مقادیر (۰)، (۱)، (۲) و (۳) به ترتیب با سطوح ولتاژ صفر،  $V_{DD}/3$ ،  $2V_{DD}/3$  و  $V_{DD}$  نشان داده می‌شوند.

معکوس‌کننده‌ها جزء پایه در طراحی هر مدار منطقی هستند که در منطق چهار ارزشی چهار نوع از آن تعریف می‌شود و معادلات مشخصه هر یک از آن‌ها در روابط ۳ تا ۶ آمده‌است:

$$NQI = \begin{cases} 3 & \text{if } IN = 0 \\ 0 & \text{if } IN \neq 0 \end{cases} \quad (3)$$

$$IQI = \begin{cases} 3 & \text{if } IN < 2 \\ 0 & \text{if } IN \geq 2 \end{cases} \quad (4)$$

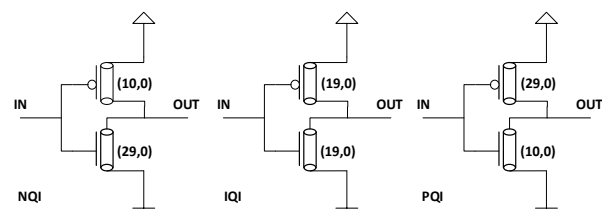
$$PQI = \begin{cases} 3 & \text{if } IN \neq 3 \\ 0 & \text{if } IN = 3 \end{cases} \quad (5)$$

$$SQI = 3 - IN \quad (6)$$

در این طرح تنها از معکوس‌کننده‌های  $NQI$ ،  $IQI$  و  $PQI$  استفاده شده‌است. شماتیک این معکوس‌کننده‌ها به همراه جدول درستی آن‌ها به ترتیب در شکل ۲ و جدول ۲ مشاهده می‌شود. لازم به ذکر است که اعداد داخل پرانتز، بردار کایرال نانولوله‌های ترانزیستورها را مشخص می‌کنند. به طور نمونه، در معکوس‌کننده نوع  $PQI$ ، با انتخاب بردار (۰، ۱۰) برای  $n$ -FET  $V_{TH}=0.557V$  خواهد بود. در نتیجه، با فرض  $V_{DD}=0.9V$ ، این ترانزیستور برای ورودی کمتر از  $2V_{DD}/3$ ، همواره خاموش می‌ماند در حالی که برای  $p$ -FET  $|V_{TH}|=0.192V$  است و ورودی کمتر از  $2V_{DD}/3$  این ترانزیستور را روشن می‌کند و خروجی را به  $V_{DD}$  متصل می‌کند.

جدول ۲- جدول درستی  $NQI$ ،  $IQI$  و  $PQI$

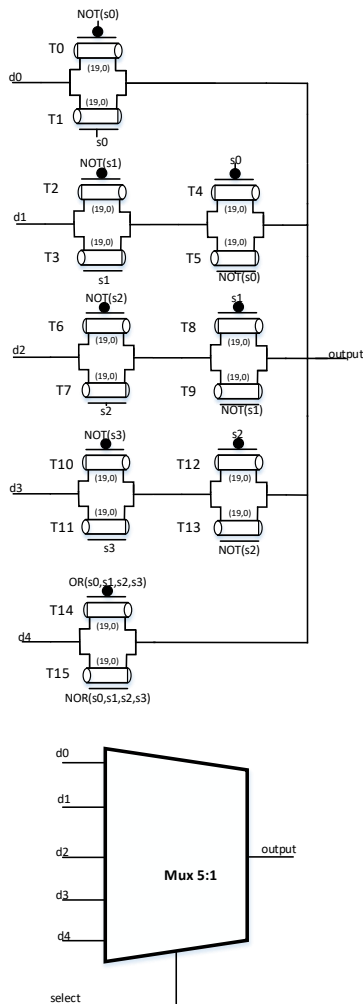
IN	NQI	IQI	PQI
0	3	3	3
1	0	3	3
2	0	0	3
3	0	0	0



شکل ۲- شماتیک مدارهای  $NQI$ ،  $IQI$  و  $PQI$

جدول ۴- جدول درستی مالتی پلکسر ۵×۱

Select	Output
0	d0
1	d1
2	d2
3	d3
4	d4



شکل ۴- شماتیک مدار مالتی پلکسر ۵×۱

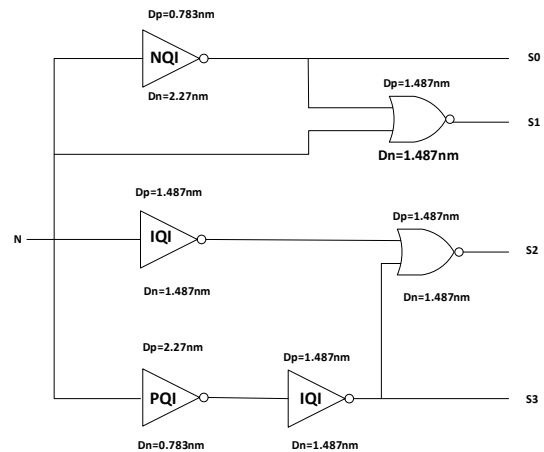
۴-۳- مدارهای محاسباتی A+1، A-1 و A±2

در طراحی این QFA ما سه عملیات حسابی پایه را به صورت A-1، A+1 و A±2 پیاده‌سازی کردیم. جدول درستی این مدارها به همراه شماتیک آن‌ها به ترتیب در جدول ۵ و شکل ۵ آمده‌است. همانطور که مشاهده می‌شود هر سه مدار از نظر ساختاری مشابه یکدیگرند و تنها در نحوه اتصال ورودی‌ها با هم تفاوت دارند. در این مدارها،  $i$  - امین خروجی دیکودر چهار ارزشی است.

جدول ۵- جدول درستی A+1، A-1 و A±2

A	A+1	A-1	A±2
0	1	3	2
1	2	0	3
2	3	1	0
3	0	2	1

شماتیک مدار دیکودر نیز در شکل ۳ مشاهده می‌شود. مقادیر Dp و Dn قطر نانولوله‌ها در ترانزیستورهای n-FET و p-FET هر جزء مدار را نشان می‌دهد. طبق جدول درستی مدار، روشن است که برای تولید خروجی S0، یک معکوس‌کننده از نوع NQI کفایت می‌کند. به همین ترتیب، خروجی S3 با سری کردن دو معکوس‌کننده PQI و IQI تولید می‌شود. در ابتدا معکوس‌کننده PQI باعث می‌شود به ازای N=3، مقدار (۰) و برای سایر حالت‌ها مقدار (۳) ایجاد شود. با معکوس کردن این حالت‌ها از طریق معکوس‌کننده IQI خروجی S3 مطابق ستون چهارم جدول ۳ تولید می‌شود. خروجی S1 نیز از ترکیب ورودی N با S0 به وسیله گیت NOR تولید می‌شود. این گیت در حالتی که یک ورودی آن (۰) باشد معکوس ورودی دیگر (از نوع IQI) را در خروجی تحویل می‌دهد. بنابراین به ازای N=0، با در نظر گرفتن S0=3 خروجی (۰) خواهد بود، در مابقی حالت‌ها نیز S0=0 و در نتیجه S1=IQI(N) خواهد بود. به روش مشابه، خروجی S2 از ترکیب با خروجی S3 از طریق یک گیت NOR تولید می‌شود. در نتیجه به ازای N=3، خروجی معکوس‌کننده و S2=IQI(S3) هر دو (۰) خواهند بود. در حالت N=2، معکوس‌کننده و S3 هر دو برابر (۰) هستند و گیت NOR خروجی (۳) خواهد داشت.



شکل ۳- شماتیک مدار دیکودر چهار ارزشی

۴-۲- مدار مالتی پلکسر ۵×۱

از ترکیب خروجی‌های دیکودر چهار ارزشی با تعدادی گیت انتقالی می‌توان یک مالتی پلکسر ۵×۱ طراحی کرد. شماتیک این مالتی پلکسر در شکل ۴ قابل مشاهده‌است. مسیر هر شاخه ورودی تا خروجی مالتی پلکسر با حداقل یک گیت انتقالی کنترل می‌شود که ورودی آن به یکی از خروجی‌های دیکودر چهار ارزشی متصل است. عملکرد کلی مدار به صورت زیر است:

- حالت select=0: خروجی S0=3 و مابقی صفر خواهند بود، در نتیجه ترانزیستورهای T0 و T1 روشن و خروجی برابر d0 می‌شود.
  - حالت select=1: خروجی S1=3 و مابقی صفر خواهند بود، در نتیجه ترانزیستورهای T2 تا T5 روشن و خروجی برابر d1 می‌شود.
  - حالت select=2: خروجی S2=3 و مابقی صفر خواهند بود، در نتیجه ترانزیستورهای T6 تا T9 روشن و خروجی برابر d2 می‌شود.
  - حالت select=3: خروجی S3=3 و مابقی صفر خواهند بود، در نتیجه ترانزیستورهای T10 تا T13 روشن و خروجی برابر d3 می‌شود.
  - حالت select=4: تمام خروجی‌های دیکودر صفر، ترانزیستورهای T14 و T15 روشن و خروجی برابر d4 می‌شود.
- تمام حالت‌های بالا در جدول درستی مالتی پلکسر ۵×۱ که در جدول ۴ آمده‌است خلاصه می‌شوند.

جدول ۶- جدول درستی تمام جمع کننده چهار ارزشی

N=A+C <sub>in</sub>	B	Sum	=	
			Carry	=
0	0	0	B	0
0	1	1		0
0	2	2		0
0	3	3		0
1	0	1	B + 1	0
1	1	2		0
1	2	3		0
1	3	0		1
2	0	2	B ± 2	0
2	1	3		0
2	2	0		1
2	3	1		1
3	0	3	B - 1	0
3	1	0		1
3	2	1		1
3	3	2		1
4	0	0	B	1
4	1	1		1
4	2	2		1
4	3	3		1

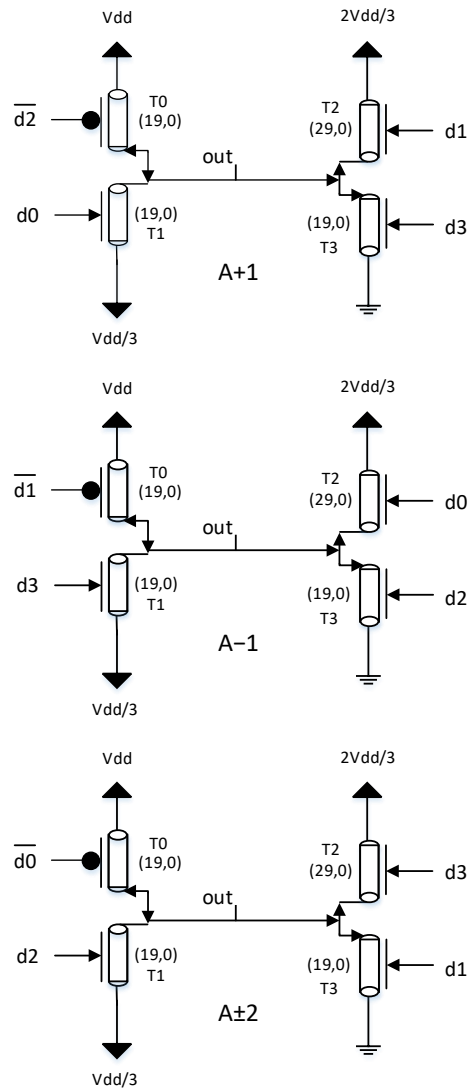
۵- نتایج شبیه سازی

در این بخش QFA پیشنهادی را با استفاده از Synopsys HSPICE با مدل فناوری ۳۲ نانومتری که در دانشگاه استنفورد طراحی شده شبیه سازی می کنیم [۹]. جدول ۷، مؤلفه های مهم این مدل را به همراه مقادیر پیش فرض نشان می دهد. در ادامه ما نتایج شبیه سازی QFA پیشنهادی خود را ارائه و با طرح های گذشته که در بخش ۳ توضیح داده شد مقایسه می کنیم [۱۶-۱۸].

شکل موج گذرا QFA پیشنهادی در شکل ۸ مشاهده می شود که عملکرد صحیح مدار را تأیید می کند. سه ورودی (A، B و C<sub>in</sub>) و دو خروجی (Tsum و Tcarry)، در این شکل مشخص شده اند.

جدول ۷- مؤلفه های مدل ترانزیستور به کار رفته در شبیه سازی ها [۹]

مؤلفه	توضیح	مقدار
Lch	طول فیزیکی کانال	32.0nm
Lss/Ldd	طول ناحیه آغشته به ناخالصی در سوی سورس / درین نانولوله ها	32.0nm
Sout/Dout	نحوه اتصال سورس / درین به افزاره مجاور: (۰): استفاده از پایانه فلزی برای اتصال (۱): اتصال مستقیم نانولوله ها به یکدیگر	0
Wgate	عرض گیت فلزی	6.4nm
Kgate	ثابت دی الکتریک اکسید گیت	16.0
Tox	ضخامت اکسید گیت	4.0nm
Pitch	فاصله بین دو نانولوله همجوار در کانال	20.0nm
(n1, n2)	اعداد کاپرال نانولوله ها	(19, 0)
tubes	تعداد نانولوله ها در کانال	3



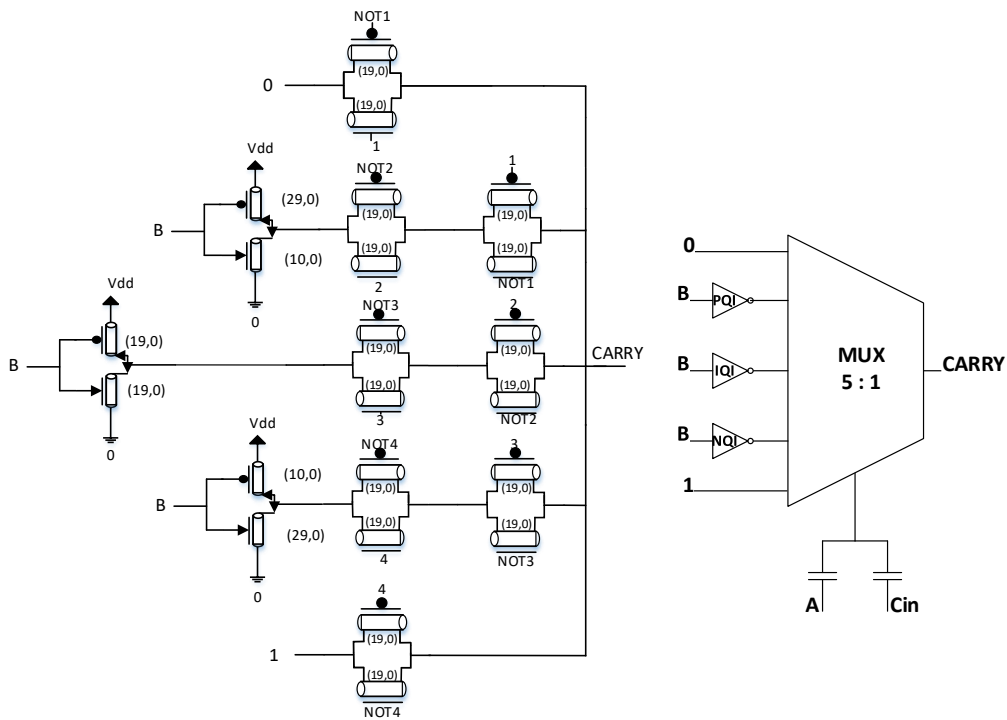
شکل ۵- شماتیک مدارهای A+1، A-1، و A±2

۴-۴- مدار تمام جمع کننده چهار ارزشی پیشنهادی

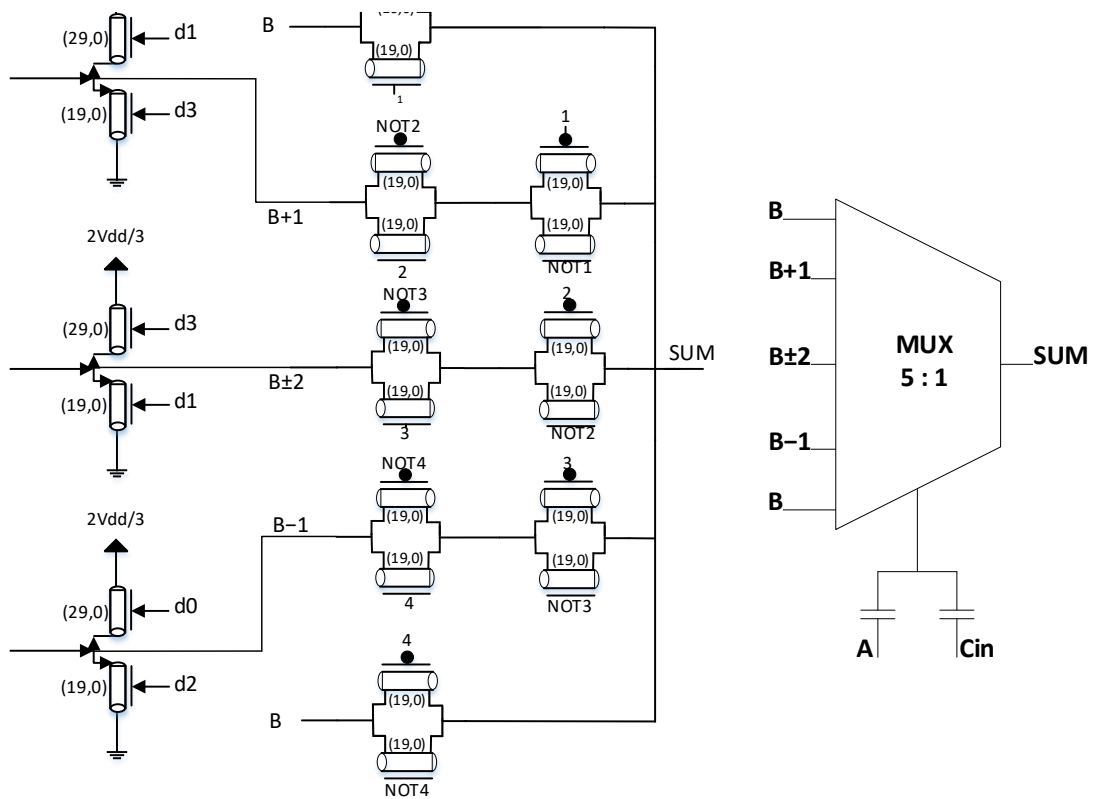
یک تمام جمع کننده چهار ارزشی، سه ورودی (A، B و C<sub>in</sub>) دریافت و دو خروجی تولید می کند (Sum و Carry). تمام جمع کننده پیشنهادی بر اساس جدول درستی نشان داده شده در جدول ۶ طراحی شده است که در آن N مجموع A و C<sub>in</sub> است. براساس داده های جدول می توان اینگونه استنباط کرد:

۱. اگر N=0 باشد آنگاه، Sum=B و Carry=0 است.
۲. اگر N=1 باشد آنگاه، Sum=B+1 و Carry=PQI'(B) است.
۳. اگر N=2 باشد آنگاه، Sum=B±2 و Carry=IQI'(B) است.
۴. اگر N=3 باشد آنگاه، Sum=B-1 و Carry=NQI'(B) است.
۵. اگر N=4 باشد آنگاه، Sum=B و Carry=1 است.

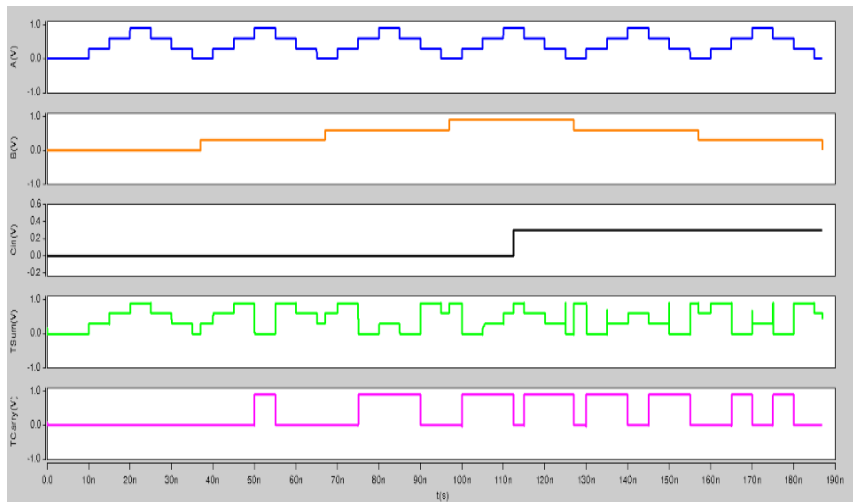
برای پیاده سازی جدول ۶ و طراحی مدارهای Sum و Carry، می توان به راحتی از دو مالتی پلکسر ۵×۱ استفاده کرد. ابتدا مجموع A و C<sub>in</sub> را با دو خازن موازی به دست آورده و ورودی select مالتی پلکسر را طبق شکل های ۶ و ۷، به آن وصل می کنیم. برای مدار Sum، ورودی d0 و d4 مستقیماً به B و ورودی های d1 تا d3 به ترتیب به B+1، B±2، B-1 وصل می شوند. به طور مشابه، برای مدار Carry ورودی های d0 و d4 را به ترتیب به GND و V<sub>DD</sub>/3 متصل می کنیم. ورودی های d1 تا d3 نیز طبق جدول ۶ به معکوس کننده های نوع مناسب وصل می شوند. در ادامه طرح کلی مدارهای Sum و Carry به همراه شماتیک سطح ترانزیستور آن ها در شکل های ۶ و ۷ آورده شده است.



شکل ۶- مدار Carry پیشنهادی



شکل ۷- مدار Sum پیشنهادی



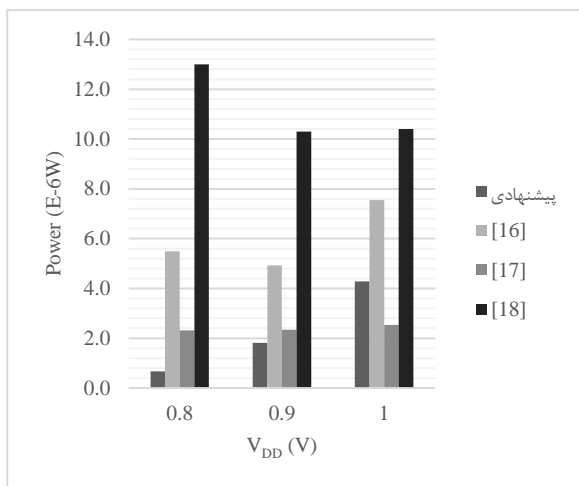
شکل ۸- شکل موج گذرای سلول تمام جمع کننده پیشنهادی

قطر باعث تغییر در ولتاژ آستانه ترانزیستورها می شود و تغییر چگالی بر کارایی آن ها اثر بخش است؛ بنابراین، برای بررسی استحکام سلول تمام جمع کننده برای این دو منبع تغییرات، شبیه سازی مونت کارلو با حداکثر ۱۵٪ تغییر، با استفاده از توزیع گوسی با  $\sigma 3$  انجام شده است. تغییرات PDP در برابر تغییرات فرآیند در شکل های ۱۵ و ۱۶ نشان داده شده است. نتایج نشان می دهد که طرح پیشنهادی دارای کمترین تغییر در برابر تغییر چگالی و قطر است.

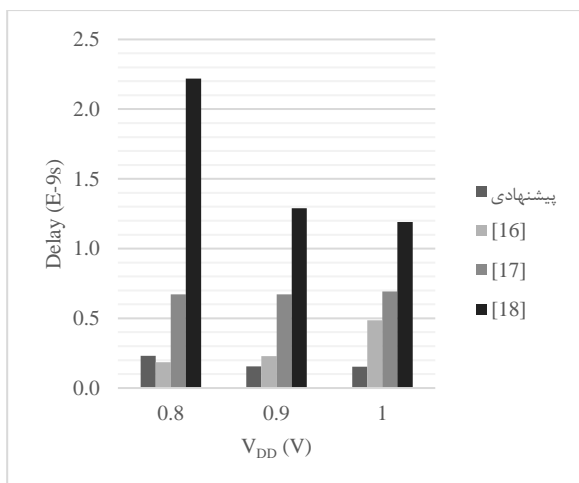
علاوه بر این، جدول ۸، نتایج شبیه سازی مدارها از جمله بدترین حالت تأخیر، مصرف توان متوسط و PDP (حاصل ضرب توان مصرفی در تأخیر) تحت منبع تغذیه ۰/۹ ولت و در دمای اتاق را نشان می دهد.

جدول ۸- نتایج شبیه سازی جمع کننده چهار ارزشی پیشنهادی و سایر طرح ها

طراحی	تأخیر ( $\times 10^{-9}$ s)	توان ( $\times 10^{-6}$ W)	PDP ( $\times 10^{-10}$ J)
پیشنهادی	۰/۱۵۶	۱/۸۱	۰/۲۸۲
[۱۶]	۰/۲۲۹	۴/۹	۱/۱۲۸
[۱۷]	۰/۶۷۳	۲/۳۴	۱/۵۸
[۱۸]	۱/۳۰۵	۱۰/۶	۱۳/۴۶



شکل ۹- نتایج شبیه سازی توان در ولتاژهای مختلف منبع تغذیه



شکل ۱۰- نتایج شبیه سازی تأخیر در ولتاژهای مختلف منبع تغذیه

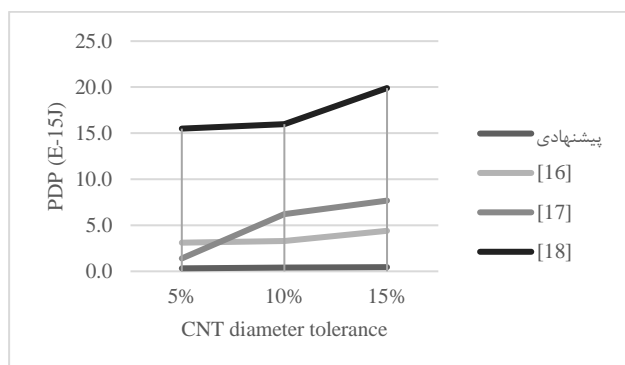
به منظور ایجاد موازنه (trade-off) بین تأخیر و مصرف توان، PDP به عنوان یک معیار مهم بهینگی در نظر گرفته می شود. همانطور که نتایج شبیه سازی نشان می دهد، سلول تمام جمع کننده پیشنهادی در مقایسه با طرح های قبلی کمترین توان و تأخیر را دارد. طراحی پیشنهادی ما PDP را به حدود ۷۵٪ در مقایسه با بهترین و آخرین کار منتشر شده [۱۶] کاهش داده است.

ما سلول QFA پیشنهادی را تحت ولتاژ منبع تغذیه و دماهای مختلف شبیه سازی کرده ایم. مقادیر تأخیر، توان مصرفی و PDP در سلول تمام جمع کننده با ولتاژهای ۰/۸ ولت، ۰/۹ ولت و ۱ ولت نشان داده شده است. شکل های ۹ تا ۱۱ نتایج این شبیه سازی ها را نشان می دهد. مشاهده می شود که در ولتاژهای بالا طرح [۱۷] توان کمتری نسبت به کار پیشنهادی مصرف می کند. همچنین در ولتاژهای پایین مرجع [۱۶] نسبت به بقیه طرح ها سریعتر است. با توجه به نتایج نشان داده شده در این نمودارها میتوان نتیجه گرفت که طرح پیشنهادی در ولتاژ استاندارد ۰/۹ ولت برای تکنولوژی ۳۲ نانومتر بهترین عملکرد را دارد.

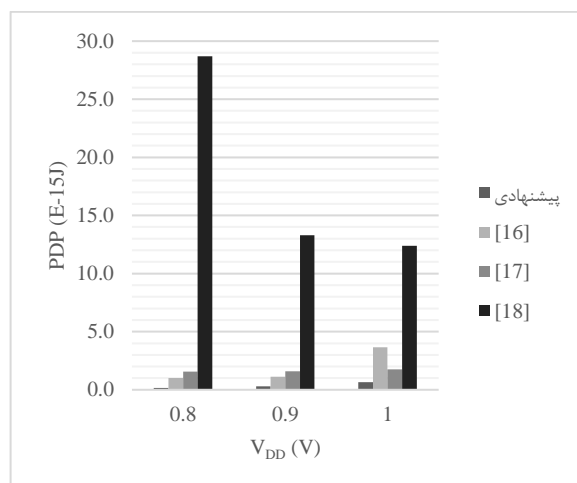
نتایج شبیه سازی تأخیر، توان و PDP در دماهای مختلف در شکل های ۱۲ تا ۱۴ آورده شده است. نتایج نشان می دهد که مدارهای مبتنی بر ترانزیستورهای نانولوله کربنی از پایداری زیادی در مقابل تغییرات دما برخوردار هستند.

سلول تمام جمع کننده پیشنهادی تحت تغییرات فرآیند ساخت که مهم ترین آن ها در مدارهای مبتنی بر ترانزیستورهای نانولوله کربنی تغییرات قطر و چگالی (تعداد CNT ها و pitch) است مورد بررسی قرار گرفته است. تغییر

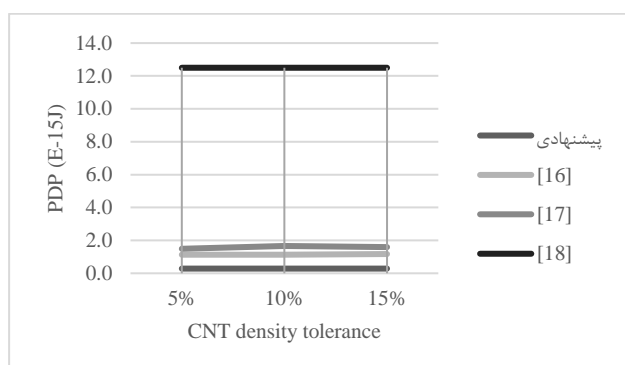




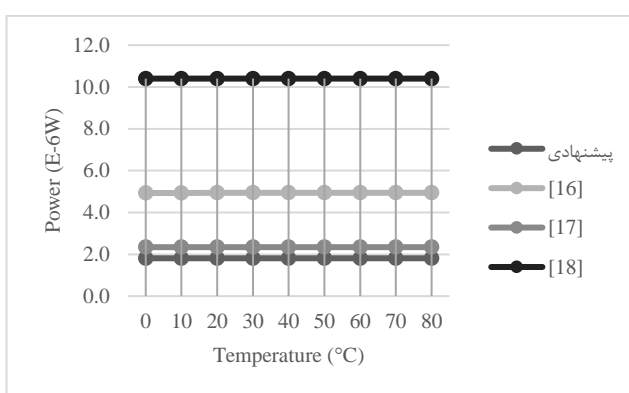
شکل ۱۵- PDP سلول تمام جمع کننده در برابر تغییرات قطر CNT



شکل ۱۱- نتایج شبیه‌سازی PDP در ولتاژهای مختلف منبع تغذیه



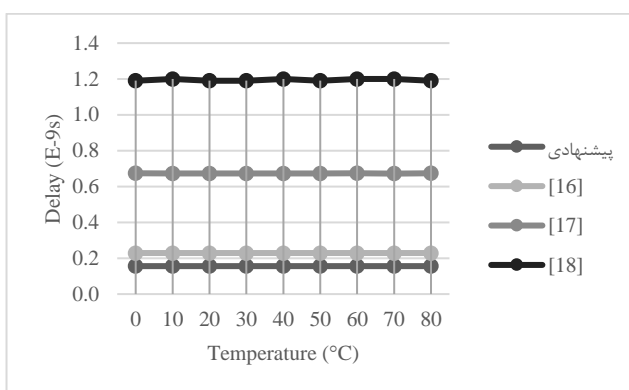
شکل ۱۶- PDP سلول تمام جمع کننده در برابر تغییرات چگالی CNT



شکل ۱۲- نتایج شبیه‌سازی توان در دماهای مختلف

#### ۶- نتیجه‌گیری

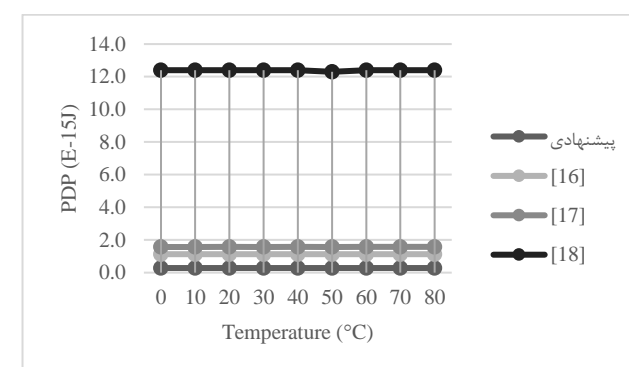
با توجه به اهمیت مدار تمام جمع کننده در سیستم‌های محاسبتی، در این تحقیق ما با ارائه روشی جدید یک تمام جمع کننده مبتنی بر دیکودر و مالتی‌پلکسرهای چهار ارزشی طراحی کردیم. برای کاهش تعداد ترانزیستورهای بکار رفته در مدار، از دو خازن استفاده شده است که در حقیقت کار جمع دو ورودی را انجام می‌دهند. در پیاده‌سازی اجزای مدار مسیرهای فعال از  $V_{DD}$  به GND تا حدامکان حذف شده‌اند تا بتوان مصرفی ایستای مدار به حداقل برسد. برای ارزیابی مدار پیشنهادی، تمام طرح‌ها در با استفاده از شبیه ساز HSPICE و تکنولوژی ۳۲ نانومتر در شرایط مختلف مورد بررسی قرار گرفتند. در نتایج شبیه‌سازی، علاوه بر کاهش محسوس توان، تاخیر خروجی مدار نیز نسبت به سایر طرح‌های گذشته بهبود یافته‌است. شبیه‌سازی حساسیت مدار به عوامل فرآیند ساخت (قطر و چگالی نانولوله‌ها) نیز استحکام و اطمینان‌پذیری آن را تصدیق می‌کنند.



شکل ۱۳- نتایج شبیه‌سازی تأخیر در دماهای مختلف

#### مراجع

- [1] L. Peng, Z. Zhang, C. Qiu, "Carbon nanotube digital electronics", Nature Electronics, vol. 2, no. 11, pp. 499–505, 2019.
- [2] P. Arrighi, "An overview of quantum cellular automata", Natural Computing, vol. 18, no. 4, pp. 885–899, 2019.
- [3] T. Ihn, "Graphene single-electron transistors", Materials Today, vol. 13, no. 3, pp. 44–50, 2010.
- [4] E. Dubrova, "Multiple-Valued Logic in VLSI: Challenges and opportunities", NORCHIP, 1999, [Online]. Available: <http://people.kth.se/~dubrova/PAPERS/NORCHIP99b.pdf>
- [5] M. H. Moayeri, R. F. Mirzaee, A. Doostaregan, K. Navi, O. Hashemipour, "A universal method for designing low-power carbon nanotube FET-based multiple-valued logic circuits", Iet Computers and Digital Techniques, vol. 7, no. 4, pp. 167–181, 2013.



شکل ۱۴- نتایج شبیه‌سازی PDP در دماهای مختلف

- [۱۱] مریم نوروزی، محمدحسین معیری، کیوان ناوی، «مدارهای VLSI پیشرفته»، دانشگاه شهید بهشتی، ۱۳۹۷.
- [12] A. Raychowdhury, K. Roy, "Carbon Nanotube Electronics: Design of High-Performance and Low-Power digital circuits", IEEE Transactions on Circuits and Systems I-regular Papers, vol. 54, no. 11, pp. 2391–2401, 2007.
- [13] Y. Lin, "Scaling aligned carbon nanotube transistors to a sub-10 nm node", Nature Electronics, vol. 6, no. 7, pp. 506–515, 2023.
- [14] R. Ho, K. Mai, M. Horowitz, "The future of wires", Proceedings of the IEEE, vol. 89, no. 4, pp. 490–504, 2001.
- [15] E. Özer, R. Sendag, D. Gregg, "Multiple-valued logic buses for reducing bus energy in low-power systems", IEE Proceedings, vol. 153, no. 4, p. 270, 2006.
- [16] A. Daraei, S. A. Hosseini, "Novel energy-efficient and high-noise margin quaternary circuits in nanoelectronics", AEU - International Journal of Electronics and Communications, vol. 105, pp. 145–162, 2019.
- [17] S. Fakhari, N. H. Bastani, M. H. Moaiyeri, "A low-power and area-efficient quaternary adder based on CNTFET switching logic", Analog Integrated Circuits and Signal Processing, vol. 98, no. 1, pp. 221–232, 2018.
- [18] F. Sharifi, M. H. Moaiyeri, K. Navi, N. Bagherzadeh, "Quaternary full adder cells based on carbon nanotube FETs", Journal of Computational Electronics, vol. 14, no. 3, pp. 762–772, 2015.
- [6] S. Firouzi, S. Tabrizchi, F. Sharifi, A.-H. A. Badawy, "High performance, variation-tolerant CNFET ternary full adder a process, voltage, and temperature variation-resilient design", Computers & Electrical Engineering, vol. 77, pp. 205–216, 2019.
- [۷] الهام نیک بخت بیدگلی، داریوش دیدبان، «بررسی عملکرد مالتی پلکسر سه ارزشی مبتنی بر ترانزیستورهای اثر میدان نانولوله کربنی»، مجله مهندسی برق دانشگاه تبریز، جلد ۵۰، شماره ۲، صفحات ۹۴۳–۹۵۳، ۱۳۹۹.
- [۸] موسی یوسفی، سید سعید موسوی، خلیل منفردی، «مدار نمونه‌گیر-نگهدارنده کم‌مصرف با استفاده از سوئیچ‌های آنالوگ ناقل جریان مبتنی بر ترانزیستور اثر میدانی نانولوله کربنی»، مجله مهندسی برق دانشگاه تبریز، جلد ۵۲، شماره ۱، صفحات ۲۳–۳۱، ۱۴۰۱.
- [9] J. Deng, "Device modeling and circuit performance evaluation for nanoscale devices: silicon technology beyond 45 nm node and carbon nanotube field effect transistors", PhD Dissertation, Stanford University, 2007.
- [10] D. Akinwande, J. Liang, S. Chong, Y. Nishi, and H. -s. P. Wong, "Analytical ballistic theory of carbon nanotube transistors: Experimental validation, device physics, parameter extraction, and performance projection", Journal of Applied Physics, vol. 104, no. 12, 2008.