Tabriz Journal of Electrical Engineering (TJEE), vol. 53, no. 1, Spring 2023 Serial no. 103
DOI: 10.22034/tjee.2023.16012

Design and Implementation of a High-Speed and Low-Energy Approximate Full Adder Cell with CNFET Technology Applicable in Image Processing

Fatemeh Danandeh [1], Yavar Safaei Mehrabani [1,*], Reza Faghih Mirzaee [2]

[1] Department of Computer Engineering, North Tehran Branch, Islamic Azad University, Tehran, Iran
[2] Department of Computer Engineering, Shahr-e-Qods Branch, Islamic Azad University, Tehran, Iran
E-mails: fdanandeh33@gmail.com; y.safaei@iau-tnb.ac.ir; r.f.mirzaee@qodsiau.ac.ir
[*]means corresponding author

Short Abstract
Approximate computing has emerged as a new method to overcome the delay, energy consumption and area consumption of digital circuits. In this paper, a new approximate full-adder cell, which is based on the combination of the standard CMOS and pass transistor logic styles, is presented. The critical path in the structure of a ripple adder equals only one transistor; Therefore, the adder circuit has high speed. Carbon nanotube field-effect transistor (CNFET) technology is used to simulate and implement the proposed cell. Comprehensive simulations are carried out using HSPICE tool against different power supply voltages, output loads, and ambient temperatures. Simulation results confirm that the proposed cell is more efficient than its counterparts in terms of delay, power-delay product (PDP) and energy-delay product (EDP). At the application level, using the MATLAB tool, the application of image blending is used to evaluate the efficiency of the proposed cell. Simulation results of image processing confirm that the proposed cell has a reasonable performance and produces output images with suitable quality for human inference.

Keywords
Full adder, Carbon nanotube, High-speed, Low-energy, Image processing.

1- Short Introduction

Full adder cell is one of the main components of digital systems. This cell is usually placed along the critical path of arithmetic circuits and plays a key role in determining delay and power consumption of the entire digital system. In this paper, by using the combination of the standard CMOS and pass transistor logic styles, a novel high-speed and low-energy approximate full adder cell is presented. To implement the proposed cell, carbon nanotube field-effect transistor (CNFET) is used.

2- Proposed Work and Methodology

The proposed design is based on the combination of standard CMOS and pass transistor logic styles. It consists of only 10 transistors. One remarkable advantage of the proposed design is that its critical path contains only one transistor when it is utilized inside a ripple carry adder. Hence, it operates very fast. Simulations are carried out by the HSPICE tool in various situations including different power supply voltages, loads, and temperatures. Simulation results confirm the superiority of the proposed cell compared to the state-of-the-art circuits. Also, the proposed cell is applied in image blending application to study its efficiency in image processing applications.

3- Conclusion

Approximate computing can effectively be used in error-tolerant applications such as image, audio, and video processing. Among the different types of arithmetic circuits, full adder plays a key role in determining the performance of a digital system. In this paper, an efficient approximate full adder cell was proposed. The proposed cell is based on the combination of the standard CMOS and pass transistor logic styles. Comprehensive simulations were performed at both transistor and application levels to evaluate the efficiency of the circuits. Simulation results confirmed that the proposed cell is more efficient than other circuits in terms of delay, PDP, and EDP. The results of image processing also showed that this cell can be effectively used in the appication of image blending.

4- References

[21] S. Salavati, M. H. Moaiyeri, K. Jafari, "Ultra-efficient nonvolatile approximate full-adder with spin-hall-assisted MTJ cells for in-memory computing applications", IEEE Transactions on Magnetics, vol. 57, no. 5, pp. 1-11, May 2021.
[22] M. Mirzaei, S. Mohammadi, "Process variation-aware approximate full adders for imprecision-tolerant applications", Computers & Electrical Engineering, vol. 87, p. 106761, 2020.
[23] Z. Zareei, M. Bagherizadeh, M. H. Shafiabadi, Y. Safaei Mehrabani, "Design of efficient approximate 1-bit full adder cells using CNFET technology applicable in motion detector systems", Microelectronics Journal, vol. 108, pp. 1-13, 2021.

طراحی و پیاده‌سازی یک سلول تمام جمع‌کننده تقریبی سرعت-بالا و انرژی-پایین با فناوری CNFET قابل به‌کارگیری در پردازش تصویر

فاطمه داننده
دانشجوی کارشناسی ارشد، گروه مهندسی کامپیوتر، واحد تهران شمال، دانشگاه آزاد اسلامی، تهران، ایران

یاور صفایی مهربانی
استادیار، گروه مهندسی کامپیوتر، واحد تهران شمال، دانشگاه آزاد اسلامی، تهران، ایران

رضا فقیه میرزایی
دانشیار، گروه مهندسی کامپیوتر، واحد شهرقدس، دانشگاه آزاد اسلامی، تهران، ایران

چکیده
محاسبات تقریبی به‌عنوان یک روش نوین برای غلبه بر مشکلات تأخیر، مصرف انرژی و مساحت اشغالی مدارهای دیجیتال در نظر گرفته می‌شود. در این مقاله، یک سلول تمام جمع‌کننده تقریبی نوین ارائه می‌شود که مبنای طراحی آن بر اساس ترکیب سبک‌های منطقی CMOS استاندارد و ترانزیستور عبور است. تأخیر هر سلول در ساختار جمع‌کننده مواج تنها یک ترانزیستور است؛ از این‌رو مدار جمع‌کننده دارای سرعت بالایی است. از فناوری ترانزیستور اثر میدان نانولوله کربنی (CNFET) برای شبیه‌سازی و پیاده‌سازی سلول پیشنهادی استفاده می‌شود. شبیه‌سازی‌های جامعی با استفاده از ابزار HSPICE در برابر ولتاژهای منبع تغذیه، بارهای خروجی و دمای محیط متفاوت انجام شده است. نتایج شبیه‌سازی تأیید می‌کنند که سلول پیشنهادی از نظر تأخیر، حاصل‌ضرب توان-تاخیر (PDP) و حاصل‌ضرب انرژی-تاخیر (EDP) کارآمدتر از همتایان خود است. همچنین، در سطح کاربرد، با استفاده از ابزار MATLAB از ترکیب دو تصویر برای ارزیابی کارایی سلول پیشنهادی استفاده شده است. نتایج شبیه‌سازی سطح کاربرد تصدیق می‌کند که سلول پیشنهادی عملکرد قابل قبولی دارد و تصاویر خروجی را با کیفیت مناسب برای استنباط توسط انسان تولید می‌کند.

کلمات کلیدی
تمام جمع‌کننده، نانولوله کربنی، سرعت-بالا، انرژی-پایین، پردازش تصویر.

نام نویسنده مسئول: دکتر یاور صفایی مهربانی
ایمیل نویسنده مسئول: y.safaei@iau-tnb.ac.ir

تاریخ ارسال مقاله: ۱۴۰۱/۰۷/۱۸
تاریخ(های) اصلاح مقاله: ۱۴۰۱/۰۹/۲۳
تاریخ پذیرش مقاله: ۱۴۰۱/۱۱/۱۸

۱- مقدمه

امروزه تعداد زیادی از دستگاه‌های قابل‌حمل در حوزه اینترنت اشیا[۱]، محاسبه‌های لبه، پردازش نزدیک به حسگر و غیره استفاده می‌شوند. ازآنجایی که آن‌ها با باتری کار می‌کنند، مصرف انرژی مهم‌ترین محدودیتی است که باید در نظر گرفته شود. علاوه بر این، سرعت و مساحت اشغال‌شده توسط مدارهای دیجیتال نیز جزو معیارهای کلیدی هستند؛ زیرا پیچیدگی الگوریتم‌ها به‌شدت در حال افزایش است [۱، ۲]. با توجه به اینکه پیش‌بینی می‌شود قانون مور[۲] به پایان خود نزدیک شود، مقیاس‌بندی فناوری نیمه‌هادی نمی‌تواند مصرف انرژی را در آینده به طور محسوس کاهش دهد. اخیراً، محاسبه تقریبی[۳] به‌عنوان یک راهکار نوین برای انجام محاسبه‌ها با انرژی پایین مطرح شده است. در این روش، با استفاده از کاهش دقت خروجی‌ها در برنامه‌های مقاوم در برابر خطا[۴] مانند پردازش چندرسانه‌ای (تصویر، صدا و ویدیو) می‌توان مصرف انرژی مدار را کاهش داد. به دلیل توانایی ادراکی محدود انسان، کاهش کیفیت تصویر برای کاربر نهایی چندان قابل‌درک نیست [۳]. در میان مدارهای حسابی مختلف، از جمع‌کننده‌ها به طور گسترده‌ای در طراحی یک سیستم دیجیتال استفاده می شود. مدارهای دیگری مانند تفریق‌کننده‌ها، ضرب‌کننده‌ها و تقسیم‌کننده‌ها را می‌توان با استفاده از عمل جمع طراحی کرد. یک سلول تمام جمع‌کننده[۵] به‌عنوان بلوک پایه برای بسیاری از مدارهای حسابی شناخته می‌شود؛ بنابراین، کاهش مصرف انرژی، تأخیر و مساحت آن می‌تواند به طور مستقیم بر عملکرد کل یک سیستم دیجیتال تأثیر بگذارد [۴، ۵]. در همین راستا، یک طراحی جدید برای سلول تمام جمع‌کننده تقریبی با سرعت بالا و انرژی کم در این مقاله پیشنهاد شده است.

برخی چالش‌ها برای کوچک‌سازی ترانزیستورهای اثر میدان فلز-اکسید-نیمه‌هادی[۶] در مقیاس نانو وجود دارد. در مقیاس نانو، ترانزیستورهای MOSFET با مشکل‌های جدی ازجمله کنترل‌پذیری کمتر پایه گیت، اثر کانال کوتاه و جریان نشتی بالا مواجه هستند [۲]. برای غلبه بر این مشکل‌ها، برخی فناوری‌های جدید مانند ترانزیستور اثر میدان نانولوله کربنی[۷]، آتوماتای کوانتومی سلولی[۸] و همچنین ترانزیستور تک الکترونی[۹] در حال بررسی هستند [۶]. در میان این فناوری‌های نوظهور، CNFET به دلیل ویژگی‌های فیزیکی، الکتریکی و حرارتی فوق‌العاده‌اش احتمالاً جایگزین ترانزیستورهای MOSFET خواهد شد [۷]. ساختار و ویژگی‌های الکتریکی ذاتی CNFETها و MOSFETها مشابه هستند. در مقایسه با MOSFETها، CNFETها به دلیل ساختار شبکه‌ای یک‌بعدی و عملکرد نزدیک به بالستیک، کلیدزنی[۱۰] سریع‌تر و مصرف انرژی کمتری دارند. CNFETهای نوع P و N (PCNFET و NCNFET) با ابعاد مساوی، دارای تحرک حامل یکسانی هستند. این ویژگی، تعیین اندازه ابعاد ترانزیستورهای موجود در مدارهای پیچیده را تسهیل می‌کند. علاوه بر این، ولتاژ آستانه[۱۱] ترانزیستورهای CNFET را می‌توان با تغییر قطر نانولوله‌های کربنی[۱۲] تنظیم کرد؛ بنابراین، فناوری CNFET برای طراحی مدارهای چند آستانه‌ای مناسب است [۸]. شایان ذکر است که یک ریزپردازنده ۱۶ بیتی در دانشگاه MIT با استفاده از فناوری CNFET تولیدشده است که یک پیشرفت قابل‌توجه در طراحی مدارهای دیجیتال مبتنی بر CNFET محسوب می‌شود [۹].

در این مقاله، یک سلول تمام جمع‌کننده تک‌بیتی با سرعت بالا، انرژی پایین و مساحت کم ارائه می‌شود. طرح پیشنهادی از ترکیب دو منطق CMOS[۱۳] استاندارد و ترانزیستور عبور[۱۴] بهره می‌برد. سلول تمام جمع‌کننده دو رقم دودویی و یک رقم نقلی ورودی (C_{in}) را دریافت کرده و رقم‌های حاصل جمع (Sum) و نقلی خروجی (C_{out}) را تولید می‌کند. سلول پیشنهادی سیگنال‌های Sum و C_{out} را به صورت موازی تولید می‌کند که منجر به عملکرد با سرعت بالا می‌شود. علاوه بر این، با کاهش فعالیت کلیدزنی گره‌های خروجی، مصرف توان نیز به طور قابل توجهی کاهش می‌یابد. لازم به ذکر است که خروجی‌های Sum و C_{out} سلول تمام جمع‌کننده نادقیق پیشنهادی در سه حالت از هشت حالت ممکن برای ورودی‌ها اشتباه است.

برای مقایسه کارایی سلول پیشنهادی با طرح‌های قبلی، شبیه‌سازی‌های جامعی در سطح‌های ترانزیستور و کاربرد انجام می‌شود. در سطح ترانزیستور، کارایی سلول پیشنهادی نسبت به تغییرات ولتاژ منبع تغذیه، بار خروجی و دمای محیط ارزیابی می‌شود. در این سطح، مصرف توان، تأخیر، حاصل‌ضرب توان-تاخیر[۱۵] و حاصل‌ضرب انرژی-تاخیر[۱۶] در نظر گرفته می‌شود. در سطح کاربرد نیز، سلول پیشنهادی در کاربرد ترکیب تصاویر[۱۷] برای ارزیابی کیفیت تصاویر خروجی اعمال می‌شود. ساختار این مقاله به شرح زیر است. افزاره CNFET، مؤلفه‌های مصرف توان، معیارهای خطای محاسبات تقریبی و کارهای گذشتگان به طور خلاصه در بخش دوم موردمطالعه قرار می‌گیرند. در بخش سوم، ساختار سلول پیشنهادی معرفی می‌گردد. در بخش چهارم، نتایج شبیه‌سازی ارائه می‌شود. درنهایت در بخش پنجم نتیجه‌گیری ارائه می‌گردد.

۲- ادبیات تحقیق

در این بخش به طور خلاصه افزاره CNFET، مؤلفه‌های مصرف توان و معیارهای خطا در محاسبات تقریبی موردبررسی قرار می‌گیرند.

۲-۱- افزاره CNFET

نانولوله کربنی[۱۸] با چرخاندن ورقه گرافن[۱۹] که به ضخامت یک اتم کربن است به شکل استوانه‌ای تولید می‌شود. به‌طورکلی دو نوع نانولوله کربنی وجود دارد. نانولوله‌های کربنی تک جداره[۲۰] که با یک ورقه گرافن ساخته می‌شوند. در مقابل، نانولوله‌های کربنی چند جداره[۲۱] از چندین ورقه متحدالمرکز ساخته می شوند. برخلاف MWCNTها که همیشه فلزی هستند، یک SWCNT ممکن است یک رسانا یا نیمه‌هادی باشد. این موضوع با در نظر گرفتن بردار کایرالیتی[۲۲] که یک جفت عدد صحیح (n_1, n_2) است تعیین می‌شود. اگر $n_1-n_2=3k$ $(k\in Z)$ باشد، آنگاه CNT فلزی است. در غیر این صورت، CNT نیمه‌هادی است؛ بنابراین، SWCNTها می‌توانند به‌عنوان کانال[۲۳] در ترانزیستورهای CNFET

---

[۱] Internet of Things (IoT)
[۲] Moore's law
[۳] Approximate Computing (AC)
[۴] Error-resilient application
[۵] Full Adder (FA)
[۶] Metal-Oxide-Semiconductor Field Effect Transistor (MOSFET)
[۷] Carbon Nanotube Field Effect Transistor (CNFET)
[۸] Quantum-dot Cellular Automata (QCA)
[۹] Single-Electron Transistor (SET)
[۱۰] Switching
[۱۱] Threshold voltage (V_{th})
[۱۲] Diameter of Carbon Nanotube (D_{CNT})
[۱۳] Complementary Metal Oxide Semiconductor
[۱۴] Pass-Transistor Logic (PTL)
[۱۵] Power-Delay Product (PDP)
[۱۶] Energy-Delay Product (EDP)
[۱۷] Image blending
[۱۸] Carbon Nanotube (CNT)
[۱۹] Graphene
[۲۰] Single-Walled Carbon Nanotube (SWCNT)
[۲۱] Multi-Walled Carbon Nanotube (MWCNT)
[۲۲] Chirality vector
[۲۳] Channel

استفاده شوند [۱۰]. علاوه بر این، بردار کایرال ساختار یک CNT را مشخص می‌کند. سه نوع CNT به نام‌های زیگزاگ[۱]، صندلی راحتی[۲] و کایرال[۳] وجود دارد. CNTهای زیگزاگ زمانی تشکیل می‌شوند که یکی از اعداد n_1 یا n_2 برابر با صفر باشد. آن‌ها ممکن است فلزی یا نیمه‌هادی باشند. CNTهای صندلی راحتی زمانی تشکیل می‌شوند که n_1 برابر با n_2 باشد. آن‌ها همیشه رسانا هستند و برای استفاده به‌عنوان کانال ترانزیستور مناسب نیستند. CNT کایرال که یک رسانا یا نیمه‌هادی است، زمانی تشکیل می‌شود که n_1 برابر با n_2 نباشد [۱۱، ۱۲]. در این مقاله از نانولوله‌های کربنی با ساختار زیگزاگ به‌عنوان کانال CNFET استفاده شده است. قطر CNT از طریق رابطه (۱) به دست می‌آید [۱۳] که در این رابطه، a_0=۰/۱۴۲nm برابر فاصله بین دواتم کربن همسایه در کریستال گرافن است.

$$D_{CNT} = \frac{\sqrt{3}a_0\sqrt{n_1^2 + n_2^2 + n_1 n_2}}{\pi} \cong 0.0783 \times \sqrt{n_1^2 + n_2^2 + n_1 n_2} \quad (۱)$$

ولتاژ آستانه یک افزاره CNFET با استفاده از رابطه (۲) به دست می‌آید [۱۳] که در این رابطه، پارامترهای a'=۰/۲۴۹nm، V_π≃۳/۰۳۳eV و e به ترتیب ثابت شبکه، انرژی پیوند π-π کربن در مدل اتصال محکم و مقدار بار یک الکترون را نشان می‌دهند.

$$V_{th} = \frac{\sqrt{3}\alpha_0 V_\pi}{\sqrt{3}eD_{CNT}} = \frac{a'V_\pi}{\sqrt{3}eD_{CNT}} \simeq \frac{0.43}{D_{CNT}} \quad (۲)$$

با در نظر گرفتن رابطه (۲)، ولتاژ آستانه یک CNFET را می‌توان با تنظیم قطر CNTها تنظیم کرد؛ بنابراین، CNFETها برای طراحی مدارهای دیجیتال چند آستانه‌ای بیش از MOSFETها مقبول و مؤثر هستند. در میان انواع مختلف افزاره‌های CNFET، نوع مانع شاتکی[۴] و نوع مشابه MOSFET[۵] به طور گسترده استفاده می‌شوند. افزاره‌های مشابه MOSFET در مقایسه با افزاره‌های مانع شاتکی دارای جریان خاموش پایین‌تر و جریان روشن بالاتری هستند [۱۴]. بر این اساس، از مدل مشابه MOSFET برای طراحی و شبیه‌سازی مدارهای دیجیتال با کارایی بالا و انرژی پایین در این مقاله استفاده شده است.

۲-۲- مؤلفه‌های مصرف توان

همان‌طور که در رابطه (۳) نشان داده شده است، اتلاف توان مدارهای دیجیتال دارای دو منبع اصلی به نام‌های پویا[۶] و ایستا[۷] (نشتی[۸]) است [۱۵]. توان پویا زمانی اتفاق می‌افتد که یک انتقال سیگنال در گره وجود داشته باشد. مصرف توان ایستا نیز زمانی است که گره‌های مدار در حالت پایدار هستند ولی جریان نشتی وجود دارد. توان پویا سهم غالب در مصرف توان مدارهای دیجیتال را دارد [۱۶].

$$P_{Total} = P_{Dynamic} + P_{Static} \quad (۳)$$

اتلاف توان پویا شامل دو جزء به نام‌های توان کلیدزنی[۹] و اتصال کوتاه[۱۰] است. توان کلیدزنی توان تلف‌شده به دلیل پدیده‌های شارژ و دشارژ خازن‌های موجود در مدار دیجیتال در طول انتقال سیگنال است. توان اتصال کوتاه زمانی ایجاد می‌شود که هر دو شبکه بالابر[۱۱] و پایین‌بر[۱۲] به طور هم‌زمان فعال باشند که منجر به جریان مستقیم از منبع تغذیه (V_{DD}) به سمت زمین (V_{SS}) می‌شود. میانگین مصرف توان از طریق رابطه (۴) محاسبه می‌شود [۱۷] که در این رابطه، پارامترهای f، C، α، I_L، I_{SC} و n به ترتیب فرکانس ساعت، ضریب فعالیت کلیدزنی یک گره، ظرفیت بار، جریان نشتی، جریان اتصال کوتاه و تعداد گره‌ها را نشان می‌دهند. ضریب فعالیت کلیدزنی به‌عنوان میانگین تعداد انتقال گره در طول یک دوره ساعت تعریف می‌شود.

$$\begin{aligned} P_{Total} &= P_{Switching} + P_{Short-circuit} + P_{Static} \\ &= fV_{DD}^2 \sum_{i=1}^{n} \alpha_i C_i + V_{DD} \sum_{i=1}^{n} I_{SC,i} + V_{DD} \sum_{i=1}^{n} I_{L,i} \end{aligned} \quad (۴)$$

فعالیت کلیدزنی یک سلول تمام جمع‌کننده در یک گره خاص را می‌توان با استفاده از رابطه (۵) تخمین زد.

$$Switching\ activity\ (\alpha) = \frac{Number\ of\ '0s'}{8} \times \frac{Number\ of\ '1s'}{8} \quad (۵)$$

گره‌های Sum و C_{out} در یک سلول تمام جمع‌کننده بارهای خازنی بزرگ را راه‌اندازی می‌کنند و باعث اتلاف توان پویا بالایی می‌شوند. برای کاهش فعالیت کلیدزنی، می‌توانیم فعالیت کلیدزنی در این گره‌ها را کاهش دهیم. بدین منظور، در سطح تابع منطقی، جدول درستی[۱۳] تمام جمع‌کننده به‌گونه‌ای تغییر می کند که فعالیت کلیدزنی کاهش یابد؛ در حالی که کمترین خطا در خروجی‌ها ایجاد شود. نهایتاً، فعالیت کلیدزنی سلول (α_{Cell}) با اضافه کردن فعالیت کلیدزنی گره‌های Sum (α_{Sum}) و C_{out} (α_{Cout}) به دست می‌آید.

۲-۳- معیارهای خطا

محاسبات تقریبی را می‌توان در سطوح انتزاعی مختلف مانند الگوریتم، دروازه منطقی[۱۴]، یا ترانزیستور پیاده‌سازی نمود. در محاسبات تقریبی دقت خروجی‌ها تا حد قابل قبولی کاهش داده می‌شود تا اینکه پارامترهای سخت‌افزاری از قبیل توان مصرفی، تأخیر و مساحت بهبود یابند. درنتیجه باید میان دقت و پارامترهای مدار مصالحه ایجاد شود. در این بخش، برخی از معیارهای کلیدی خطا را به اختصار بررسی می‌کنیم.

فاصله خطا[۱۵] برای یک حالت از ورودی برابر تفاضل نتیجه دقیق و تقریبی است [۱۸]. حداکثر فاصله خطا[۱۶] نیز برابر بزرگ‌ترین مقدار در بین مجموعه‌ای از EDها است. به مجموع قدرمطلق EDها فاصله خطای کل[۱۷] می‌گویند. میانگین فاصله خطا[۱۸] نیز برابر میانگین قدرمطلق EDها است. همچنین، برای حذف وابستگی معیار MED با عرض بیت یک مدار، مقدار نرمال شده آن محاسبه می‌شود؛ بنابراین، میانگین فاصله خطای نرمال شده[۱۹] از تقسیم MED بر حداکثر مقداری که یک مدار می‌تواند تولید کند به دست می‌آید. لازم به ذکر است که حداکثر مقداری که یک جمع کننده n بیتی با در نظر گرفتن ارقام

[۱] Zigzag
[۲] Armchair
[۳] Chiral
[۴] Schottky barrier CNFET
[۵] MOSFET-like CNFET
[۶] Dynamic power
[۷] Static power
[۸] Leakage power
[۹] Switching power
[۱۰] Short-circuit power
[۱۱] Pull-Up Netowrk (PUN)
[۱۲] Pull-Down Network (PDN)
[۱۳] Truth table
[۱۴] Gate
[۱۵] Error Distance (ED)
[۱۶] Maximum Error Distance (MED)
[۱۷] Total Error Distance (TED)
[۱۸] Mean Error Distance (MED)
[۱۹] Normalized Error Diatence (NED)

نقلی ورودی و خروجی می‌تواند تولید کند برابر 2^{n+1}-1 است. معیارهایED، MAE، TED، MED و NED را می‌توان از طریق روابط (۶) تا (۱۰) به دست آورد [۱۸] که در آن‌ها پارامترهای *ExR*، *ApR*، *M* و *N* به ترتیب نشان‌دهنده نتیجه دقیق، نتیجه تقریبی، تعداد ترکیب‌های ورودی ممکن و حداکثر مقدار ممکن خروجی جمع کننده *n* بیتی هستند.

$$ED_i = ExR_i - ApR_i \quad (۶)$$

$$MAE=\max\{|ED_i|\} \quad for\ i=1\ to\ M \quad (۷)$$

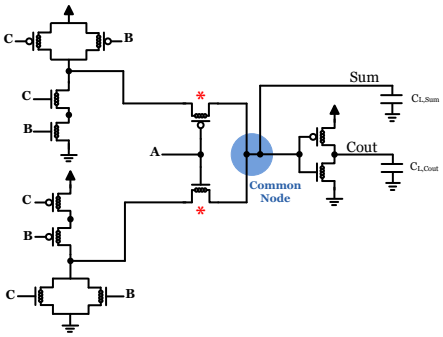
$$TED = \sum_{i=1}^{M} | ED_i | \quad (۸)$$

$$MED = \frac{TED}{M} \quad (۹)$$

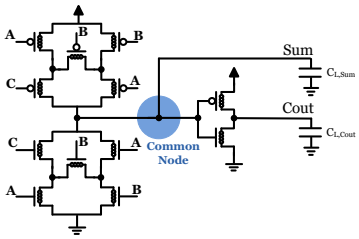
$$NED = \frac{MED}{N} \quad (۱۰)$$

۲-۴- بررسی مدارهای قبلی

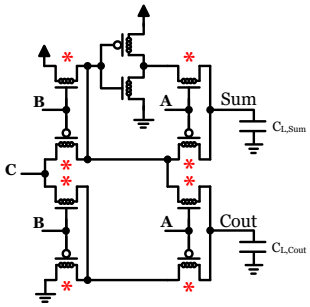
در این بخش، چندین سلول تمام جمع‌کننده تقریبی مربوط به سال‌های اخیر که با سبک‌های منطقی مختلف طراحی شده‌اند را موردبررسی مختصر قرار می دهیم. تمام جمع‌کننده‌های تقریبی که در این بخش مرور می‌شوند شامل سلول‌های NNIFA [۱۹]، BBIFA [۲۰]، AOAFA [۲۱]، AFA [۲۲]، 15TIFA [۲۳]، APA [۲۴]، LAHAF [۲۵]، ANIFA [۲۶]، 9TIFA [۲۷]، PTAFA [۲۸] هستند. این جمع کننده‌ها به ترتیب در شکل‌های ۱ تا ۱۰ نشان داده شده‌اند. خصوصیات آن‌ها شامل تعداد ترانزیستور، طول مسیر بحرانی[۱] (برحسب تعداد ترانزیستور)، تعداد خطای سیگنال‌های Sum و C_{out} در جدول صحت، میزان فعالیت کلیدزنی این خروجی‌ها، پارامترهای MED و NED در جدول ۱ گزارش شده است. برخی از این سلول‌ها دارای گره مشترک[۲] برای به دست آوردن سیگنال‌های Sum و C_{out} هستند. گره مشترک به‌اندازه کافی قدرتمند نیست که بتواند بارهای بزرگ موجود در هر دو گره Sum و C_{out} را راه اندازی کند. درنتیجه، بر مصرف توان و تأخیر مدار تأثیر منفی می‌گذارد. همچنین، برخی از سلول‌ها دارای ترانزیستورهایی هستند که مدار را با مشکل کاهش ولتاژ آستانه مواجه می‌کنند. این ترانزیستورها که با علامت ستاره (*) در شکل‌های مربوطه نشان داده شده‌اند، یا باعث عدم نوسان کامل[۳] گره‌های خروجی هستند، یا در گره‌های میانی باعث افزایش مصرف توان اتصال کوتاه در معکوس‌کننده‌ها می‌شوند. وجود مشکلات گره مشترک و کاهش ولتاژ آستانه نیز در جدول ۱ برای تمامی جمع کننده‌ها گزارش شده است. در انتها، سلول 15TIFA از ترکیب فلز-اکسید-نیمه‌هادی (MOScap) برای ایجاد خازن استفاده می‌کند. در روش MOScap، یک صفحه از خازن پایه گیت[۴] ترانزیستور و صفحه دیگر اتصال پایه‌های درین[۵]، سورس[۶] و بدنه[۷] است. شبکه خازنی برای تولید سطوح ولتاژ مقیاس‌شده خطی، در گره‌هایی که با علامت (×) در شکل ۵ نشان داده شده‌اند، به کار می‌روند.



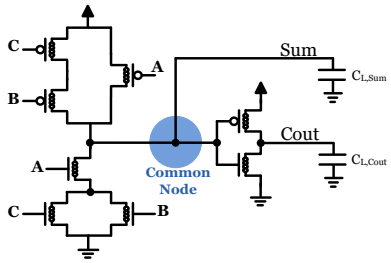
شکل ۱- طرح NNIFA [۱۹]



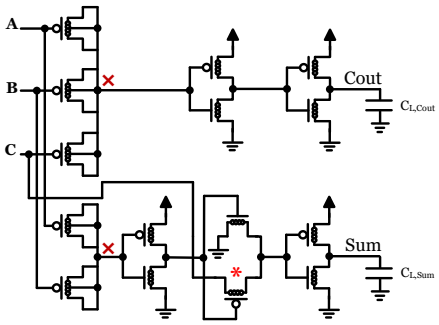
شکل ۲- طرح BBIFA [۲۰]



شکل ۳- طرح AOAFA [۲۱]

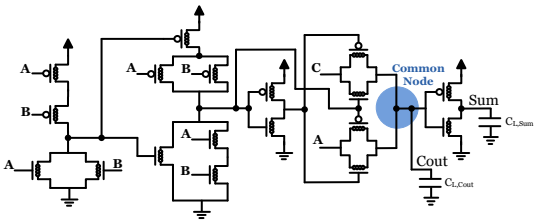


شکل ۴- طرح AFA [۲۲]

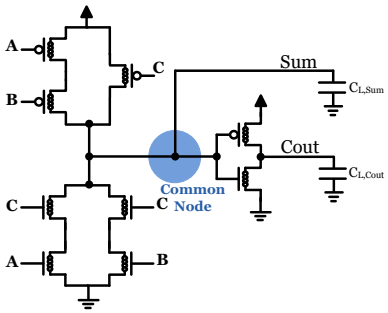


شکل ۵- طرح 15TIFA [۲۳]

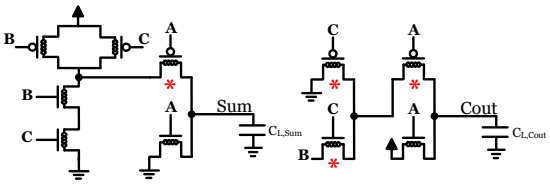
[۱] Critical path
[۲] Common node
[۳] Non full swing
[۴] Gate
[۵] Drain
[۶] Source
[۷] Body



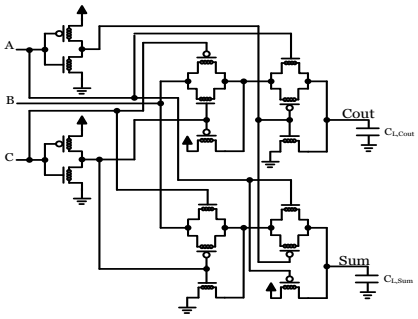
شکل ۶- طرح APA [۲۴]



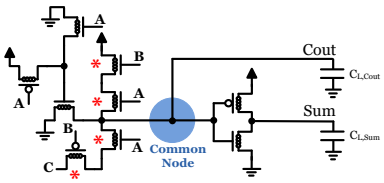
شکل ۷- طرح LAHAF [۲۵]



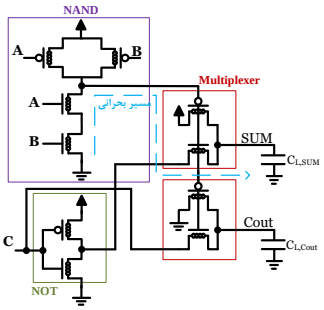
شکل ۸- طرح ANIFA [۲۶]



شکل ۱۰- طرح PTAFA [۲۸]



شکل ۹- طرح 9TIFA [۲۷]



شکل ۱۱- ساختار سلول تمام جمع‌کننده پیشنهادی (10TIFA)

جدول ۱- خلاصه مشخصات تمام جمع‌کننده‌های تقریبی پیشین

نام طرح	تعداد ترانزیستور	تعداد خطای Sum	تعداد خطای C_{out}	گره مشترک	کاهش ولتاژ آستانه	α_{Sum}	α_{Cout}	α_{Cell}	طول مسیر بحرانی	MED	NED
NNIFA	۱۰	۲	۰	دارد	دارد	۰/۲۵	۰/۲۵	۰/۵	۴	۰/۲۵	۰/۰۸۳
BBIFA	۱۲	۲	۰	دارد	ندارد	۰/۲۵	۰/۲۵	۰/۵	۴	۰/۲۵	۰/۰۸۳
AOAFA	۱۰	۲	۰	ندارد	دارد	۰/۲۵	۰/۲۵	۰/۵	۳	۰/۲۵	۰/۰۸۳
AFA	۸	۳	۱	دارد	ندارد	۰/۲۳۴۳	۰/۲۳۴۳	۰/۴۶۸۶	۳	۰/۳۷۵	۰/۱۲۵
15TIFA	۱۰ + ۵ خازن	۳	۰	ندارد	دارد	۰/۲۳۴۳	۰/۲۵	۰/۴۸۴۳	۴	۰/۳۷۵	۰/۱۲۵
APA	۱۸	۲	۰	دارد	ندارد	۰/۲۵	۰/۲۵	۰/۵	۷	۰/۲۵	۰/۰۸۳
LAHAF	۹	۳	۱	دارد	ندارد	۰/۲۳۴۳	۰/۲۳۴۳	۰/۴۶۸۶	۳	۰/۳۷۵	۰/۱۲۵
ANIFA	۱۰	۳	۱	ندارد	دارد	۰/۲۳۴۳	۰/۲۳۴۳	۰/۴۶۸۶	۳	۰/۳۷۵	۰/۱۲۵
9TIFA	۹	۳	۱	دارد	دارد	۰/۲۳۴۳	۰/۲۳۴۳	۰/۴۶۸۶	۳	۰/۳۷۵	۰/۱۲۵
PTAFA	۱۶	۳	۱	ندارد	ندارد	۰/۲۳۴۳	۰/۲۳۴۳	۰/۴۶۸۶	۳	۰/۳۷۵	۰/۱۲۵

۳- طرح پیشنهادی

در این بخش، ساختار سلول تمام جمع‌کننده تقریبی پیشنهادی به‌تفصیل توضیح داده می‌شود. خروجی‌های Sum و C_{out} با استفاده از روابط (۱۱) و (۱۲) محاسبه می‌شوند.

$$Sum = \overline{(A.B)}.1 + \overline{(A.B)}.\bar{C} \quad (۱۱)$$

$$C_{out} = \overline{(A.B)}.0 + \overline{(A.B)}.C \quad (۱۲)$$

شکل ۱۱ ساختار طرح پیشنهادی را در سطح ترانزیستور نشان می‌دهد. طرح پیشنهادی مبتنی بر تابع منطقی NAND است. از خروجی این تابع به‌عنوان پایه انتخاب‌گر[۵۰] مالتی‌پلکسر[۵۱] استفاده می‌شود تا اینکه خروجی‌های Sum و C_{out} تولید شوند. به‌منظور کاهش تعداد ترانزیستورها، از منطق ترانزیستور عبور برای ساخت مالتی‌پلکسر استفاده شده است. ضمناً، به‌منظور حذف معکوس کننده موردنیاز برای تولید مکمل سیگنال انتخاب‌گر، از CNFETهای نوع P استفاده می‌شود. درنتیجه، توان اتصال کوتاه به میزان قابل توجهی کاهش می‌یابد. برای اجتناب از به‌کارگیری گره مشترک در ساختار مدار پیشنهادی، از دو مسیر مستقل برای تولید خروجی‌های Sum و C_{out} استفاده شده است. ازآنجایی‌که طرح پیشنهادی دارای ۱۰ ترانزیستور است، آن را 10TIFA می نامیم. همان‌طور که در شکل ۱۱ قابل مشاهده است، از ترکیب منطق‌های CMOS استاندارد و ترانزیستور عبور برای طراحی سلول پیشنهادی استفاده شده است. سلول پیشنهادی دارای ساختاری ساده است که منجر به کاهش

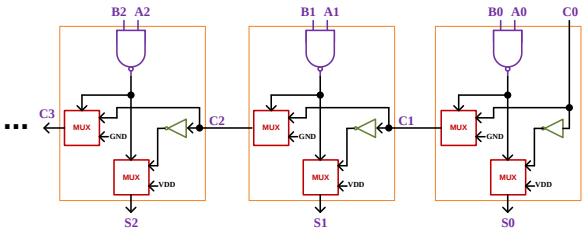
[۵۰] Selector

[۵۱] Multiplexer

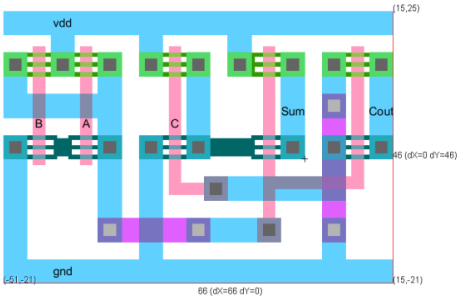
مشخصه	مقدار
تعداد ترانزیستور	۱۰
تعداد خطای Sum	۳
تعداد خطای C_{out}	۳
α_{Sum}	۰/۲۳۴۳
α_{Cout}	۰/۲۳۴۳
α_{Cell}	۰/۴۶۸۶
طول مسیر بحرانی	۳
MED	۰/۶۲۵
NED	۰/۲۰۸۳
MAE	۲
TED	۵

مساحت اشغالی بر روی تراشه نیز می‌شود.

مسیر بحرانی سلول متشکل از سه عدد ترانزیستور است. همچنین، زمانی که از این سلول در ساختار جمع‌کننده مواج[۵۲] استفاده شود، مسیر بحرانی به تنها یک ترانزیستور کاهش می‌یابد. در یک بازه زمانی مشخص، خروجی تمام NANDها تعیین می‌شود. سپس، رقم نقلی در هر سلول از یک مالتی‌پلکسر که دارای تأخیر یک ترانزیستور است عبور می‌کند. این موضوع در شکل ۱۲ نشان داده شده است. درنتیجه، این مدار جمع‌کننده مواج دارای عملکردی با سرعت بسیار بالا خواهد بود.



شکل ۱۲- ساختار سلول پیشنهادی در مدار جمع‌کننده مواج



شکل ۱۳- چینش سلول تمام جمع‌کننده پیشنهادی

جدول ۲- جدول درستی تمام جمع‌کننده تقریبی پیشنهادی

ورودی‌ها			خروجی میانی	خروجی‌های دقیق		خروجی‌های نادقیق		ED
A	B	C	(AB)'	C_{out}	Sum	C_{out}	Sum	
0	0	0	1	0	0	0	1×	-1
0	0	1	1	0	1	1×	0×	-1
0	1	0	1	0	1	0	1	0
0	1	1	1	1	0	1	0	0
1	0	0	1	0	1	0	1	0
1	0	1	1	1	0	1	0	0
1	1	0	0	1	0	0×	1×	1
1	1	1	0	1	1	0×	1	2

[۵۲] Ripple carry adder

[۵۳] Layout

جدول ۳- مشخصات تمام جمع‌کننده تقریبی پیشنهادی

جدول درستی تمام جمع‌کننده تقریبی پیشنهادی در جدول ۲ نمایش داده شده است. مقدار فاصله خطا برای هر حالت ورودی نیز در همین جدول قابل مشاهده است. سایر مشخصات نیز در جدول ۳ آمده است. جدول درستی سلول پیشنهادی به‌گونه‌ای تغییر یافته است که فعالیت کلیدزنی پایین در گره‌های خروجی که معمولاً بارهای خازنی بزرگی را راه‌اندازی می‌کنند، به دست آید؛ بنابراین، فعالیت کلیدزنی طرح پیشنهادی از مدارهای NNIFA، BBIFA، AOAFA، 15TIFA و APA کمتر و با سایر طرح‌ها برابر است. اگرچه سیگنال‌های خروجی Sum و C_{out} دارای نوسان کامل نیستند، اما این ضعف تا حد زیادی با افزایش قطر نانولوله‌های کربنی برای ترانزیستورهایی که منجر به کاهش ولتاژ آستانه می‌شوند، برطرف می‌شود. برای این منظور، با در نظر گرفتن رابطه (۱)، پارامتر n_1 را برابر با عدد ۷۳ در نظر می‌گیریم که منجر می‌شود تا قطر نانولوله‌ها برابر با ۵/۷۱۵۹ نانومتر باشد. حال، با توجه به رابطه (۲)، ولتاژ آستانه این ترانزیستورها ۰/۰۷۵۲ ولت خواهد بود که تا حد زیادی مشکل کاهش ولتاژ آستانه را تعدیل می‌کند.

۴- نتایج شبیه‌سازی

در این بخش نتایج شبیه‌سازی در دو سطح ترانزیستور و کاربرد ارائه می‌شوند. در سطح ترانزیستور، طرح‌های مختلف در برابر تغییرات ولتاژ منبع تغذیه، بار خروجی و درجه دمای محیط موردبررسی قرار می‌گیرند. در سطح کاربرد نیز از ترکیب دو تصویر که از طریق عملیات جمع انجام می‌شود جهت ارزیابی طرح پیشنهادی استفاده می‌شود.

۴-۱- شبیه‌سازی سطح ترانزیستور

در این بخش، پارامترهای سطح ترانزیستور سلول‌های تمام جمع‌کننده تقریبی بررسی می‌شوند. برای ایجاد چینش[۵۳] سلول‌ها از ابزار Electric [۲۹] با کتابخانه mocmos-cn استفاده شده است [۳۰، ۳۱]. این کتابخانه مستقل از فناوری است و قوانین آن مبتنی بر λ است. نمای چیدمان سلول پیشنهادی در شکل ۱۳ نشان داده شده است. همان‌طور که در این شکل قابل مشاهده است، از دولایه فلز برای ایجاد چینش طرح استفاده شده است. جدول ۴، طول، عرض و مساحت سلول‌های تمام جمع‌کننده تقریبی را نشان می‌دهد. لازم به ذکر است که در همه مدارها از دولایه فلز برای ایجاد چینش استفاده شده است. با در نظر گرفتن این جدول، سلول‌های 15TIFA و AFA به ترتیب دارای بیشترین و کمترین سطح اشغالی هستند. مساحت طرح پیشنهادی نیز از بسیاری طرح‌ها کمتر است.

به‌منظور انجام شبیه‌سازی مدارهای تمام جمع‌کننده تقریبی مبتنی بر فناوری CNFET، از شبیه‌ساز Synopsys HSPICE به همراه مدل SPICE برای این ترانزیستورها از دانشگاه Stanford که دارای اندازه ۳۲ نانومتر است، استفاده شده است [۳۲، ۳۳]. این مدل مشابه MOSFET برای CNFETهای با یک یا چند نانولوله کربنی استفاده می‌شود. این مدل شامل موارد غیر ایده‌آل مانند مقاومت‌ها و خازن‌های پارازیتی است. تعداد نانولوله و قطر CNT در هر CNFET به ترتیب ۳ و ۱/۴۸۷۷ نانومتر است؛ به‌جز مواردی که منجر به مشکل کاهش ولتاژ آستانه می‌شوند. در این حالت، برای رفع این ضعف، قطر CNT برابر با ۵/۷۱۵۹ نانومتر تنظیم می‌شود. ولتاژ آستانه یک CNFET با قطرهای ۱/۴۸۷۷ و ۵/۷۱۵۹ نانومتر به ترتیب ۰/۲۸۹ و ۰/۰۷۵۲ولت است. بستر شبیه‌سازی مورد استفاده شامل بافرهای ورودی[۵۴] و بار خروجی[۵۵] چهار معکوس‌کننده (FO4) برای گره‌های خروجی است [۳۴]. بافرها در گره‌های ورودی تضمین می‌کنند

[۵۴] Buffer

[۵۵] Fan-out

که سیگنال‌های ورودی واقعی‌تری به مدار اعمال شوند. از سوی دیگر، وجود FO4 در گره‌های خروجی همانند بارهای خازنی عمل می‌کند. برای اندازه‌گیری معیارهای سطح مدار، الگوی کامل ورودی شامل ۵۶ ترکیب ممکن از ورودی‌ها در نظر گرفته شده است.

نتایج شبیه‌سازی شامل تأخیر و توان مصرفی در جدول ۵ آمده است. همه مدارها، علاوه بر مواردی که قبلاً ذکر شد، در فرکانس ساعت[۵۶] ۱ گیگاهرتز، دمای ۲۵ درجه سانتی‌گراد (دمای اتاق) و منابع تغذیه ۰/۹ و ۰/۸ ولت شبیه سازی شده‌اند. ازآنجایی‌که توان و تأخیر با یکدیگر رابطه معکوس دارند، معیارهای PDP و EDP نیز موردتوجه قرار می‌گیرند. به‌علاوه، حاصل‌ضرب توان-تاخیر-مساحت[۵۷] و انرژی-تاخیر-مساحت[۵۸] که معیارهای ارزیابی تعادلی بین پارامترهای مختلف هستند، نیز در جدول ۵ گزارش شده‌اند. نتایج بیانگر برتری طرح پیشنهادی در اکثر معیارهای ارزیابی تعادلی است.

جدول ۴- سطح مصرفی سلول‌های تمام جمع‌کننده تقریبی

طرح	NNIFA	BBIFA	AOAFA	AFA	15TIFA	APA	LAHAF	ANIFA	9TIFA	PTAFA	10TIFA
مرجع	[۱۹]	[۲۰]	[۲۱]	[۲۲]	[۲۳]	[۲۴]	[۲۵]	[۲۶]	[۲۷]	[۲۸]	پیشنهادی
طول (λ)	۷۵	۷۲	۸۱	۵۲	۲۲۲	۱۰۶	۵۳	۷۷	۷۶	۱۳۷	۶۶
عرض (λ)	۴۲	۵۰	۵۵	۵۰	۸۳	۵۷	۵۱	۴۷	۴۸	۴۷	۴۶
مساحت (λ^2)	۳۱۵۰	۳۶۰۰	۴۴۵۵	۲۶۰۰	۱۸۴۲۶	۶۰۴۲	۲۷۰۳	۳۶۱۹	۳۶۴۸	۶۴۳۹	۳۰۳۶

جدول ۵- نتایج شبیه‌سازی

طرح	مرجع	Delay (10^{-12} S)	Power (10^{-6} W)	PDP (10^{-17} J)	EDP (10^{-29} J.S)	PDAP (10^{-17} J.λ^2)	EDAP (10^{-29} J.S.λ^2)
منبع تغذیه = ۰/۹ ولت							
NNIFA	[۱۹]	۱۹/۶۶۰	۱/۱۸۷۴	۲/۳۳۴۴	۴۵/۸۹۴۳	۷۳۵۳/۳۶	۱۴۴۵۶۷/۰۴
BBIFA	[۲۰]	۲۳/۷۰۲	۱/۰۸۴۹	۲/۵۷۱۴	۶۰/۹۴۷۳	۹۲۵۷/۰۴	۲۱۹۴۱۰/۲۸
AOAFA	[۲۱]	۱۶/۲۱۷	۱/۵۲۸۲	۲/۴۷۸۲	۴۰/۱۸۸۹	۱۱۰۴۰/۳۸	۱۷۹۰۴۱/۵۴
AFA	[۲۲]	۱۷/۲۳۹	۰/۹۰۱۳۷	۱/۵۵۳۹	۲۶/۷۸۷۶	۴۰۴۰/۱۴	۶۹۶۴۷/۷۶
15TIFA	[۲۳]	۱۴/۵۵۰	۳/۴۷۳۰	۵/۰۵۳۱	۷۳/۵۲۲۶	۹۳۱۰۸/۴۲	۱۳۵۴۷۲۷/۴۲
APA	[۲۴]	۱۷/۲۸	۱/۲۳۰۷	۲/۱۲۶۶	۳۶/۷۴۷۶	۱۲۸۴۸/۹۱	۲۲۲۰۲۸/۹۹
LAHAF	[۲۵]	۱۹/۳۹۵	۰/۹۶۶۳۲	۱/۸۷۴۲	۳۶/۳۵۰۱	۵۰۶۵/۹۶	۹۸۲۵۴/۳۲
ANIFA	[۲۶]	۱۱/۳۸۷	۱/۲۰۲۶	۱/۳۶۹۵	۱۵/۵۹۴۴	۴۹۵۶/۲۲	۵۶۴۳۶/۱۳
9TIFA	[۲۷]	۱۵/۳۴۱	۱/۱۱۹۵	۱/۷۱۷۴	۲۶/۳۴۶۶	۶۲۶۵/۰۷	۹۶۱۱۲/۳۹
PTAFA	[۲۸]	۱۱/۲۵۸	۱/۰۷۷۹	۱/۲۱۳۴	۱۳/۶۶۰۴	۷۸۱۳/۰۸	۸۷۹۵۹/۳۱
10TIFA	پیشنهادی	۱۰/۶۸۶	۱/۰۷۷۴	۱/۱۵۱۳	۱۲/۳۰۲۷	۳۴۹۵/۳۴	۳۷۳۵۰/۹۹
منبع تغذیه = ۰/۸ ولت							
NNIFA	[۱۹]	۲۰/۷۸۷	۰/۷۷۲۹	۱/۶۰۶۷	۳۳/۳۹۸۴	۵۰۶۱/۱۰	۱۰۵۲۰۴/۹۶
BBIFA	[۲۰]	۲۵/۳۰۶	۰/۷۲۱۲	۱/۸۲۵۲	۴۶/۱۸۸۵	۶۵۷۰/۷۲	۱۶۶۲۷۸/۶۰
AOAFA	[۲۱]	۱۸/۴۹۹	۰/۹۶۷۲	۱/۷۸۹۳	۳۳/۱۰۰۲	۷۹۷۱/۳۳	۱۴۷۴۶۱/۳۹
AFA	[۲۲]	۱۸/۰۸۳	۰/۶۲۱۸	۱/۱۲۴۶	۲۰/۳۳۶۱	۲۹۲۳/۹۶	۵۲۸۷۳/۸۶
15TIFA	[۲۳]	۱۵/۷۰۶	۱/۹۷۲۴	۳/۰۹۷۸	۴۸/۶۵۴۰	۵۷۰۸۰/۰۶	۸۹۶۴۹۸/۶۰
APA	[۲۴]	۱۹/۵۳۴	۰/۷۹۷۹	۱/۵۵۸۶	۳۰/۴۴۵۶	۹۴۱۷/۰۶	۱۸۳۹۵۲/۳۱
LAHAF	[۲۵]	۲۰/۹۲۹	۰/۶۳۲۸	۱/۳۲۴۴	۲۷/۷۱۸۳	۳۵۷۹/۸۵	۷۴۹۲۲/۵۶
ANIFA	[۲۶]	۱۲/۵۶۴	۰/۷۷۷۲	۰/۹۷۶۵	۱۲/۲۶۹۳	۳۵۳۳/۹۵	۴۴۴۰۲/۵۹
9TIFA	[۲۷]	۱۷/۰۹۹	۰/۷۶۵۳	۱/۳۰۸۷	۲۲/۳۷۷۴	۴۷۷۴/۱۳	۸۱۶۳۲/۷۵
PTAFA	[۲۸]	۱۱/۹۳۴	۰/۶۷۶۵	۰/۸۰۷۴	۹/۶۳۵۵	۵۱۹۸/۸۴	۶۲۰۴۲/۹۸
10TIFA	پیشنهادی	۱۱/۹۱۴	۰/۷۱۶۸	۰/۸۵۴۱	۱۰/۱۷۵۹	۲۵۹۳/۰۴	۳۰۸۹۴/۰۳

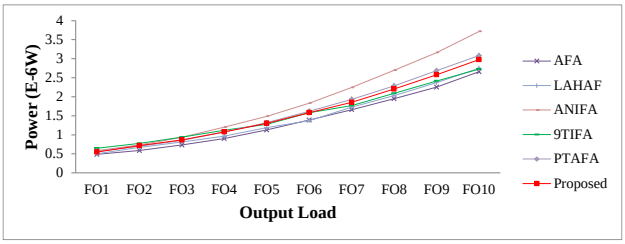
نتایج شبیه‌سازی شامل تأخیر و توان مصرفی در جدول ۵ آمده است. همه مدارها، علاوه بر مواردی که قبلاً ذکر شد، در فرکانس ساعت[۵۹] ۱ گیگاهرتز، دمای ۲۵ درجه سانتی‌گراد (دمای اتاق) و منابع تغذیه ۰/۹ و ۰/۸ ولت شبیه سازی شده‌اند. ازآنجایی‌که توان و تأخیر با یکدیگر رابطه معکوس دارند، معیارهای PDP و EDP نیز موردتوجه قرار می‌گیرند. به‌علاوه، حاصل‌ضرب توان-تاخیر-مساحت[۶۰] و انرژی-تاخیر-مساحت[۶۱] که معیارهای ارزیابی تعادلی بین

[56] Clock
[57] Power-Delay-Area Product (PDAP)
[58] Energy-Delay-Area Product (EDAP)
[59] Clock
[60] Power-Delay-Area Product (PDAP)
[61] Energy-Delay-Area Product (EDAP)

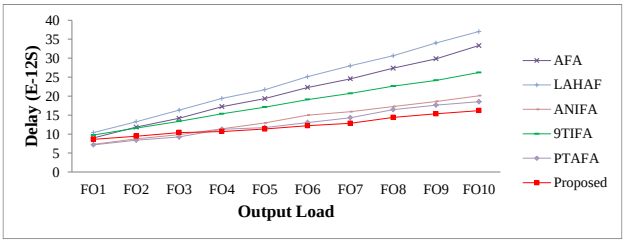
پارامترهای مختلف هستند، نیز در جدول ۵ گزارش شده‌اند. نتایج بیانگر برتری طرح پیشنهادی در اکثر معیارهای ارزیابی تعادلی است.

شکل ۱۴ نتایج شبیه‌سازی را در برابر تغییرات بار خروجی نشان می‌دهد. شبیه‌سازی‌ها در فرکانس ساعت ۱ گیگاهرتز، دمای ۲۵ درجه سانتی‌گراد، منبع تغذیه ۰/۹ ولت و بارهای خروجی مختلف از FO1 تا FO10 انجام شده است. به‌منظور افزایش وضوح نتایج و نمودارها، ازآنجایی‌که سلول‌های 15TIFA، NNIFA، BBIFA، AOAFA و APA دارای نتایج بدتری نسبت به سایر طرح‌ها هستند، در شکل شماره ۱۴ نمایش داده نشده‌اند. با توجه به نتایج موجود در شکل ۱۴(الف)، طرح پیشنهادی دارای مصرف توان پایینی است و مقدار آن قابل‌رقابت با سایر طرح‌ها است. ازنقطه‌نظر تأخیر، با توجه به شکل ۱۴(ب)، سلول پیشنهادی دارای کمترین تأخیر است. همان‌طور که در شکل‌های۱۴(ج) و ۱۴(د) نشان داده شده است، سلول پیشنهادی کمترین PDP و EDP را در مقایسه با سایر مدارها دارد. به‌عنوان‌مثال، در بار FO10، سلول پیشنهادی PDP را حدود ٪۴۵، ٪۵۲، ٪۳۵، ٪۳۲ و ٪۱۵ و EDP را در حدود ٪۷۳، ٪۷۹، ٪۴۸، ٪۵۸ و ٪۲۶ به ترتیب در مقایسه با طرح‌های AFA، LAHAF، ANIFA، 9TIFA و PTAFA کاهش می‌دهد؛ بنابراین، سلول پیشنهادی می‌تواند به طور مؤثر در مدارهای حسابی بزرگ‌تر مورد استفاده قرار گیرد.

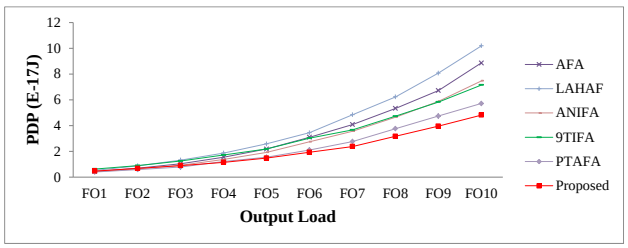
مقاومت در برابر تغییرات دمای محیط یکی از دغدغه‌های مهم در طراحی مدارهای آنالوگ و دیجیتال است. یک مدار مناسب باید بتواند در یک محدوده دمای معین به‌درستی کار کند. برای بررسی عملکرد و قابلیت اطمینان سلول‌های تمام جمع‌کننده تقریبی در برابر تغییرات دمای محیط، شبیه‌سازی های جامعی در منبع تغذیه ۰/۹ ولت، فرکانس کاری ۱ گیگاهرتز، بار استاندارد FO4 و دماهای مختلف از ۴۰- تا ۶۰+ درجه سانتی‌گراد انجام شده است. نتایج شبیه‌سازی در شکل ۱۵ نشان داده شده است. مجدداً، به‌منظور وضوح بیشتر نتایج، ازآنجایی‌که سلول‌های 15TIFA، NNIFA، BBIFA، AOAFA و APA دارای نتایج بدتری نسبت به سایر طرح‌ها هستند، در شکل ۱۵ نمایش داده نشده‌اند. ازنقطه‌نظر مصرف انرژی، سلول پیشنهادی در مقایسه با سایر سلول‌ها انرژی کمتری مصرف می‌کند. با توجه به شکل ۱۵، بدیهی است که سلول پیشنهادی نه‌تنها در برابر تغییرات دما مقاوم است، بلکه کمترین تأخیر، PDP و EDP را در مقایسه با همتایان خود دارد.



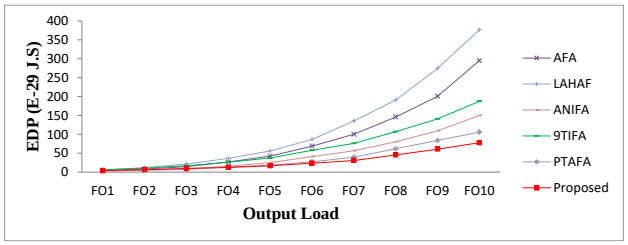
(الف)



(ب)

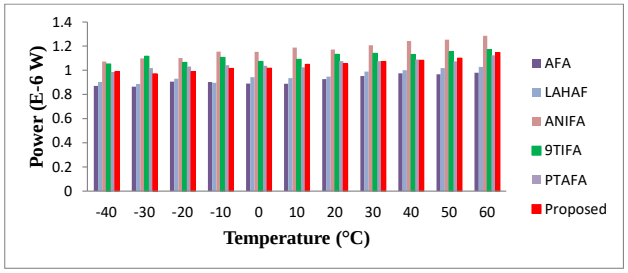


(ج)

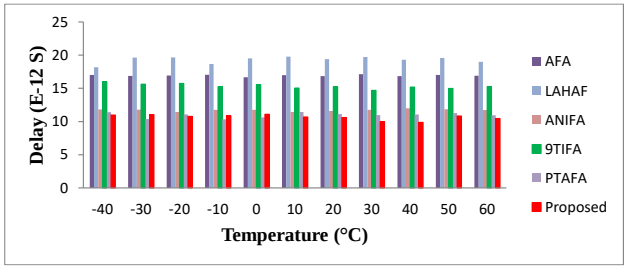


(د)

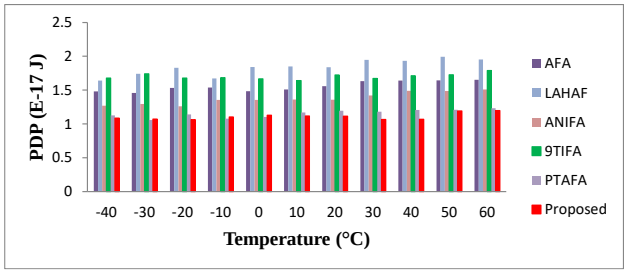
شکل ۱۴- تغییرات بار خروجی، (الف) مصرف توان، (ب) تأخیر، (ج) PDP، (د) EDP



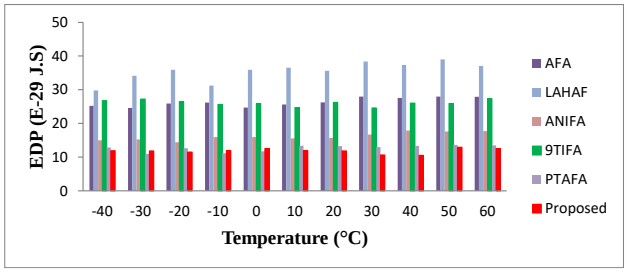
(الف)



(ب)



(ج)



(د)

شکل ۱۵- تغییرات دما، (الف) مصرف توان، (ب) تأخیر، (ج) PDP، (د) EDP

۴-۲- شبیه‌سازی سطح کاربرد

ترکیب تصویر یکی از کاربردهای مهم پردازش تصویر است که نیاز به عملیات جمع دارد. از سلول تمام جمع‌کننده پیشنهادی در چهار طبقه کم‌ارزش از یک جمع‌کننده هشت بیتی استفاده می‌شود تا عملیات جمع را انجام دهد. شکل ۱۶ تصاویر ترکیبی حاصل از این شبیه‌سازی‌ها را به ازای پنج سری تصاویر مختلف نشان می‌دهد. نتایج شبیه‌سازی تصدیق می‌نماید که ترکیب دو تصویر با استفاده از مدار جمع‌کننده پیشنهادی به‌درستی انجام می‌شود. به‌منظور بررسی دقیق‌تر، از معیار کمی نسبت اوج سیگنال به نویز[۶۲] استفاده می‌شود. این این نسبت یک معیار شناخته‌شده برای اندازه‌گیری کیفیت تصاویر است که نسبت بین قدرت سیگنال اصلی به سیگنال نویز را تعیین می‌کند. معیار PSNR از طریق رابطه (۱۳) محاسبه می‌شود [۲۸] که در این رابطه، MAX_I حداکثر مقدار یک پیکسل در یک تصویر است. پارامتر MSE نیز بیانگر میانگین مربع خطا[۶۳] است.

(الف) (ب) (پ) (ت) (ث)

شکل ۱۶- نتایج حاصل از ترکیب تصاویر برای مدار پیشنهادی، (الف) تصاویر اول، (ب) تصاویر دوم، (پ) تصاویر سوم، (ت) تصاویر چهارم، (ث) تصاویر پنجم

پارامتر MSE از طریق رابطه (۱۴) محاسبه می‌شود [۲۸]. در این رابطه، پارامترهای m و n به ترتیب تعداد سطرها و ستون‌های تصویر و پارامترهای K(i, j) و I(i, j) به ترتیب مقادیر پیکسل‌ها در تصاویر دقیق و نادقیق هستند. عموماً تصاویر با PSNR بالای ۳۰ دسی‌بل کیفیت قابل قبولی دارند [۳۵]. نتایج مربوط به PSNR حاصل شده برای هر سری از تصاویر و PSNR میانگین در جدول ۶ نمایش داده شده است. با توجه به نتایج مشاهده می‌شود که در مدار پیشنهادی مقدار پارامتر PSNR به ازای همه تصاویر بزرگ‌تر از ۳۰ دسی‌بل است که قابل‌قبول است [۳۵]؛ بنابراین، مدار پیشنهادی را می‌توان در کاربرد ترکیب تصاویر به کار گرفت.

$$PSNR = 10\log_{10}\left(\frac{MAX_I^2}{MSE}\right) \quad (۱۳)$$

$$MSE = \frac{1}{mn}\sum_{i=0}^{m-1}\sum_{j=0}^{n-1}[I(i,j) - K(i,j)]^2 \quad (۱۴)$$

جدول ۶- مقدار PSNR حاصل از ترکیب تصاویر مختلف

طرح	اول	دوم	سوم	چهارم	پنجم	میانگین
NNIFA	۳۳/۹۶	۳۳/۷۲	۳۳/۶۷	۳۳/۶۵	۳۳/۶۱	۳۳/۷۲
BBIFA	۳۳/۹۶	۳۳/۷۲	۳۳/۶۷	۳۳/۶۵	۳۳/۶۱	۳۳/۷۲
AOAFA	۳۵/۹۲	۳۵/۴۸	۳۵/۵۲	۳۶/۰۹	۳۵/۰۱	۳۵/۶۰
AFA	۳۲/۱۸	۳۱/۸۹	۳۱/۸۸	۳۲/۰۱	۳۱/۷۱	۳۱/۹۳
15TIFA	۳۲/۸۸	۳۲/۶۵	۳۲/۵۳	۳۲/۱۸	۳۲/۶۲	۳۲/۵۷
APA	۳۳/۹۶	۳۳/۷۲	۳۳/۶۷	۳۳/۶۵	۳۳/۶۱	۳۳/۷۲
LAHAF	۳۳/۱۳	۳۲/۸۵	۳۲/۷۶	۳۲/۵۶	۳۲/۹۵	۳۲/۸۵
ANIFA	۳۲/۳۵	۳۲/۳۸	۳۲/۳۵	۳۲/۱۵	۳۲/۵۴	۳۲/۳۶
9TIFA	۳۲/۱۸	۳۱/۸۹	۳۱/۸۸	۳۲/۰۱	۳۱/۷۱	۳۱/۹۳
PTAFA	۳۲/۱۸	۳۱/۸۹	۳۱/۸۸	۳۲/۰۱	۳۱/۷۱	۳۱/۹۳
10TIFA	۳۱/۲۴	۳۰/۷۹	۳۰/۸۴	۳۱/۲۵	۳۰/۴۷	۳۰/۹۲

۵- نتیجه‌گیری

محاسبات تقریبی می‌تواند به طور مؤثر در برنامه‌های کاربردی مقاوم در برابر خطا مانند پردازش تصویر، صدا و ویدئو استفاده شود. در میان انواع مختلف از مدارهای محاسباتی، سلول تمام جمع‌کننده نقش کلیدی در تعیین عملکرد کل سیستم دیجیتال ایفا می‌کند. در این مقاله، یک سلول تمام جمع‌کننده تقریبی مؤثر پیشنهاد شد. سلول پیشنهادی مبتنی بر ترکیبی از سبک‌های منطقی CMOS استاندارد و ترانزیستور عبور است. شبیه‌سازی‌های جامعی در هر دو سطح ترانزیستور و کاربرد برای ارزیابی کارایی مدارها صورت پذیرفت. نتایج شبیه‌سازی تأیید می‌کنند که سلول پیشنهادی از نظر معیارهای تأخیر، PDP و EDP نسبت به سایر مدارها کارآمدتر است. نتایج حاصل از پردازش تصویر نیز نشان دادند که از این سلول می‌توان به نحو مؤثر در کاربرد ترکیب تصاویر استفاده نمود.

مراجع

[1] M. Masadeh, O. Hasan, S. Tahar, "Using machine learning for quality configurable approximate computing", Design, Automation & Test in Europe Conference & Exhibition, pp. 1575-1578, 2019.

[2] Y. Safaei Mehrabani, M. Eshghi, "Noise and process variation tolerant, low-power, high-speed, and low-energy full adders in CNFET technology", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 24, no. 11, pp. 3268-3281, 2016.

[3] Q. Xu, T. Mytkowicz, N. S. Kim, "Approximate computing: asurvey", IEEE Design & Test, vol. 33, no. 1, pp. 8-22, 2016.

[4] K. S. Jitendra, A. Srinivasulu, B. P. Singh, "A new low-power full-adder cell for low voltage using CNTFETs", 9th International

[۶۲] Peak Signal-to-Noise Ratio (PSNR)

[۶۳] Mean Squared Error (MSE)

Conference on Electronics, Computers and Artificial Intelligence, pp. 1-5, 2017.

[5] M. Moradi, M., R. F. Mirzaee, K. Navi, "New current-mode multipliers by CNTFET-based n-valued binary converters", IEICE Transactions on Electronics, vol. 99, no. 1, pp. 100-107, 2016.

[۶] محسن شاطر مفیدی، رضا فقیه میرزایی، «طراحی و بررسی یک جمع کننده با مسیر فرعی رقم نقلی در فناوری آتوماتای کوانتومی سلولی»، مجله مهندسی برق دانشگاه تبریز، جلد ۵۰، شماره ۴، صفحات ۱۶۷۳-۱۶۸۲، ۱۳۹۹.

[7] J. Appenzeller, "Carbon nanotubes for high-performance electronics—progress and prospect", Proceedings of the IEEE, vol. 96, no. 2, pp. 201-211, 2008.

[8] Y. Safaei Mehrabani, M. Eshghi, "High-speed, high-frequency and low-PDP, CNFET full adder cells", Journal of Circuits, Systems and Computers (JCSC), vol. 24, no. 09, p.1550130, 2015.

[9] G. Hills, C. Lau, A. Wright, S. Fuller, M. D. Bishop, T. Srimani, P. Kanhaiya, R. Ho, A. Amer, Y. Stein, D. Murphy, "Modern microprocessor built from complementary carbon nanotube transistors", Nature, vol. 572, no. 7771, pp. 595-602, 2019.

[10] S. Lin, Y.-B. Kim, F. Lombardi, "CNTFET-based design of ternary logic gates and arithmetic circuits", IEEE Transactions on Nanotechnology, vol. 10, no. 2, pp. 217-225, 2009.

[۱۱] الهام نیک بخت بیدگلی، داریوش دیدبان، «بررسی عملکرد مالتی‌پلکسر سه ارزشی مبتنی بر ترانزیستورهای اثر میدان نانولوله کربنی»، مجله مهندسی برق دانشگاه تبریز، جلد ۵۰، شماره ۲، صفحات ۹۴۳-۹۵۳، ۱۳۹۹.

[12] S. Yamacli, M. Avci, "Accurate SPICE compatible CNT interconnect and CNTFET models for circuit design and simulation", Mathematical and Computer Modelling, vol. 58, no. 1-2, pp. 368-378, 2013.

[13] S. Vidhyadharan, S. S. Dan, "An efficient ultra-low-power and superior performance design of ternary half adder using CNFET and gate-overlap TFET devices", IEEE Transactions on Nanotechnology, vol. 20, pp. 365-376, 2021.

[14] A. Raychowdhury, K. Roy, "Carbon-nanotube-based voltage-mode multiple-valued logic design", IEEE Transactions on Nanotechnology, vol. 4, no. 2, pp. 168-179, 2005.

[15] S. A. Pon, V. Jeyalakshmi, "Analysis of switching activity in various implementation of combinational circuit," 6th International Conference on Advanced Computing and Communication Systems, pp. 115-121, 2020.

[16] R. Mehrotra, E. Popovici, K. L. Man, M. Schellekens, "Power reduction and technology mapping of digital circuits using AND-Inverter Graphs", 27th International Conference on Microelectronics Proceedings, pp. 295-298, 2010.

[17] A. P. Chandrakasan, R. W. Brodersen, "Minimizing power consumption in digital CMOS circuits", Proceedings of the IEEE, vol. 83, no. 4, pp. 498-523, 1995.

[18] P. J. Edavoor, S. Raveendran, A. D. Rahulkar, "Approximate multiplier design using novel dual-stage 4: 2 compressors", IEEE Access, vol. 8, pp. 48337-48351, 2020.

[19] Y. Safaei Mehrabani, R. F. Mirzaee, Z. Zareei, S. M. Daryabari, "A novel high-speed, low-power CNTFET-based inexact full adder cell for image processingapplication of motion detector", Journal of Circuits, Systems, and Computers, vol. 26, no. 5, pp. 1750082-1-1750082-15, 2017.

[20] C. Goyal, J. S. Ubhi, B. Raj, "A low leakage TG–CNTFET–based inexact full adder for low power image processing applications", International Journal of Circuit Theory and Applications, vol. 47, no. 9, pp. 1446-1458, 2019.

[21] S. Salavati, M. H. Moaiyeri, K. Jafari, "Ultra-efficient nonvolatile approximate full-adder with spin-hall-assisted MTJ cells for in-memory computing applications", IEEE Transactions on Magnetics, vol. 57, no. 5, pp. 1-11, May 2021.

[22] M. Mirzaei, S. Mohammadi, "Process variation-aware approximate full adders for imprecision-tolerant applications", Computers & Electrical Engineering, vol. 87, p. 106761, 2020.

[23] Z. Zareei, M. Bagherizadeh, M. H. Shafiabadi, Y. Safaei Mehrabani, "Design of efficient approximate 1-bit full adder cells using CNFET technology applicable in motion detector systems", Microelectronics Journal, vol. 108, pp. 1-13, 2021.

[24] Z. Yang, R. Lv, X. Li, J. Wang, J. Yang, "Approximate computing based low power image processing architecture for intelligent satellites", 11th EAI International Conference in Wireless and Satellite Systems, pp. 351-363, 2021.

[25] S. E. Fatemieh, S. S. Farahani, M. R. Reshadinezhad, "LAHAF: low-power, area-efficient, and high-performance approximate full adder based on static CMOS", Sustainable Computing: Informatics and Systems, vol. 30, p. 100529, 2021.

[26] A. Mohammadi, M. M. Ghanatghestani, A. S. Molahosseini, Y. Safaei Mehrabani, "High-performance and energy-area efficient approximate full adder for error tolerant applications", ECS Journal of Solid State Science and Technology, vol. 11, no. 8, p. 081010, 2022.

[۲۷] محمدرضا رشادی‌نژاد، سید عرفان فاطمیه، زهرا داوری شلمزاری، «طراحی و بهینه‌سازی یک تمام جمع‌کننده تقریبی مبتنی بر ترانزیستورهای نانولوله کربنی و بررسی کاربرد آن در پردازش تصویر دیجیتال»، هوش محاسباتی در مهندسی برق، جلد ۱۱، شماره ۳، صفحات ۲۵-۳۶، ۱۳۹۹.

[28] A. Mohammadi, M. M. Ghanatghestani, A. S. Molahosseini, Y. Safaei Mehrabani, "Image processing with high-speed and low-energy approximate arithmetic circuit", Sustainable Computing: Informatics and Systems, vol. 36, pp. 1-15, 2022.

[29] Home of the electric VLSI design system website, Available online at: http://www.staticfreesoft.com/index.html

[30] J. Huang, M. Zhu, P. Gupta, S. Yang, S. M. Rubin, G. Garret, J. He, "A CAD tool for design and analysis of CNFET circuits", IEEE International Conference on Electron Devices and Solid-State Circuits, pp. 1-4, 2010.

[31] J. Huang, M. Zhu, S. Yang, P. Gupta, W. Zhang, S. M. Rubin, G. Garreton, J. He, "A physical design tool for carbon nanotube field-effect transistor circuits", ACM Journal on Emerging Technologies in Computing Systems, vol. 8, no. 3, pp. 1-20, 2012.

[32] J. Deng, H.-S. P. Wong, "A compact SPICE model for carbon-nanotube field-effect transistors including nonidealities and its application—Part I: Model of the intrinsic channel region", IEEE Transactions on Electron Devices, vol. 54, no. 12, pp. 3186-3194, 2007.

[33] J. Deng, H.-S. P. Wong, "A compact SPICE model for carbon-nanotube field-effect transistors including nonidealities and its application—Part II: Full device model and circuit performance benchmarking", IEEE Transactions on Electron Devices, vol. 54, no. 12, pp. 3195-3205, 2007.

[34] S. Goel, A. Kumar, M. A. Bayoumi, "Design of robust, energy-efficient full adders for deep-submicrometer design using hybrid-CMOS logic style", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 14, no. 12, pp. 1309-1321, 2006.

[35] T. Y. Hsieh, Y. H. Peng, K. C. Cheng, T. A. Cheng, "Error-tolerability enhancement via bit inversion and median filtering for single-bit errors in image processing circuits", Microsystem Technologies, vol. 24, no. 1, pp. 59-69, 2018.