Proposition of an Ultra-High Voltage Gain Interleaved DC-DC Converter with ZVS Performance and Low Voltage Stresses Across Switches for Renewable Energy Systems Applications

Alireza bagherian¹, Tohid Nouri*¹, Mahdi Shaneh², Mehdi Radmehr¹

¹Department of Electrical Engineering, Sari Branch, Islamic Azad University, Sari, Iran. ²Department of Electrical Engineering, Najafabad Branch, Islamic Azad University, Najafabad, Iran. E-mails: f.daraei@cfu.ac.ir; thdnouri@iausari.ac.ir; m.shaneh@pel.iaun.ac.ir; mehdi.radmehr@iau.ac.ir

Short Abstract

The proposed converter is an interleaved ultra-large gain converter based on coupled-inductor (CI), built-in transformer (BIT) and switched capacitor (SC). The main novelty of the proposed converter is that the voltage gain can be achieved in proportionate to the multiplication of the turn ratios of the CIs and BIT that increase the voltage gain of the proposed converter. Also, through this topology, the voltage stresses across the power switches are effectively reduced and as a result MOSFETs with low ON-state resistances can be implemented that reduces the cost and conduction losses. Implementation of active clamp technique not only facilitates zero voltage switching (ZVS) turn-ON and turn-OFF for all switches, but also recycles the energy of the leakage inductances. Moreover, due to the presence of the leakage inductances, all of the diodes are turned OFF with zero current switching (ZCS) performance and the associated reverse recovery problem is solved, effectively. Through extensive comparison discussion, it is concluded that the proposed converter with low number of components outperforms previously presented ones in the terms of the voltage gain and voltage stresses across switches. Finally, the performance of the proposed converter is validated through developing a 100kHz 600W 22-380V prototype.

Keywords

Ultra-high step-up, interleaved converter, coupled inducter (CI), built-in transformer (BIT), zero voltage switching, zero current switching.

1- Short Introduction (4-5 lines)

The input current ripple of single-phase step-up converters is very large especially in high power applications, which decreases the life time of photovoltaic panels. To reduce the input current ripple, interleaved boost converters (IBCs) have been introduced. In high frequency and high power applications, in order to increase the efficiency, IBCs with soft switching performance such as zero voltage switching (ZVS) and zero current switching (ZCS) have been proposed to decrease the switching losses. To increase the voltage gain of IBCs, several alternatives such as coupled inductor (CI), built-in transformer (BIT) and voltage multiplier cells have been introduced, recently.

2- Proposed Work and Methodology (including comprision, simulation/experimental results and discusion)

Due to the symmetry of the operation of the proposed converter, the operating principle is presented in a half switching cycle. The steady-state analysis of the proposed converter is provided. Through an extensive performance comparison with similar concepts, it is concluded that the proposed converter outperforms its competitors. Finally, the performance of the proposed converter is validated through developing a 100kHz 600W 22-380V prototype.

3- Conclusion (4-5 lines)

An interleaved ultra-large gain converter with ZVS performance has been proposed in this paper. By using of the turns ratios of the CI and BIT mixed with switched capacitor concept, the voltage gain can be achieved in proportionate to the multiplication of the turn ratios of the CIs and BIT. Low input current ripple, low voltge sresses across switches and high efficiency are the other advantages of the proposed converter. Through an extensive performance comparison with similar concepts, it is concluded that the proposed converter outperforms its competitors. Finally, the performance of the proposed converter is validated through developing a 100kHz 600W 22-380V prototype.

4- References (2-3 references)

[1] T. Nouri, N. Nouri and N. Vosoughi, "A Novel High Step-Up High Efficiency Interleaved DC–DC Converter With Coupled Inductor and Built-In Transformer for Renewable Energy Systems," *IEEE Trans. on Ind. Electron.*, vol. 67, no. 8, pp. 6505-6516, Aug. 2020.

[2] A. Bagherian, T. Nouri, M. Shaneh and M. Radmehr, "An interleaved ZVS ultra-large gain converter for sustainable energy systems applications," *IET Power Electron*, vol. 14, no. 2, pp. 1606–1621, May. 2021.

ارائه یک مبدل اینترلیود DC-DC فوق افزاینده ولتاژ با قابلیت کلیدزنی در ولتاژ صفر و استرس ولتاژ کم روی کلیدها برای کاربردهای سیستمهای انرژی تجدیدپذیر

عليرضا باقريان

دکتری، گروه مهندسی برق، واحد ساری، دانشگاه آزاد اسلامی، ساری، ایران

توحيد نورى

استادیار، گروه مهندسی برق، واحد ساری، دانشگاه آزاد اسلامی، ساری، ایران

مهدی شانه استادیار، گروه مهندسی برق، واحد نجف آباد، دانشگاه آزاد اسلامی، نجف آباد، ایران

مهدی رادمهر استادیار، گروه مهندسی برق، واحد ساری، دانشگاه آزاد اسلامی، ساری، ایران

چکیدہ

در این مقاله یک مبدل اینترلیود DC-DC با بهره ولتاژ زیاد ارائه شده است که مبتنی بر سلف تزویج، ترانسفورماتور جاسازی شده (BIT) و کلیدزنی خازنی می باشد. با قرار گیری سیم پیچ های ثانویه سلف تزویج بین سیم پیچ های اولیه آن و سیم پیچی اولیه BIT، بهره ولتاژ خروجی متناسب با حاصل ضرب نسبت دور سیم پیچ های سلف تزویج و BIT خواهد شد. همچنین تنش ولتاژ رو کلیدهای قدرت به مقدار قابل ملاحظه ایی کاهش یافته است که در نتیجه آن میتوان از نیمه هادی های با مقاومت هدایتی کمتر استفاده نمود که سبب کاهش تلفات هدایتی و قیمت مبدل می شود. با استفاده از کلمپ اکتیو نه تنها کلیدزنی در ولتاژ صفر (ZVS) در لحظههای روشن و خاموش شدن برای کلیدهای قدرت مهیا می شود بلکه انرژی سلف های نشتی نیز به صورت موثری بازیابی خواهد شد. همچنین به دلیل کنترل شدن شیب جریان کاهشی دیودها توسط سلف های نشتی، این نیمه هادیها در جریان صفر (ZCS) خاموش می شوند که در نتیجه آن مشکلات بازیابی معکوس حل شده و عملکرد مبدل بهبود می باد. در پایان، جهت بررسی عملکرد مبدل یک نمونه آزمایشگاهی ۶۰۰ وات، ۲۲ به ۳۵۰ ولتی با فرکانس کلیدزنی ۱۰۰۰ کیلوهرتز ساخته می شود.

كلمات كليدى

بهره ولتاژ زیاد، مبدل اینترلیود، سلف تزویج، ترانسفورماتور جاسازی شده، کلیدزنی در ولتاژ صفر، کلیدزنی در جریان صفر.

نام نویسنده مسئول: توحید نوری ایمیل نویسنده مسئول: thdnouri@iausari.ac.ir

> تاریخ ارسال مقاله: ۱۴۰۱/۰۶/۱۹ تاریخ(های) اصلاح مقاله: ۱۴۰۱/۰۸/۰۷ تاریخ پذیرش مقاله: ۱۴۰۱/۰۹/۱۶

۱– مقدمه

در سالهای اخیر به علت گسترش روزافزون سوختهای فسیلی، مشکلاتی از قبیل کاهش ذخایر این سوخت ها، گرمایش جهانی و انتشار گازهای گلخانه ای را به همراه داشته است. به همین دلیل توجه مهندسان صنعت برق به استفاده از انرژی ها تجدید پذیر از قبیل فتوولتائیک^۱ و پیل سوختی^۲ جلب شده است که مشکلات ذکر شده در مورد سوخت های فسیلی را ندارند. ولی سطح ولتاژ خروجی این منابع انرژی پایین (کمتر از ۵۰ ولت برای پانل های فتوولتائیک) بوده و برای تغذیه لینک CD اینورترها باید سطح ولتاژ آنها را تا ۵۰۳ ولت الی ۴۰۰ ولت افزایش داد. همچنین در ریز شبکههای CD که ولتاژ

ترمینال DC حدود ۷۲۰ ولت می باشد، جهت اتصال منابع DC تولید توان، به عنوان یک راه کار با راندمان بالا می توان از مبدل های DC-DC افزاینده ولتاژ استفاده نمود [1]. جهت افزایش بهره ولتاژ مبدل بوست مرسوم و مبدل های تک کلیدی بسیاری در سال های اخیر ارائه شدهاند [۲–۳]. از مزایای این مبدل ها می توان به سادگی ساختار و قیمت تمام شده کم آن ها اشاره نمود. ولی باید در نظر داشت با افزایش سطح توان بار، به علت پردازش کل توان توسط هر کدام از المان ها، راندمان به صورت چشمگیری کاهش می یابد. مبدل های اینترلیود^۳ به عنوان گزینه مناسبی در کاربردهای توان بالا جهت افزایش سطح ولتاژ خروجی منابع انرژی تجدید پذیر به سطح مورد نیاز مطرح می شوند. در این

[&]quot; Interleaved Converters

^{&#}x27; Photovoltaic

۲ Fuel Cell

مبدلها جریان ورودی بین فازها تقسیم شده و با تقسیم تنش حرارتی تلفات کاهش می یابد. همچنین در این ساختارها ریپل جریان ورودی به صورت موثری کاهش می یابد که با افزایش طول عمر منبع انرژی تجدید پذیر و همچنین بهبود رديابي نقطه حداكثر توان على الخصوص در پانل هاى فتوولتائيك همراه خواهد بود. مبدل اینترلیود بوست مرسوم به عنوان گزینهای با ساختار ساده و ارزان قیمت در این مورد میباشد. علیرغم مزایای این مبدل، جهت افزایش بهره ولتاژ باید سیکل کاری را تا حد ممکن به یک نزدیک نمود که با افزایش تلفات هدایتی و کاهش راندمان همراه میباشد. همچنین کارکردن ماسفت قدرت[†] در دیوتی سایکل نزدیک به یک، محدوده کنترلی مبدل را محدود خواهد نمود. علاوه بر این دیود و ماسفت قدرت باید تنش ولتاژ بالایی به اندازه ولتاژ خروجی را تحمل نمایند. در نتیجه باید از کلیدهایی با مقادیر نامی ولتاژ بالا استفاده نمود که نه تنها قيمت تمام شده مبدل را افزايش مىدهد بلكه به علت زياد بودن المان های پارازیتی از قبیل مقاومت هدایتی ماسفت و ولتاژ آستانه هدایت دیود، تلفات توان مقدار قابل توجهی خواهد شد [۱]. جهت افزایش بهره ولتاژ و کاهش تنش ولتاژ روی نیمه هادیها، ساختارهای مبتنی بر ضرب کننده های ولتاژ دیودی-خازنی^۵ در [۴–۶] ارائه شدهاند. مهم ترین عیب این مبدل ها این است که جهت افزایش بهره ولتاژ باید تعداد ضرب کننده های ولتاژ را افزایش داد که پیچیدگی ساختار، جریان شارژ خازنی و قیمت تمام شده مبدل را افزایش میدهد. راه حل ديگر براي افزايش بهره ولتاژ استفاده از سلف تزويج ً در كنار ضرب كننده ولتاژ مى باشد [٧-١٧]. در اين مبدل ها عموما سيم پيچ اوليه سلف تزويج بجاى سلف ورودی قرار گرفته و سیم پیچی ثانویه در ضرب کننده ولتاژ قرار می گیرد. با افزایش نسبت تبدیل سلف تزویج، بهره ولتاژ افزایش یافته و همچنین تنش ولتاژ روى ماسفتها كاهش مىيابد. همچنين به علت وجود سلف نشتى، ديودها در جریان صفر ^۷(ZCS) خاموش می شوند و نوسانات جریان مربوط به بازیابی معکوس به حداقل مقدار ممکن میرسد. از طرفی دیگر ماسفت ها با عملکرد ZCS روشن می شوند که تلفات کلیدزنی را کمینه می نماید. همچنین جهت جذب انرژی سلف نشتی و حذف اضافه ولتاژ شدید روی ماسفتها در لحظه خاموش شدن، در این مبدل ها استفاده از مدار کلمپ غیر فعال شامل دیود و خازن اجتناب ناپذیر است. استفاده از ترانسفورماتور جایگزین شده ^۸(BIT) در سال های اخیر به عنوان جایگزین مناسبی برای سلف های تزویج ارائه شده است. مقدار متوسط جریان سیم پیچیهای BIT صفر بوده و در نتیجه مقدار موثر جریان عبوری از سیم پیچی اولیه در آن به مراتب کمتر از مقدار نظیر در سلف تزويج ميباشد [1۸–۲۰]. در نتيجه ابعاد هسته در BIT كمتر بوده و با اين حال به علت صفر بودن متوسط جریان در آنها، اشباع هسته رخ نمیدهد. با به کارگیری هم زمان سلف تزویج و BIT، درجه آزادی برای افزایش بهره ولتاژ افزایش یافته و انعطاف پذیری بیشتری در طراحی المان های مختلف مبدل وجود خواهد داشت [۲۱–۲۲]. اگرچه در مبدلهای [۳–۲۲] ماسفتهای قدرت در لحظه روشن شدن تحت ZCS عمل مینمایند، ولی باید توجه داشت که تلفات کلیدزنی در این حالت کمینه نمی شود. سلول های کلیدزنی نرم و مدارهای کلمپ فعال^۹ میتوانند به صورت موازی با کلید اصلی قرار گرفته و روشن شدن در ولتاژ صفر ^{۱۰} (ZVS) را فراهم آورند. در [۲۳] با به کار گیری یک خازن، دو ماسفت کمکی و یک سلف تزویج، ماسفتهای اصلی تحت ZVS روشن می شوند. یک سلول فعال شامل یک ماسفت کمکی، چهار دیود، یک سلف تزویج در [۲۴] جهت برقراری کلیدزنی نرم ارائه شده است که ZVS را برای کلید اصلی در لحظه روشن شدن حتی در توانهای خروجی کم محقق

مینماید. عیب مهم تکنیکهای ارائه شده در [۲۳–۲۴] این است که تعداد المانهای مبدل افزایش یافته و سلفهای تزویج به کارگرفته شده در سلول کلیدزنی نرم تاثیری در افزایش بهره ولتاژ ندارند. در [۲۵] سلول کلیدزنی نرم شامل چهار دیود، یک خازن، یک ماسفت کمکی و یک سلف تزویج دو سیم پیچه می باشد. در نتیجه تعداد المان های مدار و پیچیدگی ساختار آن افزایش مییابد. مدار کلمپ اکتیو شامل یک خازن و یک ماسفت سری شده با آن در [۲۲–۲۶] جهت تحقق ZVS مورد استفاده قرار گرفتهاند. ساختار مدار كلمپ در این مدارت بهمراتب سادهتر بوده و با تعداد کمتری از المانها میتوانند عملکرد ZVS را برای کلیدهای اصلی و کمکی محقق سازند. روش دیگر جهت تحقق کلیدزنی نرم، بهره گیری از تکنیک شبه رزونانس میباشد [۳۳-۳۶]. در این دسته از مبدل ها، با طراحی مناسب المان ها و در نتیجه ایجاد فرم شبه سینوسی در شکل موجها به طوریکه در لحظه عمل نمودن کلید، مقادیر جریان و ولتاژ آن کمینه یا صفر شوند، تلفات کلیدزنی را به حداقل میرسد. از مهمترین مزاياي اين از مبدلها، مي توان به مستقل بودن محدوده كليدزني نرم از تغييرات بار اشاره نمود. ولى بايد توجه نمود مقدار بيشينه جريان و ولتاژ كليدها و در نتيجه مقادير موثر آنها در اين روش افزايش مىيابد كه با افزايش تلفات همراه مىباشد.

در این مقاله یک مبدل اینترلیود فوق افزاینده ولتاژ DC-DC با قابلیت ZVS ارائه شده است. مبدل پیشنهادی شامل دو سلف تزویج میباشد که سیمپیچی اولیه هر کدام از آنها بجای سلف مبدل بوست معمولی قرار داده شده است. سیم پیچی ثانویه هر کدام از آنها نیز بین سیم پیچی اولیه BIT و سیم پیچی اولیه خود اتصال یافتهاند. همچنین ضرب کننده ولتاژ شامل دیود، خازن و سیم پیچی های ثانویه و ثالثیه BIT میباشد. دو مدار کلمپ فعال که شامل یک کلید کمکی، دیود و خازن میباشد نیز برای تامین کلیدزنی نرم به صورت موازی با کلیدهای اصلی قرار می گیرند. مهمترین مزیت مبدل بهره ولتاژ بسیار بالای آن میباشد که متناسب با حاصل ضرب نسبت تبدیل سلف تزویج و BIT می باشد. برخی دیگر از مزیتهای مبدل در زیر آورده شده است.

- افزایش بهره ولتاژ مبدل به دلیل بکارگیری همزمان موثر از سلف تزویج و BIT
 - كاهش تنش ولتاژ روي كليدهاي مبدل
 - کاهش مشکل جریان بازیابی معکوس دیودها
 - تحقق ZVS برای کلیدهای اصلی و کمکی

۲- مبدل ارائه شده و عملکرد آن

مبدل پیشنهادی شامل دو سلف تزویج دو سیم پیچه، یک BIT سه سیم پیچه، دو کلمپ فعال و یک مدار ضرب کننده ولتاژ می باشد که مدار قدرت آن در شکل ۱ نشان داده شده است. سیم پیچ ثانویه سلف تزویج بین سیم پیچ اولیه در شکل ۱ نشان داده شده است. سیم پیچ ثانویه سلف تزویج بین سیم پیچ اولیه و لسف تزویج و یه بین می مرد و لتاژ زیادی متناسب با حاصل ضرب نسبت تبدیلهای سلف تزویج و BIT بدست معاد ژیادی متناسب با حاصل ضرب نسبت تبدیلهای سلف تزویج و BIT بدست می آید. می آید. L_{Lk} و L_{Lk} به ترتیب نماد سلفهای نشتی معادل در می آید. معاد و سلفهای مناطبی کنندگی سلفهای تزویج می باشند. S_{1} معاد است. S_{2} کلیدهای اصلی و S_{2} مقدار معادل سلف نشتی در اولیه BIT است. S_{2} کلیدهای اصلی و S_{2} مقدار معادل سلف نشتی در اولیه BIT ست. S_{2} و S_{2} کلیدهای اصلی و S_{2} کلیدهای کمکی مبدل جهت تامین کلیدزنی نرم می باشند. C_{2} خازنهای کلمپ، خازنهای S_{2} و C_{2} خازنهای مدار چند برابر

^{*} Power MOSFET

^a Diode-Capacitor Voltage Multiplier Cell

² Coupled Inductor

^v Zero Current Switching

[^] Built-In Transformer

¹ Active Clamp Circuit

^{1.} Zero Voltage Switching

کننده ولتاژ و O_{C} خازن خروجی مبدل میباشند. D_{r1} و D_{r2} و D_{r2} دیودهای مدار چندبرابر کننده ولتاژ و R_{out} نشان دهنده مقاومت بار می باشد. نسبت دور BIT سلف تزویج $n = n_{s1} / n_{p1} = n_{s2} / n_{p2}$ و نسبت دور BIT با BIT می شود. شکل ۲، شکل موجهای کلیدی مبدل را نشان می دهد که در یک دوره کلید زنی شامل هجده مد عملکرد میباشد. به دلیل متقارن بودن مدهای کاری، تنها نه مد کاری اول بررسی خواهد شد که مدار معادل نظیر هر مد در شکل ۳ نشان داده شده است.



شکل ۱- مدار قدرت مبدل پیشنهادی



مد ۱ [$t_o \sim t_i$]: در طول این مد، هر دو ماسفت اصلی روشن و ماسفتهای کمکی خاموش هستند. L_{m1} و L_{m2} به ولتاژ ورودی متصل و به طور خطی شارژ می گردند. انرژی بار خروجی نیز توسط خازن C_0 تامین می شود.

$$i_{Lk1,2}(t) = i_{Lm1,2}(t) = i_{Lk1,2}(t_0) + \frac{V_{in}}{L_{Lk1,2} + L_{m1,2}}(t - t_0)$$
(1)

مد ۲ [$_1 \sim t_2$]: در لحظه $_1$ ، ماسفت S_1 خاموش شده و به دلیل وجود خازن $T_1 \sim t_2$]، معملکرد ZVS برای آن محقق می شود. جریان مغناطیس کنندگی C_{S1} ، معملکرد C_{S1} برای آن محقق می شود. جریان مغناطیس کنندگی L_{m1} ، از خازن C_{S1} عبور می کند و ولتاژ درین-سورس S_1 افزایش می یابد.

$$V_{DS1}(t) = V_{Cs1}(t) = \frac{i_{Lm1}(t_1)}{C_{s1}}(t - t_1)$$
(Y)

مد $\P \left[{}_{S} \sim t_{2} \right]$: در لحظه ${}_{2}t_{1}$ ولتاژ خازن ${}_{S}C_{1}$ به مقدار ولتاژ خازن کلمپ ${}_{C_{1}} \sim t_{2}$ میرسد و دیود موازی-معکوس با کلید کمکی ${}_{S_{1}} S_{C_{1}}$ روشن میشود. از آنجایی که مقدار خازن ${}_{C_{1}} = t_{2}$ خیلی کوچکتر از مقدار خازن ${}_{C_{1}} C_{C_{1}}$ است، جریان سلف مغناطیس شوندگی ${}_{m_{1}} I_{m_{1}}$ از خازن ${}_{C_{1}} 2$ عبور کرده و درنتیجه تنش ولتاژ ماسفت ${}_{1} S$ توسط خازن ${}_{C_{1}} 2$ محدود می گردد.

$$V_{DS1}(t) = V_{CS1}(t) = V_{CC1}(t)$$
(°)

$$i_{S2}(t) = i_{Lk2}(t) + (2N + 1)i_{Dr2}(t)$$

مد **۵** [$t_4 \sim t_5$]: در لحظه t_4 ، پالس گیت جهت روشن شدن کلید کمکی $t_4 \sim t_5$] به آن اعمال میشود. به دلیل روشن بودن دیود موازی-معکوس، این ماسفت تحت شرایط ZVS روشن میشود.

مد $P = [t_5 \sim t_6]$: در لحظه t_5 ، کلید کمکی S_{C1} به خاطر وجود خازن $t_5 \sim t_6$]: در لحظه TSS خاموش می شوند و یک مدار رزونانس شامل های C_{C1} و C_{C1} شکل می گیرد. خازن C_{S1} نیز L_{Lk1} ، L_{Lk2} ، L_{Lk2} ، L_{Lk1} ، L_{Lk1} ، C_{S1} نیز شروع به دشارژ می کند و ولتاژ آن در زمان t_6 به صفر برسد.

مد $V = [r_6 \sim t_7]$ در لحظه t_6 ، ولتاژ خازن C_{S1} به صفر می سد و سپس دیود موازی-معکوس کلید اصلی S_1 وشن می گردد. نرخ نزول جریان دیودهای D_{c1} و D_{c1} و D_{c1} توسط جریان نشتی ادوات مغناطیسی کنترل می شود. روابط (۵)–(۷) در این مد عملکرد برقرار می باشند:

$$i_{s2}(t) = i_{1k2}(t) + (2N+1)i_{Dr2}(t)$$
(*)

$$i_{lk1} = i_{lk1}(t_6) + \frac{(1+N)(V_{Out} + nV_{in}) - (2+N)V_{Cm}}{n(1+N)L_{lk1}}(t-t_6)$$
 (Δ)

$$\frac{di_{Do1}}{dt} = \frac{nV_{in} - V_{Cm1} + V_{out}}{n^2 (2N+1)L_{Lk1} + 2N^2 L_{Lkb}}$$
(8)

$$\frac{di_{Dr2}}{dt} = \frac{V_{Cm2}}{n^2 (2N+1)L_{Lk1} + 2N^2 L_{Lkb}}$$
(Y)

مد $[t_7 \sim t_8]$ در لحظه t_7 ، پالس گیت روشن شدن کلید S_1 اعمال میشود. به دلیل روشن بودن کلید موازی-معکوس، کلید S_1 تحت عملکرد ZVS روشن می گردد. با کاهش جریان گذرنده از L_{Lkb} و در نتیجه به علت عملکرد ترانسفورماتوی، جریان D_{r2} و D_{r2} نیز به طور خطی کاهش مییابند.



شکل ۳- مدهای کاری مبدل پیشنهادی در طول نیم سیکل کاری

در لحظه t_8 ، جریان دیود D_{O1} صفر شده و تحت ZCS خاموش می شود و t_8 مشکل بازیابی معکوس در آن به حداقل میرسد.

مد P [$t_{s} \sim t_{g}$]: در لحظه t_{8} ، دیود D_{O1} تحت ZCS خاموش می گردد. در طول این مد عملکرد، جریان عبوری از L_{Lkb} ادامه می یابد تا به صفر برسد. در زمان t_9 ، دیود D_{r2} نیز تحت ZCS نیز خاموش می گردد.

همانطور که قبلا گفته شد به دلیل متقارن بودن ساختار مبدل، مدهای کاری یکسانی برای نیم سیکل بعدی مدار وجود دارد.

۳- تحلیل حالت ماندگار مبدل پیشنهادی

از آنجایی که ساختار مبدل ارائه شده متقارن میباشد، می توان مقادیر المان های هر دو فاز را برابر با یکدیگر در نظر گرفت. بهطوری که:

 $L_m = L_{m1} = L_{m2}; C_m = C_{m1} = C_{m2}; C_c = C_{c1} = C_{c2}$ همچنین از مقدار تمامی سلفهای نشتی صرف نظر شده است و خازنها به اندازه کافی بزرگ درنظر گرفته شدهاند تا هر یک به عنوان یک منبع تغذیه با ولتاژ ثابت در یک دوره تناوب در نظر گرفته شوند.

1-۳ محاسبه بهره ولتاژ مبدل

با استفاده از قانون تعادل ولت-ثانیه برای ولتاژ سلفهای مغناطیس شوندگی L_{m1} و L_{m2} ، ولتاژ خازن کلمپ برابر رابطه (۸) بدست می آید.

$$V_{Cc} = V_{Cc1} = V_{Cc2} = \frac{V_{in}}{1 - D}$$
(A)

ولتاژ خازن ضرب کننده ولتاژ و ولتاژ اولیه BIT از مدار مد ۴ بدست می آید

$$V_{Cm2} = V_{Np} + V_{Nt} = (1+N)V_{Np}$$
(۹)

$$V_{Np} = V_{cc} + V_{ns2} - V_{ns1} = (1+n)V_{cc}$$
(1.)

همچنین:

$$V_{ns1} = n(V_{in} - V_{Cc})$$

$$V = nV$$

$$(11)$$

$$\mathbf{v}_{ns2} = n \mathbf{v}_{in} \tag{11}$$

از فرمول های (۹) -(۱۲)، V_{Cm2} و V_{Cm2} از رابطه (۱۳) حاصل می شوند:

$$V_{Cm1} = V_{Cm2} = (1+N)(1+n)V_{cc}$$
(1°)

$$V_{out} = V_{Cm1} + V_{Ns} - V_{ns1} + V_{cc} = (2Nn + 2N + n + nD + 2)V_{Cc}$$
(14)

$$M = \frac{V_{out}}{V_{in}} = \frac{2N(1+n) + n(1+D) + 2}{1-D}$$
(1 Δ)

همان طور که از فرمول (۱۵) قابل مشاهده است، مقدار بهره ولتاژ مبدل به سیکل وظیفه و نسبت تبدیل ادوات مغناطیسی وابسته بوده و با افزایش هریک از این پارامترها به صورت قابل ملاحظهای افزایش می یابد. در محاسبه بهره ولتاژ، مقدار سلف نشتی در مبدل های با کلید زنی نرم بسیار اهمیت دارد و مقدار بهره مبدل را تحت تاثیر قرار میدهد. با احتساب سلفهای نشتی ادوات مغناطیسی بهره ولتاژ برابر است با:

$$M = \frac{2N(1+n) + n(1+D) + 2}{(1-D) + \sqrt{(1-D)^2 + 8(Q_{CI} + Q_{BII})}}$$
(19)

 $Q_{BIT} = 2N^2 L_{Lkb} f / R_{out}$ $Q_{CI} = n^2 (2N + 1) L_{Lk} f_S / R_{out}$ λ می باشد. همان طور که از فرمول (۱۶) قابل مشاهده است با افزایش مقدار سلف نشتی، فرکانس کلیدزنی و توان خروجی، بهره ولتاژ کاهش می یابد.

T-۲- تنش ولتاژ و جریان
تنش ولتاژ کلیدهای اصلی و کمکی برابر ولتاژ خازنهای کلمپ میباشند
$$V_s = V_{sc} = V_{cc} = \frac{V_{in}}{1-D} = \frac{V_{out}}{2N(1+n)+n(1+D)+2}$$
 (۱۷)

همان طور که مشاهده می شود تنش ولتاژ ماسفتها، به مراتب کم تر از ولتاژ خروجی مبدل میباشد و با افزایش نسبت تبدیل ادوات مغناطیسی، بهصورت موثری کاهش مییابد. بنابراین، کلیدهایی با ولتاژ نامی کم را میتوان جهت كاهش تلفات هدايتي مبدل مورد استفاده قرار داد.

تنش ولتاژ دیودهای خروجی و دوبرابر کننده ولتاژ برابر روابط (۱۸) و (۱۹) بدست میآید.

$$V_{Dr,Max} = \frac{2Nn + 2N + 2n + 2.5}{2N(1+n) + n(1+D) + 2} V_{out}$$
(1A)

$$V_{Do,Max} = \frac{2Nn + 2N + 2nD + 2}{2N(1+n) + n(1+D) + 2} V_{out}$$
(19)

مقدارهای بیشینه و موثر جریان عبوری از المانها از فرمولهای (۲۰)-

(۳۰) قابل محاسبه است:

$$I_{S,Max} = \frac{I_{in}}{2} + (1+n)(2N+1)I_{Dr} = \frac{6Nn+6N+3n+4}{2(1-D)}I_{out}$$
 (۲۰)

$$I_{Sc,Max} = \frac{I_{in}}{2} = \frac{2Nn + 2N + n + 2}{2(1-D)} I_{out}$$
(11)

$$I_{Dr,Max} = I_{Do,Max} = \frac{1}{1-D} I_{out}$$
(YY)

$$I_{S,RMS} = \frac{MI_{out}}{2} \sqrt{D + \frac{2(1+n)(1+2N)}{M} + \frac{4(1+n)^2(1+2N)^2}{3M^2(1-D)}}$$
(YY)

$$I_{Sc,RMS} = I_{Cc,RMS} = \frac{MI_{out}}{2} \sqrt{\frac{(1-D)}{3}}$$
(YF)

$$I_{Dr,RMS} = I_{Do,RMS} = I_{out} \sqrt{\frac{1}{3(1-D)}}$$
(Y Δ)

$$I_{Lk,RMS} = \frac{I_{out}}{2\sqrt{3}} \sqrt{3M^2 + \frac{8n^2(2N+1)^2}{1-D}}$$
(YP)

$$I_{ns,RMS} = I_{out} \sqrt{\frac{2(2N+1)^2}{3(1-D)}}$$
(YY)

$$I_{Np,RMS} = 2NI_{out} \sqrt{\frac{2}{3(1-D)}}$$
(YA)

$$I_{NS,RMS} = I_{NI,RMS} = I_{Cm,RMS} = I_{out} \sqrt{\frac{2}{3(1-D)}}$$
(Y9)

$$I_{Co,RMS} = I_{out} \sqrt{\frac{2}{3(1-D)} - 1} \tag{(\%)}$$

۳-۳- راندمان مبدل

با توجه به تحقق كليدزنى نرم در لحظات روشن و خاموش شدن نيمه هادىها در مبدل پيشنهادى، تلفات كليدزنى صفر مىباشد. مقاومت سيم پيچى های ادوات مغناطیسی، مقاوت سری خازنها، مقاومت ماسفتها و دیودها در وضعیت هدایت و ولتاژ آستانه هدایت دیودها سبب اتلاف توان و در نتیجه کاهش بهره ولتاژ و راندمان میشوند. شکل ۴ مدار معادل مبدل پیشنهادی را با در نظر داشتن این المانها نشان میدهد. با صرف نظر کردن از مقدار سلف نشتی، مدارهای کلمپ را می توان حذف و راندمان تحلیلی و بهره ولتاژ واقعی مبدل پیشنهادی را بصورت فرمولهای (۳۱) و (۳۲) محاسبه نمود:



مقاومت سیم پیچهای سلف تزویج و BIT

۴- طراحی مبدل ۲۰۰۶ با ۱۰۰۰ ۲۰۰۰

+1-۴ طراحی سلف تزویج و BIT

با مشخص بودن مقادیر سیکل وظیفه و مقدار ولتاژ ورودی، نسبت تبدیل سلفهای تزویج و BIT باید در رابطه (۳۸) صدق کنند [۲۰–۲۱]، [۲۲]، [۳۳].

$$2Nn + 2N + n + nD + 2 = (1 - D)\frac{V_{out}}{V_{in}}$$
(^tA)

سلفهای مغناطیس کنندگی L_{m1} و L_{m2} به گونهای طراحی می شوند تا ریپل

جریان ورودی را به مقدار *x*% مقدار متوسط آن محدود نمایند. در نتیجه:

$$L_{m1} = L_{m2} \ge \frac{(2D-1)R_{out}}{x \% M^2 f_s}$$
(٣٩)

با داشتن *L*_{m1} و *L*_{m2}، تعداد دورهای سیم پیچهای سلفهای تزویج از رابطه (۴۰) قابل محاسبه است:

$$n_{pl(2)} = \frac{n_{sl(2)}}{n} = L_{ml(2)} \frac{\frac{MI_{out}}{2} + \frac{DV_{in}}{2L_{ml(2)}f_s}}{B_{Max}A_{eC}}$$
(*•)

که در آن $A_{ec} \in B_{Max}$ معرف سطح معادل هستههای مغناطیسی و نقدار بیشینه شدت میدان مغناطیسی در سلفهای تزویج میباشند.

زمانی که کلید S₁ روشن و کلید S₂ خاموش است، ولتاژ سیم پیچ اولیه BIT توسط فرمول (۴۱) بدست میآید:

$$V_{P,BIT} = \frac{1+n}{1-D} V_{in} = N_p \frac{(1+n)\Delta B_B A_{eB}}{(1-D)T_s}$$
(F1)

که در آن A_{eB} و A_{eB} به ترتیب معرف سطح معادل هسته مغناطیسی و تغییرات شدت میدان مغناطیسی در BIT میباشد. بنابراین تعداد دور سیم پیچ BIT از روابط بالا بدست می آیند. با داشتن نسبت تبدیل BIT و N_p تعداد دورهای سیم پیچ های ثانویه و ثالیه نیز بدست میآیند.

۲-۴– نیمههادیها

نیمه هادیها بر اساس تنش ولتاژ و جریان بدست آمده در فرمولهای (۱۷)-(۲۵)، انتخاب می گردند [۲۰–۲۱]، [۲۳]، [۳۳].

۴-۳- خازن های کلمپ و دوبرابر کننده های ولتاژ

مقادیر خازنها بر اساس میزان تغییرات مجاز ولتاژ دو سر آنها طراحی می گردند. بنابراین، مقدار خازنهای مبدل بر اساس روابط (۴۲) و (۴۳) بدست می آیند [۲۰–۲۱]، [۲۸]، [۳۲].

$$C_m \ge \frac{P_{out}}{2V_{out}\Delta V_{Cm}f_s} \tag{FY}$$



شکل ۴– شماتیک مدار ساده شده با در نظر گرفتن المانهای پارازیتی برای محاسبه راندمان مبدل ارائه شده

$$\eta = \frac{P_{out}}{P_{in}} = \frac{1 - \frac{2(1 - D)V_D}{(2Nn + 2N + n + nD + 2)V_{in}}}{1 + \frac{A_1 + A_2 + A_3}{2(1 - D)R} + \frac{A_4}{2(1 - D)^2R}}$$
(^(*))

$$\frac{V_{out}}{V_{in}} = \frac{2N(1+n) + n(1+D) + 2}{1-D}\eta$$
 (TY)

$$A_{1} = \left[(4Nn + 4N + 5n + 4)(2Nn + 2N + n + 2 + nD) + (4Nn + 2N + 5n + 2)(2N + 1)n - 4n(N + 1)^{2} \right] R_{L1}$$
(°°°)

$$A_{2} = \left[(4Nn + 4N + 5n + 3)(4Nn + 4N + 2n + 2 + nD) \right] R_{DS}$$
 (**T**f)

$$A_{3} = \left((2N + 2)^{2} + (2N + 1)^{2} \right) R_{L2} + 4N^{2} R_{Lb1} + 2R_{Lb2} + 2R_{D}$$
 (°Δ)

$$\begin{array}{l} A_{4} = 2(Nn + N + n + 1)(2D - 1)(2Nn + 2N + n + 2 + nD) \\ \times (R_{L1} + R_{DS}) \end{array} \tag{(76)}$$

نمودار تغییرات بهره ولتاژ و بازده مبدل بر حسب تغییرات سیکل وظیفه با مقادیر مختلف مقاومت پارازیتی کوپلهای مغناطیسی در شکل ۵ نشان داده شده است. همانطور که مشاهده میشود، بازده و بهره ولتاژ مبدل وابسته به عناصر پارازیتی مبدل هستند و با افزایش مقاومت سیمپیچ کوپلهای مغناطیسی، کاهش مییابد.

۳-۴- شرایط کلیدزنی نرم

بهدلیل وجود خازنهای موازی شده با کلیدهای اصلی و کمکی، شرایط ZVS هنگام خاموش شدن آنها محقق میشود. همچنین برای کلیدهای کمکی شرایط کلیدزنی نرم در ولتاژ صفر هنگام روشن شدن به صورت طبیعی انجام میشود زیرا در لحظه اعمال پالسهای گیت-سورس، دیود موازی-معکوس آنها در وضعیت هدایت قرار دارند. جهت دستیابی به کلیدزنی نرم در ولتاژ صفر هنگام روشن شدن کلید های اصلی باید انرژی ذخیره شده در سلفهای نشتی بزرگتر از انرژی ذخیره شده در خازنهای موازی با کلید اصلی باشد [۲۷-۳۰]. در نتیجه

$$I_{out-Min,ZVS} = \frac{V_{in}}{n(2N+2)} \sqrt{\frac{C_{s1(2)}}{L_{Lk1(2)}}}$$
("Y)

همان طور که در فرمول (۳۷) مشاهده می شود با افزایش مقدار سلف نشتی و نسبت تبدیل ادوات مغناطیسی، مقدار کمینه جریان بار که در آن کلیدهای اصلی تحت ZVS روشن می شوند، کاهش می یابد. البته باید در نظر داشت که مطابق فرمول (۱۶)، با افزایش مقدار سلف نشتی، بهره ولتاژ کاهش می یابد. در نتیجه باید توافقی بین محدوده عملکرد ZVS و بهره ولتاژ در نظر گرفت.

برای اطمینان از خاموش شدن دیودها تحت 2CS، شیب کاهشی جریان دیودها در فرمولهای (۶) و (۷) باید از مقدار مجاز داده شده در دیتاشیت این قطعات کمتر باشد.

$$C_{c} \geq \frac{(2Nn+2N+nD+n+2)P_{out}}{4V_{out}\Delta V_{cc}f_{s}}$$
(FT)

که در آن ΔV_{cn} و ΔV_{cc} به ترتیب تغییرات ولتاژ خازنهای C_m و C_c می باشند.

۴-۴- مقایسه کار آیی مبدل

جهت نشان دادن مزایای مبدل پیشنهادی، مقایسهای با برخی مبدلهای ارائه شده با قابلیت افزایندگی ولتاژ زیاد و کلیدزنی نرم در جدول ۱ انجام شده است. در شکل ۶ نمودار مقایسه بهره ولتاژ، تنش ولتاژ نرمالیزه شده روی نیمه هادیها نشان داده شده است. همانطوری که از شکل ۶-الف و ۶-ب مشخص

است، مبدل پیشنهادی با پانزده المان و مبدل [۳۲] با نوزده المان، بیشترین بهره ولتاژ و کمترین تنش ولتاژ روی ماسفتها را دارند. شکل ۶-ج مقایسه تنش ولتاژ روی دیودها را در مبدلهای مورد نظر نشان میدهد. اگرچه در مبدل پیشنهادی این پارامتر از سایر رقیبها بیشتر است، ولی باید در نظر داشت این میزان تنش ولتاژ مطابق با شکل موجهای کلیدی و همچنین شکل موجهای آزمایشگاهی برای مدت زمان کمی به دیود تحمیل می شود. نهایتا می توان نتیجه گرفت که مبدل پیشنهادی با تعداد المانهایی به مراتب کمتر از سایر هم رده های خود، بهره ولتاژ بالاتر و تنش ولتاژ کمتر روی ماسفتها می تواند به عنوان گزینهای مناسب برای کاربردهای افزایندگی ولتاژ مطرح شود.

	م	اینترلیود تحت کلیدزنی نر	نهادی با برخی مبدلهای ا	مقایسه کارآرایی مبدل پیش	_۱ ر	جدوا						
1	تكنيك	بهره ولتاژ	V	V	تعداد المان ها							
ساحتار			V DS	VD,max	S	D	C	Core	مجموع			
تحقق ZCS در لحظه روشن شدن ماسفتها و روشن/خاموش شدن دیودها با سلف نشتی												
[77]	BT+CI +VMC	$\frac{2(N+n+1)}{1-D}$	$\frac{V_{out}}{2(N+n+1)}$	$\frac{(2N+1)V_{out}}{2(N+n+1)}$		٨	٧	٣	۲.			
ً تحقق ZVS در لحظه روشن/خاموش برای ماسفتها و ZCS در لحظه روشن/خاموش برای دیودها با مدار کمکی												
[٢۵]	CI+VMC	$\frac{1+3n}{1-D}$	$\frac{V_{out}}{1+3n}$	$\frac{(1+4n)V_{out}}{1+3n}$	٣	١٠	۶	٣	٢٢			
[٢٨]	BT+VMC	$\frac{2(1+N)}{1-D}$	$\frac{V_{out}}{2(1+N)}$	V _{out}	۴	۴	۵	٣	18			
[٣٠]	CI+VMC	$\frac{2(1+n)}{1-D}$	$\frac{V_{out}}{2(1+n)}$	$\frac{(1+2n)\mathcal{V}_{out}}{2(1+n)}$	۴	٢	٣	٢	۱۱			
[٣١]	CI+VMC	$\frac{2(1+n)}{1-D}$	$\frac{V_{out}}{2(1+n)}$	$\frac{(1+2n)\mathcal{W}_{out}}{2(1+n)}$	۴	۶	٩	۴	۲۳			
[77]	BT+CI +VMC	$\frac{2N(1+n) + n(1+D) + 2}{1-D}$	$\frac{V_{out}}{2N\left(1+n\right)+n\left(1+D\right)+2}$	$\frac{2N(1+n)V_{out}}{2N(1+n) + n(1+D) + 2}$	۴	۶	۶	٣	١٩			
پیشنهادی	BT+CI +VMC	$\frac{2N(1+n) + n(1+D) + 2}{1-D}$	$\frac{V_{out}}{2N\left(1+n\right)+n\left(1+D\right)+2}$	$\frac{(2Nn + 2N + 2n + 2.5)V_{out}}{2N(1+n) + n(1+D) + 2}$	۴	۴	۴	٣	۱۵			



شکل ۶- مقایسه مبدل پیشنهادی

۵- نتایج آزمایشگاهی

جهت بررسی عملکرد مبدل پیشنهادی، یک نمونه آزمایشگاهی که تصویر آن در شکل ۷ آمده است با مشخصات داده شده در جدول ۲ ساخته شده است. نتایج آزمایشگاهی ولتاژ و جریان خروجی مبدل در شکل ۸ نشان داده شده

است. جریان خروجی مبدل ۱/۶ آمپر و ولتاژ خروجی آن ۳۸۰ ولت میباشد.

نتایج آزمایشگاهی جریان عبوری از L1x1 و L1x2 و جریان ورودی مبدل در شکل ۹ آورده شده است. مقدارهای میانگین و ریپل جریان ورودی ۲۸/۲۶ آمپر و ۵/۵ آمپر بوده و راندمان ۹۶/۵٪ را نتیجه میدهد. همچنین تقسیم جریان مساوی بین فازهای اینترلیود شده از جریان عبوری از L1x1 و L1x2 قابل مشاهده میباشد.

شکل ۱۰ نتایج آزمایشگاهی ولتاژ درین – سورس و جریان عبوری از کلیدهای اصلی و کمکی را نشان میدهد. تنش ولتاژ روی کلیدها نزدیک ۶۰ ولت (حدود ۱۵درصد ولتاژ خروجی) می باشد. همچنین کلیدزنی نرم تحت ولتاژ صفر برای تمامی کلیدها به خوبی محقق شده است.



شکل ۷- نمونه آزمایشگاهی مبدل پیشنهادی

دول ۲- مشخصات المانهای مبدل پیشنهادی

المان	مشخصات
توان خروجي	۶۰۰ وات
ولتاژ خروجى-ولتاژ ورودى	۳۸۰ ولت-۲۲ ولت
فركانس كليدزني-كنترلر	۱۰۰ کیلوهرتز- میکروکنترلر Stm32f030
ماسفتها	RFb 4110PbF
ديودها	MUR860
خازنهای (_{C₁} , _{C₂} , _{C_{m1} خازنهای}	۵ میکرو فاراد
$, C_{m2})$	
خازنهای (C _{s1} ,C _{s2}) خازنهای	۳/۵ نانو فاراد
خازن (₀)	۵ میکرو فاراد
	هسته فریت EE55
سلفهای تزویح	اندوكتانس مغناطيسي ۵۷ ميكروهانري
	اندوکتانس نشتی ۲ میکروهانری
	<i>n</i> =1
	هسته فریت EE42
BIT	اندوكتانس مغناطيسي ۶۷۰ ميكروهانري
	اندوکتانس نشتی ۳/۸ میکروهانری
	N=1

Vout	200	V/div	V				-		
				1					
				 <u>†</u>	 	•	nin	nin	 inn
				1					

شکل ۸- نتایج آزمایشگاهی ولتاژ و جریان خروجی



شکل ۹- نتایج آزمایشگاهی جریان عبوری از *L_{1k1} و جر*یان ورودی مبدل





شکل ۱۰- نتایج آزمایشگاهی جریان و ولتاژ ماسفتها

شکل ۱۱ نتایج آزمایشگاهی ولتاژ و جریان عبوری از دیودهای مبدل پیشنهادی را نشان میدهد. ولتاژ معکوس روی دیودها مقدارهای $V_{Dol} = 360V$ و $V_{Dol} = 440V$ میباشند که مطابق با فرمولهای (۱۸) و (۱۹) هستند. همچنین هر دو دیود تحت ZCS روشن و خاموش میشوند و در نتیجه تلفات کلیدزنی و مشکلات بازیابی معکوس در آنها به حداقل مقدار ممکن می رسد.







شکل ۱۱- نتایج آزمایشگاهی تنش ولتاژ و جریان عبوری از دیودها

800ns/div



با توجه به این که مقدار جریان متوسط عبوری از دیودها نصف جریان بار میباشد و با محاسبه مقادیر موثر جریان عبوری از المانها از روابط (۲۳) الی (۳۰)، می توان تلفات تفکیکی مبدل را در بار کامل محاسبه نمود. مطابق با نام گذاری المانهای پارازیتی در شکل، مقادیر این المانها بر مبنای قطعات استفاده شده در نتایج آزمایشگاهی به صورت زیر می باشند:

$$\begin{split} R_{L1} = R_{L2} = 11m\Omega; R_{Lb1} = R_{Lb2} = 21m\Omega; R_{Cm} = R_{Cc} = 29m\Omega; R_{Co} = 20m\Omega \\ R_{ds} = 4.5 m\Omega; R_d = 10m\Omega; V_d = 1.5V \end{split}$$

بهعلت برقراری کلید زنی نرم ولتاژ برای ماسفتهای اصلی و کمکی در لحظات روشن و خاموش شدن، مقدار تلفات کلیدزنی در آنها صفر میباشد. تلفات هدایتی ماسفتها به صورت زیر حاصل میشوند:

$$P_{S_{1-S_2}} = 2\left(R_{dS}I_{S,RMS}^{2}\right) = 2\left(0.0045 \times 18.77^{2}\right) = 3.17W$$
(ff)

$$P_{Sc1-Sc2} = 2\left(R_{dS}I_{Sc,RMS}^{2}\right) = 2\left(0.0045 \times 0.27^{2}\right) = 0.27W$$
 (f Δ)

تلفات هدایتی دیودها از رابطه (۴۶) بهدست میآید:

 $P_D = 2 \left(R_d I_{D,RMS}^2 + I_{arg} V_d \right) = 4 \left(0.01 \times 1.44^2 + 0.79 \times 1.5 \right) = 4.87W$ (۴۶) تلفات هدایتی سیم پیچ های سلف تزویج و BIT برابر روابط (۴۷) و (۴۸) قابل محاسبه میباشند:

 $P_{Cls} = 2 \left(R_{L1} \times I_{Lk,RMS}^{2} + R_{L2} \times I_{ns,RMS}^{2} \right)$ = 2 \left(0.011 \times 16.21^{2} + 0.011 \times 6.12^{2} \right) = 6.19W \text{(FV)}

$$P_{BIT} = R_{Lb1} \times I_{Np,RMS}^{2} + 2\left(R_{Lb2} \times I_{Ns,RMS}^{2}\right)$$

= 0.021×4.08² + 2(0.021×2.04²) = 0.52W (*A)

تلفات خازنها برابر هستند با:

$$P_{Cm} = 2 \left(R_{Cm} I_{Cm,RMS}^2 \right) = 2 \left(0.029 \times 2.04^2 \right) = 0.24W$$
 (f9)

$$P_{CC} = 2 \left(R_{C_c} I_{C_c, RMS}^2 \right) = 2 \left(0.029 \times 5.48^2 \right) = 1.74W \qquad (\Delta \cdot)$$

$$P_{Co} = R_{Co} I_{Co,RMS}^{2} = 0.02 \times 1.29^{2} = 0.03W$$
 (Δ)

با توجه به محاسبات صورت گرفته، کل تلفات مبدل ۱۷ وات و راندمان تئوری ۹۷/۲٪ به دست میآیند. شکل ۱۳، تلفات تفکیکی مبدل را در بار کامل نشان میدهد که در آن بیشترین تلفات مربوط به ادوات مغناطیسی میباشد.



شکل ۱۳- تلفات تفکیکی مبدل پیشنهادی در بار کامل

۶- نتیجهگیری

در این مقاله یک مبدل اینترلیود افزاینده با بهره ولتاژ زیاد به همراه کلیدزنی نرم بر اساس سلف تزویج و BIT ارائه شده است. سیم پیچ ثانویه هر سلف تزویج مابین سیم پیچ اولیه همان سلف تزویج و سیم پیچ اولیه BIT قرار داده شده است. بنابراین بهره ولتاژ متناسب با حاصل ضرب نسبت تبدیل سلف تزویج و BIT بدست می آید. همچنین ولتاژ روی کلیدها به صورت موثری کاهش می یابد که در نتیجه آن می توان از کلیدهایی با ولتاژ پایین تر و درنتیجه مقاومت داخلی كمتر استفاده نمود تا تلفات هدايتي مبدل را كاهش داد. همچنين ماسفتها و دیودها در لحظات روشن و خاموش شدن به ترتیب تحت ZVS و ZCS عمل مىكنند و تلفات كليدزني مبدل را به حداقل مىرسانند. ريپل جريان ورودى مبدل به کمک عملکرد اینترلیود مبدل کاهش یافته است که درنتیجه با افزایش عمر منابع تجدید پذیر همراه خواهد بود. در پایان جهت بررسی عملکرد مبدل پیشنهادی یک نمونه ۲۲ ولت به ۳۸۰ ولت در توان ۶۰۰ وات و فرکانس کلیدزنی ۱۰۰ کیلوهرتز در آزمایشگاه ساخته شد. راندمان عملی مبدل پیشنهادی در بار کامل حدود ۹۶/۵٪ و راندمان بیشنه آن ۹۶/۸٪ در توان ۵۰۰ وات بدست آمده است. تنها ايراد اين مبدل ولتاژ زياد روى ديودهاى مدار ضرب كننده آن است كه بيشتر از ولتاژ خروجي مبدل مي باشد. اما با توجه به اينكه مطابق با مقایسه انجام شده، مبدل پیشنهادی با تعداد المان های کمی به بهره ولتاژ بالا و تنش ولتاژ کم روی ماسفتها نسبت به سایر رقبا دست یافته است، استفاده از این مبدل جهت کاربردهای ولتاژ زیاد توجیه می گردد.

مراجع

[18] W. Li, W. Li, X. Xiang, Y. Hu, and X. He, "High step-up interleaved converter with built-in transformer voltage multiplier cells for sustainable energy applications," *IEEE Trans. Power Electron.*, vol. 29, no. 6, pp. 2829-2836, June 2014.

[19] K. C. Tseng, C. A. Cheng, and C. T. Chen, "High step-up interleaved boost converter for distributed generation using renewable and alternative power sources," *IEEE J. Emerg. Sel. Top. Power Electron.*, vol.5, no.2, pp. 713-722, June 2017.

[20] T. Nouri, N. V. Kurdkandi and M. Shaneh, "A novel interleaved high step-up converter with built-in transformer voltage multiplier cell," *IEEE Trans. Ind. Electron.*, vol. 68, no. 6, pp. 4988-4999, June 2021.

[21] T. Nouri, N. V. Kurdkandi, S. H. Hosseini, E. Babaei, and M. Sabahi, "An interleaved high step-up converter with coupled inductor and builtin transformer voltage multiplier cell techniques," *IEEE Trans. Ind. Electron.*, vol. 66, no. 3, pp. 1894-1905, Mar. 2019.

[22] T. Nouri, N. Nouri and N. Vosoughi, "A Novel High Step-Up High Efficiency Interleaved DC–DC Converter With Coupled Inductor and Built-In Transformer for Renewable Energy Systems," *IEEE Trans. on Ind. Electron.*, vol. 67, no. 8, pp. 6505-6516, Aug. 2020.

[23] J. H. Yi, W. Choi, and B. H. Cho, "Zero-voltage transition interleaved boost converter with an auxiliary coupled inductor," *IEEE Trans. Power Electron.*, vol. 32, no. 8, pp. 5917-5930, Aug. 2017.

[24] N. S. Ting, Y. Sahin, and I. Aksoy, "Analysis, design, and implementation of a zero-voltage-transition interleaved boost converter," *Journal of Power Electron.*, vol. 17, no. 1, pp. 41-55, Jan. 2017.

[25] M. Paknezhad, H. Farzanehfard, and E. Adib, "Integrated soft switching cell and clamp circuit for interleaved high step up converters," *IET Power Electron.*, vol. 12, no. 3, pp. 430-437, Mar. 2019.

[26] D. Wang, X. He, and R. Zhao, "ZVT interleaved boost converters with built-in voltage doubler and current auto-balance characteristic," *IEEE Trans. Power Electron.*, vol. 23, no. 6, pp. 2847-2854, Nov. 2008.
[27] W. Li, W. Li, X. He, D. Xu, and B. Wu, "General derivation law of nonisolated high step-up interleaved converters with built-in transformer," *IEEE Trans. Ind. Electron.*, vol. 59, no. 3, pp. 1650–1661, Mar. 2012.

[28] W. Li, X. Xiang, C. Li, W. Li, and X. He, "Interleaved high step-up ZVT converter with built-in transformer voltage doubler cell for distributed PV generation system," *IEEE Trans. Power Electron.*, vol. 28, no. 1, pp. 300–313, Jan. 2013.

[29] M. Muhammad, M. Armstrong, and M. A. Elgendy, "Non-isolated interleaved DC-DC converter for high voltage gain applications," *IEEE J. Emerg. Sel. Top. Power Electron.*, vol.4, no.2, pp. 352-362, June 2016.
[30] M. Forouzesh, Y. Shen, K. Yari, Y. P. Siwakoti, and F. Blaabjerg, "High-efficiency high step-up DC–DC converter with dual coupled inductors for grid-connected photovoltaic systems," *IEEE Trans. Power Electron.*, vol. 33, no. 7, pp. 5967-5982, July 2018.

[31] L. He, X. Xu, J. Chen, J. Sun, D. Guo, and T. Zeng, "A plug-play active resonant soft-switching for current-auto-balance interleaved high step-up DC/DC converter," *IEEE Trans. Power Electron.*, vol. 34, no. 8, pp. 7603-7619, Aug. 2019.

[32] A. Bagherian, T. Nouri, M. Shaneh and M. Radmehr, "An interleaved ZVS ultra-large gain converter for sustainable energy systems applications," *IET Power Electron*, vol. 14, no. 2, pp. 1606–1621, May. 2021.

[33] B. Akhlaghi and H. Farzanehfard, "Soft switching interleaved high step-up converter with multifunction coupled inductors," *IEEE J. Emerg. Sel. Top. Ind. Electron.*, vol. 2, no. 1, pp. 13-20, Jan. 2021.

[34] B. Akhlaghi and H. Farzanehfard, "Family of soft switching quasiresonant interleaved converters," 2022 13th Power Electronics, Drive Systems, and Technologies Conference (PEDSTC), 2022, pp. 473-478.

[35] B. Akhlaghi and H. Farzanehfard, "Efficient interleaved high stepup converter with wide load range soft switching operation," *IET Power Electron, Early Access*, 10.1049/pel2.12396.

[36] D. Amani, R. Beiranvand, M. Zolghadri and F. Blaabjerg, "A high step-up interleaved current-fed resonant converter for high-voltage applications," *IEEE Access*, vol. 10, pp. 105387-105403, 2022.

[1] M. Forouzesh, Y. P. Siwakoti, S. Gorji, F. Blaabjerg, and B. Lehman, "Step-up DC-DC converters: A comprehensive review of voltageboosting techniques, topologies, and applications," *IEEE Trans. Power Electron.*, vol.32, no.12, pp.9143-9178, Dec. 2017.

[۲] مهدی سلیمی و مریم پرنادم، « مبدل DC-DC افزاینده جدید مبتنی بر کلیدزنی سلفی/خازنی با بهره ولتاژ بسیار بالا»، مجله مهندسی برق دانشگاه

تبریز، دوره ۴۷، شماره ۱، صفحات ۱۰۷–۱۲۱، ۱۳۹۹.

DC- مجتبی حیدری، حسین خرمی کیا و میلاد صالحی، «ارائه یک مبدل DC-DCجدید غیرایزوله با بهره ولتاژ بالا براساس ساختار SEPIC برای کاربردهای انرژیهای تجدیدپذیر»، مجله مهندسی برق دانشگاه تبریز، دوره ۵۰، شماره ۱، صفحات ۸۷–۹۹، ۱۳۹۹.

[4] R. Gules, L. L. Pfitscher, and L. C. Franco, "An interleaved boost dcdc converter with large conversion ratio," in Proc. IEEE ISIE, 2003, pp. 411–416.

[5] Y. Jang and M. M. Jovanovic, "Interleaved boost converter with intrinsic voltage-doubler characteristic for universal-line PFC front end," *IEEE Trans. Power Electron.*, vol. 22, no. 4, pp. 1394–1401, Jul. 2007.

[6] Y. Zheng, W. Xie, and K. M. Smedley, "A family of interleaved high step-up converters with diode-capacitor technique," *IEEE J. Emerg. Sel. Top. Power Electron.*, Early Access, 10.1109/JESTPE.2019.2907691.

[7] K. C. Tseng and C. C. Huang, "High step-up, high efficiency interleaved converter with voltage multiplier module for renewable energy system," *IEEE Trans. Ind. Electron.*, vol. 61, no. 3, pp. 1311-1319, Mar. 2014.

[8] T. Nouri, S. H. Hosseini, S, E. Babaei, and J. Ebrahimi, "An interleaved high step-up DC-DC converter based on three-winding high-frequency coupled inductor and voltage multiplier cell," *IET Power Electron*, vol. 8, no. 2, pp. 175-182, July. 2014.

[9] L. He, and Y. Liao, "An advanced current-auto-balance high-step-up converter with a multi-coupled inductor and voltage multiplier for a renewable power generation system," *IEEE Trans. Power Electron.*, vol. 31, no. 10, pp. 6992-7005, Oct. 2016.

[10] T. Nouri, S. H. Hosseini, E. Babaei, and J. Ebrahimi "A non-isolated three-phase high step-up DC–DC converter suitable for renewable energy systems", *Elsevier Journal of Electric Power System Research*, Vol. 140, pp. 209-224, Nov. 2016.

[11] Hu, G. Dai, L. Wang and C. Gong, "A three-state switching boost converter mixed with magnetic coupling and voltage multiplier techniques for high gain conversion," *IEEE Trans. Power Electron.*, vol. 31, no. 4, pp. 2991-3001, Apr. 2016.

[12] T. Liu, M. Lin, and J. Ai, "High step-up interleaved DC-DC converter with asymmetric voltage multiplier cell and coupled inductor," *IEEE J. Emerg. Sel. Top. Power Electron.*, Early Access, 10.1109/JESTPE.2019.2931634.

[13] Y. T. Chen, Z. X. LU, and R. H. Liang, "Analysis and design of a novel high-step-up DC/DC converter with coupled inductors," *IEEE Trans. Power Electron.*, vol. 33, no. 1, pp. 425-436, Jan. 2018.

[14] S. M. Salehi, S. M. Dehghan, and S. Hasanzadeh, "Interleaved-input series-output ultra high voltage gain DC-DC converter," *IEEE Trans. Power Electron.*, vol. 34, no. 4, pp. 3397-3406, Apr. 2019.

[15] Y. Zheng, W. Xie, and K. M. Smedley, "Interleaved high step-up converter with coupled inductors," *IEEE Trans. Power Electron.*, vol. 34, no. 7, pp. 6478-6488, July 2019.

[16] Y. Zheng, and K. M. Smedley, "Interleaved high step-up converter integrating coupled inductor and switched capacitor for distributed generation systems," *IEEE Trans. Power Electron.*, vol. 34, no. 8, pp. 7617-7628, Aug. 2019.

[17] M. Shaneh, M. Niroomand, and E. Adib, "Ultra high-step up nonisolated interleaved boost converter," *IEEE J. Emerg. Sel. Top. Power Electron.*, Early Access, 10.1109/JESTPE.2018.2884960.