A new comparator with FPN noise suppression capability for use in image sensors

Khadijeh Karamzadeh¹, Masood Teymouri², Masoud Dousti¹, Pooya Torkzadeh¹

¹Department of Electrical and Computer Engineering, Islamic Azad University Science and Research Branch, Tehran, Iran ²Faculty of Electrical Engineering, Urmia University of Technology, Urmia, Iran Empile: Kh karamadah@srbiau ac ir: n taymouri@uut ac ir: M dousti@srbiau ac ir: n taymouri@uut ac ir: M

E-mails: Kh.karamzadeh@srbiau.ac.ir; m.teymouri@uut.ac.ir; M_dousti@srbiau.ac.ir; p-torkzadeh@srbiau.ac.ir

Short Abstract

In this paper, a comparator is introduced for use in CMOS image sensor which can suppress the FPN noise of the pixel in addition to comparing voltages. Due to a large number of circuits in the column-parallel image sensors, this technique can help save power, silicon area, and imaging time by merging the noise suppression circuit in the data converter. Simulation results show that the proposed comparator for the input range of 0.7 to 1.7 volts with an accuracy of 1 mV can do the comparison and subtraction in 25 nanoseconds. The total power consumption of the comparator is about 64 microwatts, which has 1.8- & 2.5-volt power supply and removes FPN noise up to the range of 50 mV with good accuracy. Total noise referred to the input of the comparator for the bandwidth of 1 Hz to 1GHz was obtained 500µV. All circuits are designed in 0.18µm CMOS technology and simulated by Specter simulator.

Keywords

CMOS Image Sensor, Single-Slope ADC, Correlated Double Sampling, Switch Capacitor, FPN

1- Short Introduction (4-5 lines)

Today, digital cameras have many applications in human life. The great need for these electronic modules has led to a lot of research to improve their performance. The results of this research have led to various methods to reduce power consumption, silicon area, and noise or to increase imaging rate, image quality, resolution, dynamic range, etc. One of the most important parameters of digital cameras is their power consumption, especially when these cameras are used in equipment that uses batteries. Therefore, reducing power consumption without losing the speed and quality of imaging is very important. Various methods have been proposed to reduce power consumption, which are mainly based on the improvement of sensor blocks performance [1].

2- Proposed Work and Methodology (including comprision, simulation/experimental results and discusion)

In most image sensors, the FPN noise suppression circuits and ADCs are implemented separately, which increases the number of circuits and, of course, increases the total power consumption, the silicon area of the sensor, the imaging time, and ultimately reduces the performance of the image sensor. Therefore, a new method is proposed in which the noise suppression circuit is integrated into the comparator circuit, which causes the CDS operation to be performed simultaneously with the comparison operation. By removing the noise suppression circuit, not only silicon area and power consumption will be saved but also the imaging rate is increased due to the elimination of time required to perform CDS operations.

The proposed circuit (Figure 6) is designed in 180nm CMOS technology and its layout size (just a column) is 7μ m×370µm. Various simulations have been performed by Cadence Spectre simulator, such as Transient, Frequency, Noise analysis. Also, to check the effect of the process, Monte Carlo analysis and the MOS transistor corners (SS, FF, FS, SF) were used and temperature variations effect on the circuit performance was evaluated.

To evaluate the comparator offset voltage, a Monte Carlo analysis with 100 points has been performed. As shown in Figure 9, the maximum offset voltage at the output of the pre-amplifier was obtained as high as 400mV, which reached lower than 55mV at the input of the latch. Due to the amplification of the input signal with a gain of 40dB, this amount of offset against the amplified signal at the input of latch will be small. Therefore, the comparator offset will not have much effect on the comparison operation. The time required for comparison and subtraction is about 25ns. The power consumption of the comparator and bias circuit are 64μ W and 55μ W, respectively. By applying a voltage as a model of FPN noise to the output of the pixel signal, it was specified that noise with a magnitude of 50 mV has no effect on the comparator output and is well eliminated. Based on the noise analysis, the result is shown in Figure 11, the total input-referred noise (integration bandwidth from 1Hz to 1GHz) is about 500 μ V.

Temperature analysis was performed in all simulations and the obtained results show that increasing the temperature from 27 °C to 60°C increases the offset voltage by 16%, the increase in the total input-referred noise by 58%, and reduction of pre-amplifier voltage gain by 1.6%.

To obtain the voltage gain of the pre-amplifier and its frequency response, AC simulations are performed in different corners of the process. As shown in Figure 8, in the nominal corner (TT), the voltage gain is 40dB and the -3dB cut-off frequency is about 33MHz. The 40dB voltage gain of the pre-amplifier is sufficient to amplify the minimum detectable input voltage to the point that it is usable by the latch circuit.

3- Conclusion

In this paper, a new comparator was introduced which can be used in CMOS image sensors with column-parallel structure. The proposed comparator, while performing the comparison operation, can remove the FPN noise of the pixel. This technique can improve the power consumption and the silicon area of the image sensor. The all of circuits were designed in process of CMOS 0.18µm and analyzed using Spectre circuit simulator.

4- References

[1] T. Hirayama, "The evolution of CMOS image sensors", 2013 IEEE Asian Solid-State Circuits Conference (A-SSCC), 2013, pp. 5-8, doi: 10.1109/ASSCC.2013.6690968.

[2] J. Nakamura, "Image Sensors and Signal Processing for Digital Still Cameras", Taylor & Francis, 2006.

[3] J. Ohta, "Smart CMOS Image Sensors and Applications", Boca Raton: CRC Press; 2008.

[4] El. Gamal, A. Eltoukhy, "CMOS image sensors", IEEE Circuits and Devices Magazine, vol. 21, no. 3, pp. 6-20, May-June 2005, doi: 10.1109/MCD.2005.1438751.

یک مقایسه گر جدید با قابلیت حذف نویز FPN برای استفاده در سنسورهای تصویر

خديجه كرم زاده

دانشجوی دکتری، گروه مهندسی برق و کامپیوتر، واحد علوم تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران

مسعود تيمورى

استادیار، دانشکده مهندسی برق، دانشگاه صنعتی ارومیه، ارومیه، ایران

مسعود دوستی استاد، گروه مهندسی برق و کامپیوتر، واحد علوم تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران

پویا ترکزادہ

دانشیار، گروه مهندسی برق و کامپیوتر، واحد علوم تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران

چکیدہ

در این مقاله، یک مقایسه گر برای استفاده در سنسورهای تصویر CMOS معرفی شده است که علاوه بر عملیات مقایسه ولتاژ برای مبدل داده، نویز FPN پیکسل را نیز میتواند حذف کند. به علت وجود تعداد زیادی مدار در سنسورهای تصویر ستون-موازی، این تکنیک با ادغام مدار حذف نویز در مبدل داده، میتواند به صرفه جویی در مصرف توان، سطح سیلیکونی و زمان عکسبرداری کمک کند. نتایج شبیه سازی نشان می دهد که مقایسه گر پیشنهادی برای محدوده ورودی ۲/۰ تا ۱/۷ ولت با دقت ۱ میلیولت میتواند عملیات مقایسه و حذف نویز را در ۲۵ نانوثانیه انجام دهد. کل توان مصرفی مقایسه گر پیشنهادی برای محدوده ورودی ۲/۰ تا ۱/۸ و ۲/۵ ولتی باد ۵ میلیولت میتواند عملیات مقایسه و حذف نویز را در ۲۵ نانوثانیه انجام دهد. کل توان مصرفی مقایسه گر ۶۴ میکرووات میباشد که دارای تغذیه ۱/۸ و ۲/۵ ولتی بوده و نویز FPN تا دامنه ۵۰ میلیولت را با دقت خوبی حذف مینماید. همچنین کل نویز ارجاع شده به ورودی مقایسه کننده برای پهنای باند ۱ مرز تا ۱ گیگاهرتز ۵۰۰ میکرو ولت به دست آمد. جانمایی مدار مقایسه گر ۳۸۰ میکروران میوان میبای باند ۱ مرز تا ۱ گیگاهرتز ۵۰۰ میکرووات میباست (ما محلوری و تولیسه گر ۴۹ میکروران و مینان می دهد توبی تا ۵ مین میده میتواند به مقایسه گر ۶۴ میکروات میباشد که دارای تغذیه ۲/۸ و ۲/۵ ولتی باند ۱ میلی ولت میده مین میانده برای پهنای باند ۱ مرز تا ۱ گیگاهرتز ۵۰۰ میکرو ولت به دست آمد. جانمایی مدار مقایسه گر ۳۸۰ میکرومتر مربع میباشد. تمامی مدارها با تکنولوژی ۵۰۰۵ میاره مات و مراحی و توبط شید سازی شده است.

كليدواژهها : سنسور تصوير ADC، CMOS تكشيب، نمونهبردارى دوگانه همبسته، سوئيچ خازنى، FPN.

نام نویسنده مسئول: دکتر مسعود تیموری ایمیل نویسنده مسئول: m.teymouri@uut.ac.ir

> تاریخ ارسال مقاله: ۱۴۰۱/۰۶/۰۴ تاریخ(های) اصلاح مقاله: ۱۴۰۱/۰۹/۲۰ تاریخ پذیرش مقاله: ۱۴۰۱/۱۰/۵

۱– مقدمه

امروزه دوربینهای دیجیتال کاربردهای زیادی در زندگی بشری دارند. نیاز شدید به این ماژول های الکترونیکی باعث تحقیقهای زیادی برای بهبود عملکرد آنها شده است و نتایج این تحقیقها منجر به استفاده از روشهای مختلفی برای کاهش توان مصرفی، سطح سیلیکونی و نویز یا افزایش نرخ عکسبرداری، کیفیت تصویر، رزولوشن ، محدوده دینامیکی و غیره شده است. یکی از مهمترین پارامترهای دوربینهای دیجیتال توان مصرفی آنها است بهخصوص زمانی که این دوربینها در تجهیزاتی استفاده میشوند که از باتری استفاده میکنند. واضح است که دوربینهای پرمصرف باعث تخلیه سریع باتری و در نتیجه کاهش زمان عکسبرداری میشوند بنابراین کاهش توان مصرفی آبون از دستدادن سرعت و کیفیت عکسبرداری بسیار مهم است. روشهای مختلفی برای کاهش توان است[۲–۴].

دوربینهای دیجیتال شامل دو بخش اصلی هستند. تجهیزات اپتیکی و سنسور تصویر. وظیفه قسمت اپتیکی ایجاد تصویر واضح بر روی سنسور تصویر و وظیفه سنسور تصویر، تبدیل روشنایی قسمتهای مختلف تصویر به کدهای دیجیتال مربوطه میباشد. بر اساس نوع روش خواندن سیگنال پیکسلها، سه معماری رایج برای سنسورهای تصویر CMOS⁽(CIS) وجود دارد: سریال، ستون - موازی و پیکسل- موازی. در ساختار ستون- موازی، همان طور که در شکل ۱ نشان داده شده است، پیکسلهای یک ردیف از آرایهی پیکسلی به طور همزمان خوانده میشوند. پس از حذف نویز، سیگنالهای آنالوگ پیکسلها به دیجیتال تبدیل شده و در حافظههای ستونها ذخیره میشوند سپس توسط یک دیکدر ستون، دادههای ذخیره شده در حافظهها به صورت سریال به خارج از تراشه فرستاده میشود[۵].

همان طور که مشاهده می شود، حداقل سه بلوک اصلی برای انجام عملیات عکس برداری مورد نیاز است که عبار تند از: مدارهای خواندن سیگنال پیکسل^۲،

^{&#}x27; CMOS image sensor

^r Pixel readout circuit

مدارهای حذف نویز^۳ و مبدلهای داده^۴. در این مقاله، روش جدیدی پیشنهاد شده است که در آن مدار حذف نویز با مبدل داده ادغام شده بنابراین عملیات حذف نویز و مقایسه بهصورت همزمان انجام میشود و باعث کاهش توان مصرفی و افزایش سرعت عکسبرداری می گردد.



شکل ۱: سنسور تصویر رایج ستون-موازی

۲- بلوکهای سنسور تصویر CMOS

همان طور که اشاره شد، برای انجام عملیات عکسبرداری، زنجیرهای از مدارها برای تبدیل تصویر به کدهای دیجیتال مورد نیاز است. مهم ترین این مدارها عبار تند از: پیکسل، مدار خواندن سیگنال پیکسل، مدار حذف نویز، مبدل داده و واحد کنترل که در ادامه به طور مفصل توضیح داده شدهاند[8].

۲-۱- پیکسلها

پیکسلها کوچکترین جزء یک سنسور تصویر می اشند که حداقل از یک آشکارساز نوری و یک مدار، معمولا به عنوان تقویت کننده تشکیل می شوند. با استفاده از آشکارسازهای نوری می توان شدت روشنایی نقاط مختلف را به سیگنالهای الکتریکی تبدیل کرد. مدارهای مختلفی برای پیکسل معرفی شده است که نوع ⁴T-APS رایج ترین و پرکاربر دترین مدار می اشد که تصویر آن در شکل ۲(الف) نشان داده شده است.



شکل۲: پیکسل رایج 4T-APS (الف) مدار (ب) دیاگرام زمانی

طرز کار این پیکسل به این صورت است: ابتدا با اعمال پالس ریست RST، ترانزیستور ریست M_{RST} روشن شده و گره FD تا یک ولتاژی ریست می شود در

" Noise suppression circuit

^a Four transistor activve pixel sensor

⁶ Source follower

این شرایط که به فاز ریست معروف است ولتاژ خروجی پیکسل خوانده می شود. بعد از فاز ریست، ترانزیستور انتقال، *M*_{TK}، روشن می شود تا بار ذخیره شده درپین فوتودیود به طور کامل به گره FD منتقل شود. این مرحله نیز به عنوان فاز سیگنال شناخته می شود. دیا گرام زمانی شکل ۲(ب) نحوه نمونه برداری در دو فاز ریست و فاز سیگنال را نشان می دهد. با تفریق این دو نمونه از یک دیگر، ولتاژی به دست می آید که در اثر نور تابشی ایجاد شده است [۲].

۲-۲ – مدار خواندن سیگنال پیکسل

مدارهای خواندن سیگنال پیکسل در خارج از آرایهی پیکسل قرار می گیرند و با متصل شدن به هر پیکسل از طریق ترانزیستور M_{sel} و خط ستون، می تواند سیگنال آن پیکسل را به بیرون آرایهی پیکسل ارسال نمایند. یکی از رایج ترین مدار خواندن پیکسل، مدار سورس فالوور² می باشد که در کارهای مختلف استفاده شده است [۸–۱۱].

۲-۳- مدار حذف نویز

نویز مدار پیکسل و مدار خواندن پیکسل میتواند کیفیت تصویر نهایی را کاهش دهد [۱۲]. در سنسورهای تصویر، نویز الگوی ثابت^۷(FPN) اصلیترین منبع نویز بوده و میتوان با استفاده از روش نمونهبرداری دوگانه همبسته ^۸(CDS) حذف کرد. برای حذف این نویز، دو نمونه از ولتاژ خروجی پیکسل، یکی در فاز ریست (Vreset) و دیگری در فاز سیگنال (v_{sig}) گرفته میشود سپس با تفریق این دو نمونه، ولتاژی (FPN-(V_{reset}) بدست میآید که با شدت روشنایی رابطه مسقیم داشته و نویز IFPN از آن حذف می گردد. به عبارت دیگر، به علت ثابت بودن نویز FPN در هر دو نمونه، هنگام تفریق نمونهها، این نویز از ولتاژ تفاضلی حذف می گردد.

$$V_{pix} = (V_{reset} + V_{FPN}) - (V_{sig} + V_{FPN}) = V_{reset} - V_{sig}$$

$$= KLux$$
(1)

همانطور که از رابطه (۱) دیده میشود عملیات 'CDS عبارت است از نمونهبرداری و تفریق نمونهها، که برای پیادهسازی آن میتوان از مدارات رایج نشان داده شده در شکل ۳ استفاده نمود.



شکل۳: مدار CDS پایه (الف) مدار خازنی و (ب) مدار سوئیچ خازنی با تقویتکننده

^v Fixed pattern noise

[^] Correlated double sampling

¹ Correlated double sampling

^{*} Data converter

طبق شکل ۳(الف)، در فاز ریست با روشن شدن سوئیچ V_{reset} ،S₁ به ورودی مدار اعمال شده (V_{in}) و ولتاژ $V_{CM} - V_{reset}$ در خازن C_s ذخیره می گردد. در گام بعدی (فاز سیگنال) سوئیچ S₁ باز شده و با اعمال ولتاژ سیگنال به ورودی مدار، ولتاژ خروجی به صورت رابطه (۲) خواهد بود:

$$V_{out} = V_{CM} - V_{reset} + V_{sig} = V_{CM} - (V_{reset} - V_{sig})$$
(7)

مشاهده می شود ولتاژ خروجی، تفاضل دو نمونه اصلی با یک مقدار وجه مشترک می باشد. در روش دیگر (شکل ۳(ب))، عمل نمونه برداری و تفریق را می توان به همان روش با استفاده از تقویت کننده حلقه بسته انجام داد. اگر بخواهیم این دو روش را با هم مقایسه کنیم، روش اول سطح سیلیکونی کمتری را اشغال مىكند و توان استاتيكى ندارد، اما به دليل وجود بار خازنى و تخليه خازن $C_{\rm S}$ از طریق سوئیچ، دقت کمی دارد. در مقابل این روش مدار سوئیچ خازنی با تقویت کننده، دقت بالایی داشته اما به دلیل وجود تقویت کننده، توان مصرفي و سطح سیلیکوني بالايي خواهد داشت [1۳-۱۴].

۲-۴- مبدل داده

بعد از خواندن سیگنال پیکسلها و حذف نویز، نوبت به تبدیل سیگنال آنالوگ پیکسلها به دیجیتال می رسد. ساختارهای مختلفی از مبدل آنالوگ به دیجیتال^{۱۰} در سنسورهای تصویر CMOS استفاده شده است [۱۵–۱۹]. مبدل آنالوگ به دیجیتال نوع تک-شیب، یکی از پرکاربردترین و محبوبترین ساختارها برای استفاده در سنسورهای تصویر با معماری ستون-موازی ۱۱ میباشد [۲۰-۲۲]. همانطورکه در شکل ۴ ساختار یک مبدل SS-ADC^{۱۲} نشان داده شده است، بخشی از مبدل در ستون ها و بخش دیگر بصورت مشترک در خارج از ستونها قرار داده شده است. بطوریکه مقایسه کنندهها و حافظهها در هر ستون و مدارات مربوط به مولد سیگنال شیب، مدارات بایاس، مدارات واحد کنترل و شمارنده دیجیتال در خارج از ستونها قرار داده شده و بهصورت مشترک توسط همه ستونها مورد استفاده قرار می گیرد. در این ساختار، سیگنال شیب و تمامی سیگنالهای فرمان بصورت همزمان به تمامی ستونها اعمال می گردد که این باعث می شود سیگنال های پیکسل یک ردیف همگی بطور موازی و همزمان به دیجیتال تبدیل شده و در حافظههای ستونی ذخیره گردند. نتیجتاً در ساختار تک-شیب ستون-موازی به دلیل عدم قرار دادن تمامی مدارها در ستونها نه تنها باعث کاهش توان مصرفی میشود بلکه سطح سیلیکونی بسیار کمی نیز در سنسور استفاده می شود.



شکل۴: ساختار رایج مبدل SS-ADC ستون – موازی

عملکرد SS-ADC به این صورت است که ابتدا از سیگنال ورودی نمونهبرداری می شود تا در هنگام تبدیل به دیجیتال تغییری در سیگنال ورودی ایجاد نشود. در مرحله تبدیل، سیگنال رمپ به ورودی مثبت مقایسه کننده ها اعمال می شود. همزمان با توليد هر گام از سيگنال رمپ، شمارنده نيز يک واحد افزايش مييابد. افزایش گامهای سیگنال رمپ و مقدار شمارنده سنکرون با کلاک ورودی میباشد که به هر دو اعمال می شود. مقدار شمارنده به حافظه ستون اعمال شده و در آن ذخیره می گردد این شمارش تا جایی پیش میرود که ولتاژ گام اعمال شده به پایه مثبت مقایسه گر بیشتر از ولتاژ نمونه باشد در این صورت خروجی مقايسه كننده تغيير يافته و اطلاعات داخل حافظه قفل مي شود از آن پس ديگر اطلاعات شمارنده در حافظه مربوطه تغيير نخواهد يافت اين داده ذخيره شده در حافظه ستونها، تعداد شمارش گام سیگنال شیب را مشخص می کند. چون هر گام از سیگنال شیب برابر با کوچکترین ولتاژ تبدیل میباشد لذا داده دیجیتال ذخیره شده در حافظهها همان مقدار دیجیتال سیگنالهای آنالوگ نمونه برداری شده ستونها خواهد بود [۲۳].

۳- سنسور تصویر پیشنهادی

سنسور تصویر پیشنهادی بر پایه معماری ستون- موازی طراحی شده است که بلوک دیاگرام کلی آن در شکل ۵ نشان داده شده است. همانطور که دیده می شود پیکسل از نوع AT-APS و مدار خواندن پیکسل یک بافر با بهره ولتاژ واحد می باشد مبدل آنالوگ به دیجیتال از نوع SS-ADC جدید می باشد که مدار حذف نویز FPN سنسور در مقایسه کننده مبدل، ادغام شده است.





" Column-parallel

¹¹ Single-slope (SS) ADC

¹ Analog todigital converter (ADC)

خصوص مدار پیش تقویت کننده که در شکل ۹ نشان داده شده است ارائه شده است.







 φ_2 شکل ۸: مدار معادل مقایسه
کننده الف) در فاز $\varphi_z \, \varphi_z$ و ($\varphi_1 \, \varphi_2 \, \varphi_z$ ب) در فاز

همانطور که در شکل ۹ دیده میشود تقویت کننده دارای دو زوج دیفرانسیلی ورودی A و B است. سیگنال پیکسل $(V_{ph}(T_{int}))$ و سیگنال رمپ (V_{Ramp}) به زوج دیفرانسیل A اعمال شده و ولتاژ ریست پیکسل (V_{reset}) و ولتاژ خواندن پیکسل درفاز ریست $(V_{ph}(reset))$ هم، به زوج دیفرانسیلی B اعمال گردیده است. همانطور که از شکل ۵ دیده میشود با استفاده از روش پیشنهاد شده در مرجع [۲۴] ولتاژ دو سر فوتودیود با استفاده از یک تقویتکننده با بهره واحد

خوانده می شود در این حالت ولتاژ خوانده شده از هر ستون برابر است با
$$(x_1, y_2) = (x_1, y_2)$$

$$V_{pix}(l) = V_{ph}(l) + V_{FPN}(l) + V_{offset}(l)$$
(1)

در این رابطه i شماره ستون، V_{ph} ولتاژ فوتودیود، V_{FPN} ولتاژ نویز FPN در این رابطه V_{FPN} ولتاژ فست بافر میباشد. برای انجام عمل حذف نویز CDS، لازم است ولتاژ پیکسل یکبار در فاز ریست و بار دیگر در فاز سیگنال خوانده شده و از هم تفریق گردد. رابطه این دو ولتاژ نمونه برداری شده به صورت زیر است:

$$V_{reset} = V_{ph}(RST) = V_{ph}(reset) + V_{FPN} + V_{offset}$$
(*)

$$V_{sig} = V_{ph}(T_{int}) + V_{FPN} + V_{offset}$$
(Δ)

در اینجا T_{int} زمان در معرض گذاری نوری میباشد. نهایتا با کم کردن این دو ولتاژ، رابطه (۶) بهدست میآید که نشان میدهد نویز FPN و ولتاژ آفست بافر حذف شده است.

$$V_{pix} = V_{reset} - V_{sig} = V_{ph}(reset) - V_{ph}(T_{int})$$
(9)

۲-۲ مقایسه کننده پیشنهادی

در اکثر سنسورهای تصویر، مدارهای حذف نویز FPN و مقایسه کننده به صورت جدا از هم پیادهسازی می شوند که این باعث افزایش تعداد مدارها و به طبع آن باعث افزایش توان مصرفی کل، سطح سیلیکونی سنسور، زمان عکسبرداری و در نهایت کاهش کارایی سنسور تصویر می گردد. لذا روش جدیدی پیشنهاد می گردد که مدار حذف نویز در مدار مقایسه کننده ادغام شده و در نتیجه عمليات CDS به طور همزمان با عمليات مقايسه انجام مي گيرد. با حذف يک مدار مستقل (مدار حذف نویز)، ضمن صرفهجویی در سطح سیلیکونی و توان مصرفی، سرعت عکسبرداری نیز به دلیل حذف زمان مورد نیاز برای اجرای عملیات CDS، افزایش پیدا می کند. مدار مقایسه کننده ی پیشنهادی در شکل ۶ نشان داده شده است. نحوه کارکرد مدار مقایسه گر پیشنهادی بر پایه دیاگرام φ_1 و φ_{az} و φ_{az} و φ_{az} و φ_{az} نشان داده شده در شکل ۲ میباشد. ابتدا با اعمال پالسهای حلقه فیدبک برای تقویت کننده بسته شده و به ورودی ها و خروجی های مقایسه-گر ولتاژهای ثابت V_{cm1} و V_{cm2} اعمال می گردد که این کار نه تنها باعث می شود ولتاژ آفست مقایسه گر در خازن های C_{AZ1} و C_{AZ2} ذخیره شود بلکه یک کاهش سطح DC نیز در خروجی مقایسه گر جهت کارکرد بهتر مدار لچ توسط خازنهای و c_2 اتفاق افتد. لازم به توضيح است فازهای ϕ_{az} و ϕ_1 شبيه هم بوده فقط c_2 فاز ϕ_{az} مقداری تاخیر (0.5nS) نسبت به فاز ϕ_{az} دارد. دلیل این کار این است که تا زمان باز شدن حلقه فیدبک، ورودی مقایسه گر اگر ولتاژ ثابتی داشته باشد خطای کمتری به خاطر قطع شدن سوییچها در ولتاژهای نمونه برداری شده در خازنهای CAZ1 و CAZ2 ایجاد می شود. همزمان با حذف آفست، فاز ریست شروع می شود. در این حالت، با ریست شدن پیکسل و روشن شدن سوییچ S_1 ولتاژ ریست پیکسل $(V_{ph}(RST))$ در خازن C_{s1} ذخیره میگردد. بعد از ریست پیکسل، فاز سیگنال شروع می شود، سوییچ S₁ خاموش شده و با روشن شدن سوئيچ S_2 ولتاژ $\left(V_{ph}(T_{int})
ight)$ در خازن C_{s2} ذخيره مىگردد. مدار معادل مقایسه گر در فاز حذف آفست (φ_{az}) در شکل ۸(الف) نشان داده شده است. بعد از حذف آفست و ذخیره ولتاژ ریست و سیگنال پیکسل در خازنهای نمونه بردار، نوبت به عمليات مقايسه ولتاژ پيكسل با سيگنال رمپ مىرسد كه اينكار در فاز φ_2 صورت می پذیرد. برای درک بهتر کارکرد مدار در فاز مقایسه می توان به مدار معادل شکل ۸(ب) توجه نمود. همچنین در ادامه برای درک بهتر عملکرد مقایسه کننده ی پیشنهادی در فاز حذف آفست، توضیح مفصلی در



شكل ٩: مدار پیش تقویت كنندهی مقایسه كننده

در این شرایط، اختلاف جریان زوج دیفرانسل A (Δi) با اختلاف جریان زوج دیفرانسلی B (/Δi) بصورت جریانی قابل مقایسه خواهد بود برای روشن شدن نحوه مقایسه میتوان به روابط زیر توجه نمود:

$$\Delta i = i_1 - i_2 = g_{m1}(V_{Ramp} - (V_{ph}(T_{int}) + V_{offset} + V_{FPN}))$$
(Y)

$$\Delta i' = i_3 - i_4 = g_{m2} \left(V_{reset} - (V_{ph}(reset) + V_{offset} + V_{FPN}) \right)$$
(A)

$$V_{out} = \text{out}^+ - \text{out}^- = R_{out}(\Delta i + \Delta i')$$
⁽⁹⁾

همانطور که دیده می شود مقایسه بین دو اختلاف جریان زوج دیفرانسیلی A و B اتفاق می افتد که نتیجه آن تغییر وضعیت^{۱۲} خروجی مقایسه گر (Q) خواهد بود. برای بدست آوردن اینکه دقیقا بین چه ولتاژهای این مقایسه صورت می-گیرد کافیست نقطه عطف $0=V_{out}$ را در نظر بگیریم. می دانیم برای O_{out} خروجی مقایسه گر I=Q و برای حالت $0>V_{out}$ خروجی 0=Q خواهد بود. برای مشخص شدن اینکه کدام ولتاژها با هم مقایسه می شوند می توان به رابطه ۱۰ توجه نمود.

$$if \quad V_{out} = 0 \implies g_{m1}(V_{Ramp} - (V_{ph}(T_{int}) + V_{offset} + V_{FPN})) = g_{m2}\left(V_{reset} - (V_{ph}(reset) + V_{offset} + V_{FPN})\right)$$
(1.)

$$if \quad g_{m1} = g_{m2} \implies V_{Ramp} = V_{ph}(T_{int}) \tag{11}$$

رابطه ۱۱ نشان میدهد که ولتاژهای V_{Ramp} و $V_{ph}(T_{int})$ بدون تأثیر V_{reset} . V_{offset} و V_{FPN} با هم مقایسه میشوند. در نهایت نه تنها عملیات حذف نویز انجام میشود بلکه عملیات مقایسه مبدل دادهها نیز به صورت همزمان انجام می گردد.

 i_B برای افزایش دقت کار مقایسه گر، جریانهای بایاس هر دو زوج دیفرانسیل (i_B و $_A$) به دلیل استفاده از منابع جریان کسکود برابر انتخاب شده است از طرف دیگر با انتخاب سایز بزرگ برای ترانزیستورهای ورودی ($M - M_0$)، g_{m1} و g_{m2} با دقت قابل قبولی برابر می شوند. از آنجاییکه مدار پیش تقویت کننده بصورت دیفرانسیلی کار می کند نیاز است سطح ولتاژ DC خروجی آن کنترل گردد. مدار فیدبک وجه مشتر ک^{۹۱} شکل ۱۰ با تولید ولتاژ کنترل آمی و اعمال آن به ترانزیستورهای در ولتاژ کنترل کروجی آن کنترل آن به ترانزیستورهای دانز می ولتاژ کنترل کروجی آن کنترل آن به ترانزیستورهای دو ولتاژ کنترل کروجی آن کنترل آن به ترانزیستورهای دولتاژ کنترل آمی و اعمال آن به ترانزیستورهای است کنترل آمی و می کند نیاز است سطح ولتاژ کنترل آمی و اعمال آن به ترانزیستورهای الما و می می گردد. که از طرف مدار بایاس اعمال می آن را در این مدار بایاس اعمال می گردد و در این مدار ۲/۱ ولت انتخاب شده است.



همانطور که از شکل ۶ مشخص است، خروجی مدار تقویت کننده (-out+,out) از طریق خازنهای C_1 و C_1 به ورودی مدار لچ (شکل ۱۱) متصل شده است. این خازنها با شارژ شدن در فازهای φ_{az} و φ_{az} این کمک را می کنند که سطح DC سیگنال در ورودی مدار لچ کاهش یافته و مدار لچ به درستی کار کند. مدار لچ زمانیکه تقویت کننده مشغول به تقویت سیگنال می باشد خاموش بوده و بعد با اعمال پالس E خروجی Q را تولید می نماید که این خروجی برای لچ اطلاعات شمارنده در حافظه ستونی مورد استفاده قرار می گیرد.



۴- نتایج شبیهسازی

مدار پیشنهادی (شکل ۶) با استفاده از تکنولوژی CMOS 0.18µm طراحی شده و برای ارزیابی دقیق آن، انواع شبیهسازی از جمله تحلیل زمانی، فرکانسی و نویز با استفاده از شبیهساز Spectre انجام شده است. همچنین با استفاده از تحلیل مونت کارلو و تحلیل گوشه، تاثیر تغییرات پروسه بررسی شد و با تحلیل دمایی نیز تاثیر تغییرات دما بر روی عملکرد مدار ارزیابی گردید.

۴–۱– تحلیل فرکانسی

برای بهدستآوردن بهره ولتاژ تقویتکننده (شکل۹) و پاسخ فرکانسی آن، شبیهسازی AC در گوشههای مختلف پروسه انجام شد. همانطور که در شکل۱۲ نشان داده شده است.

¹⁴ Common mode feadback



در گوشه اسمی (TT)، بهره ولتاژ ۴۰ دسیبل و فرکانس قطع حدود ۳۳ مگاهر تز بدست آمده است. منحنیهای قرمز، آبی، زرد، سبز و صورتی بهترتیب مربوط به گوشههای TT، SS، TT و SF هستند. بهره ولتاژ ۴۰ دسیبل پیش-تقویتکننده برای تقویت حداقل ولتاژ قابل شناسایی ورودی کافی میباشد.

۴-۲- تحلیل مونت کارلو

برای ارزیابی میزان ولتاژ آفست مقایسه کننده، آنالیز مونت کارلو با ۱۰۰ نقطه با در نظر گرفتن هم تغییرات پروسه^{۱۵} و هم عدم تطابق^{۱۶} قطعات انجام شده است. همانطور که قبلا اشاره شد رنج تغییرات ورودی (ولتاژ پیکسل) از ۲/۰ تا ۲/۱ ولت میباشد. از طرفی با توجه به ۱۰ بیتی بودن مبدل داده، کوچک ترین ولتاژ قابل شناسایی توسط مقایسه گر حدودا ۱ میلی ولت خواهد بود. همان طور که در شکل ۱۳ نشان داده شده است، حداکثر ولتاژ آفست در خروجی پیش تقویت-کننده تا ۲۰۰ میلیولت به دست آمد که بعد از حذف آفست به کمتر از ۵۵ میلیولت در ورودی لچ رسیده است. از طرفی کوچکترین ولتاژ قابل شناسایی، بعد از تقویت توسط تقویت کننده با بهره ۴۰ دسیبل (۱۰۰ برابری) به مقدار حدودا ۱۰۰ میلی ولت در وردی لچ می سد. بنابراین با توجه به بزرگ بودن حداقل سیگنال قایل شناسایی توسط مدار لچ از ولتاژ آفست باقیمانده، مشکلی در شناسایی ولتاژ تقویت شده نخواهد بود. بنابراین آفست مقایسه کننده تاثیر در شناسایی ولتاژ تقویت شده نخواهد بود. بنابراین آفست مقایسه کننده تاثیر در شناسایی ولتاژ مقایسه نخواهد داشت.



شکل ۱۳: هیستوگرام شبیهسازی مونت کارلو برای ولتاژ آفست: (الف) ولتاژ آفست در خروجی پیش تقویتکننده و (ب) ولتاژ آفست در ورودی لچ

۴-۳ تحلیل زمانی و نویز

برای بهدست آوردن سرعت مقایسه کننده از تحلیل زمانی استفاده شده است. بطوری که محدوده ورودی مقایسه کننده از ۲/۰ تا ۱/۲ ولت در نظر گرفته شد، پالسهای مختلف با دامنه ۱ میلیولت و سطوح DC مختلف (۲/۰، ۹/۰، ۱/۱، ۳/۱، ۵/۱ و ۲/۱ ولت) به ورودی مقایسه کننده (۲_{Ramp}) اعمال گردید و پاسخهای پله در شکل ۱۴ نشان داده شده است. زمان لازم برای مقایسه و تفریق حدود ۲۵ نانو ثانیه بدست آمد. توان مصرفی مقایسه کننده و مدار بایاس به ترتیب ۶۴ میکرووات و ۵۵ میکرووات است. با اعمال ولتاژی بهعنوان مدل نویز FPN در خروجی سیگنال پیکسل، مشخص شد که نویز با بزرگی ۵۰ میلی-ولت هیچ تاثیری بر خروجی مقایسه کننده ندارد و به خوبی حذف می شود. بر اساس تجزیه و تحلیل نویز (شکل ۱۵)، کل نویز ارجاع شده به ورودی مقایسه گر (برای پهنای باند ۱ هرتز تا ۱ گیگاهرتز) حدود ۵۰ میکرو ولت بدست آمد که با توجه به رنج ولتاژ ۱ ولتی پیکسل، میزان SNR حدودا ۶۵ دسیبل بدست آمد.

16 Process variation



شکل ۱۶: شبیه سازی کلی مقایسه گر برای ورودی های مختلف

	This work	[21]	[25]	[26]	[27]
Process [nm]	180	180	110	40	65
Supply voltage [V]	2.5/1.8	3.3/1.8	3.3/1.5	2.5/1.1	2.8/1.2
Architecture	SS-ADC	SS-ADC	SS/TDC	SS-ADC	Cyclic/SAR
FPN Noise cancellation	Merged in comparator	N/A	Digital CDS	Digital CDS	N/A
Resolution [Bit]	10	11	10	12	12
Power [µW]	64	63.2	98.1	66.8	120

جدول ۱: مقایسه عملکرد



تحلیل دما در تمامی شبیهسازیها انجام شد و نتایج بهدست آمده نشان میدهد که افزایش دما از ۲۷ به ۶۰ درجه سانتی گراد، ولتاژ آفست را تا ۱۶ درصد و کل نویز ارجاع شده ورودی را به میزان ۵۸ درصد افزایش میدهد همچنین بهرهى ولتاژ پیشتقویت كننده را ۱/۶ درصد كاهش مىدهد. نتایج تحلیل كلى مقایسه گر با اعمال سیگنال رمپ و انواع ولتاژ پیکسل (V_{sig}) در شکل ۱۶ نشان داده شده است. در این تحلیل ۱۰ ولتاژ مختلف پیکسل با فاصله مساوی در طول ناحیه کار پیکسل به مقایسه گر اعمال شده و دیده می شود با عبور سیگنال رمپ از ولتاژ پیکسل، خروجی Q مربوطه نیز از 0 به 1 تغییر وضعیت میدهد که این نشان دهنده کارکرد صحیح مدار میباشد. این تحلیل یک بار بدون اعمال ولتاژ نویز FPN و یک بار هم با اعمال ولتاژ نویز ۵۰ میلیولتی انجام شده است و نتایج مربوط به ${
m Q}$ در شکل ۱۶ برای هر دو حالت نشان داده شده V_{sig} =1.144V است. در شکل مربوطه بخشی از خروجی Q برای ورودی جهت مشاهده بهتر، بزرگنمایی شده است، این نتایج نشان میدهد که مدار بدون تاثیر از نویز FPN بخوبی کار میکند. در واقع خروجی Q، به تعداد ۲ بار یکی برای VFPN=0V و دیگری VFPN=0.05V، برای هر ولتاژ پیکسل، روی هم قرار گرفته است که همگی در فاز حذف آفست φ_{az} ، ۱/۸ ولت میباشند. مشخصات مقایسه کننده پیشنهادی و برخی رویکردهای مشابه در جدول ۱ خلاصه شده است. جانمایی ۶۲ ستون از مدار پیشنهادی در شکل ۱۷ نشان داده شده که بخشی از آن بزرگ نمایی شده است. عرض هر ستون ۲ میکرومتر وجانمایی مدار پیشنهادی ۳۸۰× ۷ میکرومتر مربع می باشد. Pixel/s High-Speed Readout Circuit", IEEE Journal of Solid-State Circuits, Vol. 50, No. 4, 2015.

[10] N. Cottini, M. Gottardi, N. Massari, R. Passerone, Z. Smilansky. "A 33W 64×64 Pixel Vision Sensor Embedding Robust Dynamic Background Subtraction for Event Detection and Scene Interpretation", IEEE Journal of Solid-State Circuits, Vol. 48, No. 3, 2013.

[11] L. Gaioni et al., "Optimization of the 65-nm CMOS Linear Front-End Circuit for the CMS Pixel Readout at the HL-LHC," in IEEE Transactions on Nuclear Science, vol. 68, no. 11, pp. 2682-2692, Nov. 2021, doi: 10.1109/TNS.2021.3117666.

[۱۲] صادق کلانتری، علیمحمد فتوحی، «حذف نویز ضربه از تصاویر طبیعی

دیجیتال در محدوده وسیعی از چگالی نویز مبتنی بر فیلتر میانگین و میانه

تطبیقی»، مجله مهندسی برق دانشگاه تبریز، دوره ۴۷، شماره ۲، صفحه ۶۷۷-

.1898.888

[13] D. Roma et al. "APS fixed pattern noise modelling and compensation", 2016 Conference on Design of Circuits and Integrated Systems (DCIS), 2016, pp. 1-5, doi: 10.1109/DCIS.2016.7845363.

[14] Guicquero W, Alacoque L. "Impact of fixed pattern noise on embedded image compression techniques". 2017 IEEE International Symposium on Circuits and Systems (ISCAS), 2017, pp. 1-4, doi: 10.1109/ISCAS.2017.8050547.

[15] Q. Zhang, N. Ning, J. Li, Q. Yu, K. Wu, Z. Zhang, "A 12-Bit Column-Parallel Two-Step Single-Slope ADC With a Foreground Calibration for CMOS Image Sensors" IEEE Access, vol. 8, pp. 172467-172480, 2020, doi: 10.1109/ACCESS.2020.3025153.

[16] S. Xie, A. Theuwissen, "A 10 Bit 5 MS/s Column SAR ADC With Digital Error Correction for CMOS Image Sensors", IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 67, no. 6, pp. 984-988, June 2020, doi: 10.1109/TCSII.2019.2928204.

[17] H. Lee, D. Seo, W. Kim, B. Lee "A Compressive Sensing-Based CMOS Image Sensor With Second-Order $\Sigma\Delta$ ADCs", IEEE Sensors Journal, vol. 18, no. 6, pp. 2404-2410, 15 March15, 2018, doi: 10.1109/JSEN.2017.2787122.

[18] J. -Y. Jeong, J. Shim, S. -K. Hong and O. -K. Kwon, "A High-Speed and Energy-Efficient Multi-Bit Cyclic ADC Using Single-Slope Quantizer for CMOS Image Sensors," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 68, no. 7, pp. 2322-2326, July 2021, doi: 10.1109/TCSII.2021.3062139.

[۱۹] مهدی حسیننژاد، حسین شمسی، «طراحی و شبیهسازی مبدل آنالوگ

به دیجیتال لولهای مبتنی بر مقایسهگر ولتاژ پایین»، مجله مهندسی برق دانشگاه تبریز، دوره ۴۶، شماره ۱، صفحه ۸۷–۹۸، ۱۳۹۵.

[20] H-J. Kim "11-bit Column-Parallel Single-Slope ADC With First-Step Half-Reference Ramping Scheme for High-Speed CMOS Image Sensors", IEEE Journal of Solid-State Circuits, vol. 56, no. 7, pp. 2132-2141, July 2021, doi: 10.1109/JSSC.2021.3059909.

[21] J. Wei, X. Li, L. Sun, D. Li, "A 63.2μW 11-Bit Column Parallel Single-Slope ADC with Power Supply Noise Suppression for CMOS Image Sensors", 2020 IEEE International Symposium on Circuits and Systems 2020, pp. 1-4, doi: 10.1109/ISCAS45731.2020.9180739.

[22] M. R. Elmezayen, B. Wu, S. U. Ay "Single-Slope Look-Ahead Ramp ADC for CMOS Image Sensors", IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 67, no. 12, pp. 4484-4493, Dec. 2020, doi: 10.1109/TCSI.2020.3007882.

[۲۳] روح اله صنعتی، فرزان خطیب، محمد جوادیان صراف، ریحانه کاردهی

مقدم، «مقایسه کننده حوزه زمان بالک-درایو با بهره ولتاژ به زمان بالا و توان

مصرفی پایین»، مجله مهندسی برق دانشگاه تبریز، دوره ۵۱ ، شماره ۴، صفحات

.14.1.4.1-89

[24] M. Teymouri, J. Sobhi, "An ultra-linear CMOS image sensor for a high-accuracy imaging system", Int J Circ Theor Appl, 2018; 46: 1593–1605. https://doi.org/10.1002/cta.2485.

[25] I. Park, C. Park, J. Cheon and Y. Chae, "5.4 A 76mW 500fps VGA CMOS Image Sensor with Time-Stretched Single-Slope ADCs Achieving 1.95e- Random Noise", 2019 IEEE International Solid-State Circuits Conference 2019, pp. 100-102, doi: 10.1109/ISSCC.2019.8662388.

[26] Q. Liu, A. Edward, M. Kinyua, E. G. Soenen and J. Silva-Martinez, "A Low-Power Digitizer for Back-Illuminated 3-D-Stacked CMOS Image Sensor Readout With Passing Window and Double Auto-Zeroing Techniques", IEEE Journal of Solid-State Circuits, vol. 52, no. 6, pp. 1591-1604, June 2017, doi: 10.1109/JSSC.2017.2661843



شکل۱۷: جانمایی مدار مقایسهگر

۵- نتیجه گیری

در این مقاله مقایسه کننده جدیدی معرفی شد که میتوان از آن در حسگرهای تصویر CMOS با ساختار ستون- موازی استفاده کرد. مقایسه کننده پیشنهادی در حین انجام عملیات مقایسه، میتواند نویز FPN پیکسل را حذف کند. این تکنیک میتواند توان مصرفی و سطح سیلیکونی سنسور تصویر را بهبود بخشد کلیه مدارات در پروسه TSMC 0.18µm CMOS طراحی و با استفاده از نرم افزار Cadence و شبیه ساز Spectre تحلیل شده است.

مراجع

[1] T. Hirayama, "The evolution of CMOS image sensors", 2013 IEEE Asian Solid-State Circuits Conference (A-SSCC), 2013, pp. 5-8, doi: 10.1109/ASSCC.2013.6690968.

[2] F. Morishita, W. Saito, Y. Iizuka, N. Kato, R. Otake and M. Ito, "A 30.2-μ Vrms Horizontal Streak Noise 8.3-Mpixel 60-Frames/s CMOS Image Sensor With Skew-Relaxation ADC and On-Chip Testable Ramp Generator for Surveillance Camera," in IEEE Journal of Solid-State Circuits, vol. 57, no. 10, pp. 3103-3113, Oct. 2022, doi: 10.1109/JSSC.2022.3176379.

[3] Z. Li, H. Xu, Z. Liu, L. Luo, Q. Wei and F. Qiao, "A 2.17μ W@120fps Ultra-Low-Power Dual-Mode CMOS Image Sensor with Senputing Architecture," 2022 27th Asia and South Pacific Design Automation Conference (ASP-DAC), 2022, pp. 92-93, doi: 10.1109/ASP-DAC52403.2022.9712591.

[4] J. -S. Hyeon, S. -H. Kim and H. -J. Kim, "A Low-Power CMOS Image Sensor With Multiple-Column-Parallel Readout Structure," in IEEE Journal of the Electron Devices Society, vol. 10, pp. 180-187, 2022, doi: 10.1109/JEDS.2022.3148087.

[5] J. Nakamura, "Image Sensors and Signal Processing for Digital Still Cameras", Taylor & Francis, 2006.

[6] Jing Gao, Ningxi Yan, Kaiming Nie, Zhiyuan Gao, Jiangtao Xu, "A 2.44µs row conversion time 12-bit high-speed differential single-slope ADC with TDC applied to CMOS image sensor", Microelectronics Journal, Volume 120, 2022,

[7] K. Park, S. Yeom and S. Y. Kim, "Ultra-Low Power CMOS Image Sensor With Two-Step Logical Shift Algorithm-Based Correlated Double Sampling Scheme," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 67, no. 11, pp. 3718-3727, Nov. 2020, doi: 10.1109/TCSI.2020.3012980.

[8] N. Chen, S. Zhong, M. Zou, J. Zhang, Z. Ji, L. Yao, "A Low-Noise CMOS Image Sensor with Digital Correlated Multiple Sampling ", IEEE Transactions on Circuits and Systems–I: Regular Papers. 2017.

[9] S. Okura, O. Nishikido, Y. Sadanaga, Y. Kosaka, N. Araki, K. Ueda, F. Morishita, "A 3.7 M-Pixel 1300-fps CMOS Image Sensor with 5.0 G- 2016 IEEE International Solid-State Circuits Conference (ISSCC), 2016, pp. 126-128, doi: 10.1109/ISSCC.2016.7417939.

[27] T. Arai et al., "6.9 A $1.1 \mu m$ 33Mpixel 240fps 3D-stacked CMOS image sensor with 3-stage cyclic-based analog-to-digital converters",