

طراحی و شبیه‌سازی سوئیچ کم تلف SPDT در باند Ka برای جابجایی پرتو آرایه‌های مدولاسیون زمانی

محمد رضا امجدیان^۱، دانشجوی ارشد، محمد فخارزاده^۲، استادیار

۱- دانشکده مهندسی برق - دانشگاه صنعتی شریف- تهران - ایران - mohammadreza.amjadian@ee.sharif.edu

۲- دانشکده مهندسی برق - دانشگاه صنعتی شریف- تهران - ایران - fakharzadeh@sharif.edu

چکیده: در سیستم‌های آرایه مدولاسیون زمانی، از سوئیچ به جای فازگردان استفاده می‌گردد که منجر به کاهش ابعاد، پیچیدگی، توان مصرفی و قیمت نهایی آرایه می‌شود. سوئیچ به‌عنوان عنصر کنترلی برای وزن‌دهی عنصرهای آرایه استفاده می‌شود. برای کاهش هزینه ساخت تا حد امکان ابعاد تراشه فشرده شده و از فناوری ارزان قیمت CMOS 180 نانومتر کارخانه TSMC، برای طراحی استفاده شده است. سوئیچ دارای تلفات dB 1/85 در فرکانس 33 گیگاهرتز و ایزولاسیون بیشتر از 17 dB دارد. در مقایسه با سایر سوئیچ‌های طراحی شده در فناوری مذکور (تا به امروز) حداقل تلفات و ابعاد را داراست. هم‌چنین با تطبیق امپدانس مناسب، تمام باند Ka را پوشش می‌دهد. دیگر عنصر موردنیاز برای طراحی آرایه، یک تقسیم/ترکیب‌کننده توان با حداقل ابعاد است. چون آرایه موردنظر 4 عنصر دارد، به یک مقسم توان یک‌به‌چهار نیاز است. مجموعه سوئیچ‌ها و مقسم توان تشکیل یک آرایه مدولاسیون زمانی می‌دهند. آرایه مجتمع طراحی شده به‌خوبی بازه فرکانسی 26/5 تا 37/6 گیگاهرتز را پوشش می‌دهد و ابعاد آن 0/7 در 1/48 میلی‌مترمربع است. توان مصرفی آرایه مجتمع طراحی شده برابر صفر است چراکه تمامی عنصرهای به‌کار برده شده هیچ توانی مصرف نمی‌کنند.

واژه‌های کلیدی: آرایه مدولاسیون زمانی، سوئیچ SPDT، باند Ka، CMOS 180 نانومتر، سوئیچ کم تلف، تقسیم/ترکیب‌کننده توان فشرده، آرایه 4 بعدی.

Design and Simulation of a Low Loss Ka-band SPDT Switch for Time Modulated Array Beam Steering

M.R. Amjadian, Master Student¹, M. Fakharzadeh, Assistant Professor²

1- Faculty of Electrical Engineering, Sharif University of Technology, Tehran, Iran, Email: mohammadreza.amjadian@ee.sharif.edu

2- Faculty of Electrical Engineering, Sharif University of Technology, Tehran, Iran, Email: fakharzadeh@sharif.edu

Abstract: In Time modulated arrays (TMAs), a switch is used instead of a phase shifter, which reduces the area, complexity, power consumption and the overall cost of the array. The TMA uses the switch as a control element for array weighting for the purpose of beam forming and beam steering. To lower the IC cost, the IC is designed to be as compact as small as possible. Moreover, the inexpensive CMOS 180 nm technology of TSMC is used for IC fabrication. The designed SPDT switch has 1.85 dB loss at 33 GHz, more than 17 dB isolation in Ka-band, and its area is 0.086 mm². Compared to other switches designed in CMOS180 nm, this work has the lowest loss and area (up to now), and covers Ka-band completely. Another critical element of an array is a power combiner/divider with minimum area. Because this array has 4 elements, it needs a 4-way power divider. Four switches and power divider form a TMA IC, which covers 26.5 to 37.6 GHz with an area of 0.7 by 1.48 mm². The power consumption of the array is zero since all the elements are passive and do not consume any power.

Keywords: Time modulated array(TMA), SPDT switch, Ka band, CMOS 180 nm, low loss switch, lumped power combiner/divider, compact array, 4-D array.

تاریخ ارسال مقاله: ۱۳۹۶/۰۶/۲۲

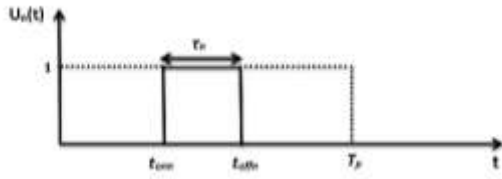
تاریخ اصلاح مقاله: ۱۳۹۶/۱۲/۲۲

تاریخ پذیرش مقاله: ۱۳۹۷/۰۳/۰۳

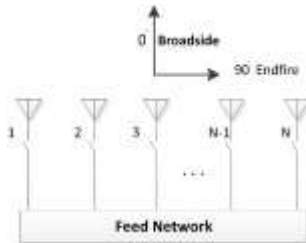
نام نویسنده مسئول: محمد فخارزاده

نشانی نویسنده مسئول: ایران - تهران - خیابان آزادی - دانشگاه صنعتی شریف - دانشکده مهندسی برق

۱- مقدمه



شکل ۱: شکل پالس کنترلی یک سوئیچ



شکل ۲: ساختار یک سیستم مدولاسیون زمانی

۲- طراحی سوئیچ

در این بخش، به طراحی یک سوئیچ SPDT در فناوری ارزان قیمت و مرسوم CMOS ۱۸۰ نانومتر پرداخته خواهد شد. فناوری CMOS ۱۸۰ نانومتر یک فناوری با سابقه با f_t برابر با ۴۵ گیگاهرتز و f_{max} برابر با ۶۰ گیگاهرتز است. به طور کلی فناوری CMOS برای کاربردهای مجتمع سازی دیجیتالی استفاده می شود و برای کاربردهای موج میلی متری، بیشتر از فناوری های GaAs، BiCMOS و برای کاربردهایی با توان بالاتر از فناوری GaN استفاده می گردد. از آنجاکه CMOS دارای بازدهی ساخت بالاتری نسبت به دیگر فناوری های ذکر شده است، برای مجتمع نمودن قسمت های RF و دیجیتال، از این فناوری استفاده می گردد و سایر فناوری ها به دلیل بازدهی ساخت پایین، باید به صورت مازول های جدا از هم باشند که سبب تطبیق امپدانس نامناسب، ابعاد بزرگ تر و تلفات بیشتر می گردد.

رابطه (۱) [۵]، مقاومت میان درین و سورس را در حالت روشن بودن ترانزیستور بیان می کند. در رابطه (۱)، C_{ox} بیانگر خازن اکسید (مقدار ثابت فناوری) است و V_t ولتاژ آستانه ترانزیستور را نشان می دهد. هدف، کاهش مقاومت R_{on} است که با افزایش عرض ترانزیستور (W) کاهش طول ترانزیستور (L)، افزایش ولتاژ کنترلی ترانزیستور (V_{gs}) و افزایش μ (قابلیت تحرک پذیری حامل بار) می توان آن هدف رسید. در طراحی ها، طول ترانزیستور را برابر حداقل طول ممکن قرار داده می شود (در این فناوری حداقل طول ۱۸۰ نانومتر است).

$$R_{on} = \frac{1}{\mu C_{ox} \frac{W}{L} (V_{gs} - V_t)} \quad (1)$$

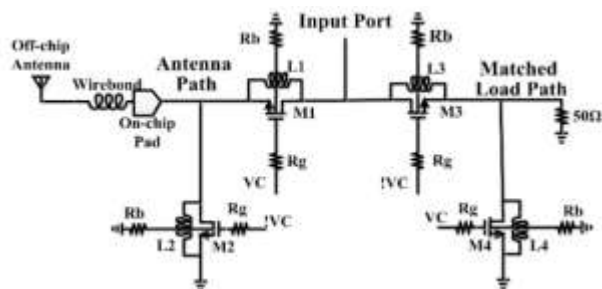
چون μ ترانزیستورهای nMOS بیشتر از pMOS است، از ترانزیستور nMOS استفاده می شود. با افزایش عرض ترانزیستور، R_{on} کاهش می یابد اما باید توجه داشت که مقدار خازن های پیوندی نیز افزایش خواهد یافت که سبب افزایش جریان نشتی می گردد. این نشتی توان در ترانزیستورهای سری منجر به افزایش تلفات، کاهش ایزولاسیون و

رشد روزافزون سیستم های بی سیم و افزایش سرعت انتقال اطلاعات باعث ایجاد نوآوری و به کارگیری فناوری های نوین شده است که از جمله آن می توان به سیستم های آرایه فازی مجتمع اشاره نمود. سیستم های آرایه فازی قدمت طولانی دارند اما در سال های اخیر به دلیل رشد فناوری نیمه هادی، امکان مجتمع سازی این نوع سیستم ها ایجاد شده است. سیستم های آرایه فازی دارای دو ویژگی بارز چرخش و شکل دهی پرتو هستند که این دو ویژگی، آن ها را از سایر سیستم ها متمایز می سازد. در سیستم های آرایه فازی مرسوم، از فازگردان ها جهت چرخش پرتو استفاده می شود. فازگردان عنصری غیرخطی و به فرآیند ساخت وابسته است، در نتیجه نیازمند روش های کالیبراسیون است [۱، ۲]. از همین رو، همواره استفاده از ساختارهای جایگزین مورد توجه بوده است.

در این مقاله، به بررسی سیستم آرایه مدولاسیون زمانی پرداخته خواهد شد. تئوری مدولاسیون زمانی ابتدا در سال ۱۹۵۹ توسط شنکت و بیکمور ارائه شد [۳]. در آرایه مدولاسیون زمانی، از سوئیچ به جای فازگردان استفاده می گردد. با پیشرفت فناوری ساخت نیمه هادی و تولید سوئیچ های فرکانس بالا با سرعت کلیدزنی سریع، امکان بهره برداری از این نوع آرایه فراهم گردید. سوئیچ نسبت به یک فازگردان، ساختاری به مراتب ساده تر دارد و قیمت و ابعاد آن نیز کمتر است و از همه مهم تر، میزان وابستگی آن به فرآیند ساخت کم تر است. با استفاده از آرایه مدولاسیون زمانی می توان بهره فضایی (معیاری برای انتقال داده در فضای مشخصی از محیط) و بهره طیف (نرخ اطلاعاتی که می تواند در یک پهنای باند مشخص انتقال پیدا کند) را افزایش داد [۴]. شکل پرتو خروجی هر سیستم آرایه فازی توسط دامنه و فاز هر عنصر تعیین می شود. برای آرایه مدولاسیون زمانی، وزن هر عنصر با زمان روشن و خاموش شدن آن عنصر تعیین می شود. شکل پالس کنترلی یک سوئیچ در شکل ۱ به نمایش در آمده است.

در آرایه مدولاسیون زمانی، وزن عناصر به صورت زمانی تعیین می گردد در حالی که در سیستم های آرایه فازی مرسوم، وزن دهی عناصر صرفاً توسط یک فازگردان و تقویت کننده انجام می شود و مستقل از زمان است. همان طور که در شکل ۲ نشان داده شده است، به جای آن که در پس هر آنتن یک فازگردان باشد، از یک سوئیچ استفاده شده است.

در بخش ۲، به طراحی یک سوئیچ کم تلف SPDT برای باند Ka در فناوری CMOS ۱۸۰ نانومتر پرداخته می شود. در بخش ۳، طراحی یک مقسم توان فشرده و یلکینسون در فناوری مذکور بررسی می گردد و در بخش ۴، آرایه مدولاسیون زمانی توسط سوئیچ و مقسم توان طراحی شده و به بررسی نتایج آن پرداخته می شود. در بخش ۵ نیز موارد ذکر شده در مقاله نتیجه گیری می گردد.



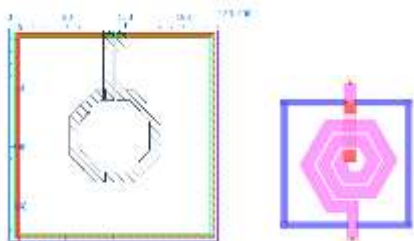
شکل ۴: شماتیک نهایی سوئیچ طراحی شده

یکی از چالش این مقاله، محدودیت مساحت نهایی برای ساخت است که این ابعاد در ابتدا برابر با 0.7λ در $1/5$ میلی‌متر مربع تعیین شده است. به دلیل محدودیت ابعاد و با در نظر گرفتن این نکته که بیشترین مساحت در جانمایی را سلف‌ها به خود اختصاص می‌دهند و برای ساختار سری-موازی (ساختار مطلوب طراحی) نیاز به ۴ سلف است، سلف‌ها نقش به‌سزایی در ابعاد کلی سوئیچ دارند.

۲-۱- طراحی سلف

کم‌ترین مقدار اندوکتانس یک سلف در فناوری CMOS 180 نانومتر با استفاده از سلف `ind_sym` حاصل می‌شود که اندوکتانسی برابر با 180 پیکوهانری دارد و ابعاد آن 180 در 180 میکرومتر مربع است، سلف مذکور در شکل ۵ نشان داده شده است [۹]. برای مدل کردن سلف‌ها و تمامی خطوط سیگنال در فرکانس‌های بالاتر از نرم‌افزارهای شبیه‌سازی الکترومغناطیسی به‌مانند ADS، HFSS و SONNET استفاده شده است.

همان‌طور که پیش‌تر اشاره شد، اگر ابعاد سلف کاهش یابد، ابعاد کلی مدار مجتمع به‌میزان محسوس‌تری کاهش می‌یابد. برای این منظور، با استفاده از نرم‌افزار `Spiral Assistant` یک سلف با همان مقدار 180 پیکوهانری اما با ابعاد کم‌تر طراحی شده است. ابعاد این سلف (شکل ۵) در حدود 90 در 90 میکرومتر مربع است که در مقایسه با سلف فناوری، ابعاد آن یک-چهارم شده است.

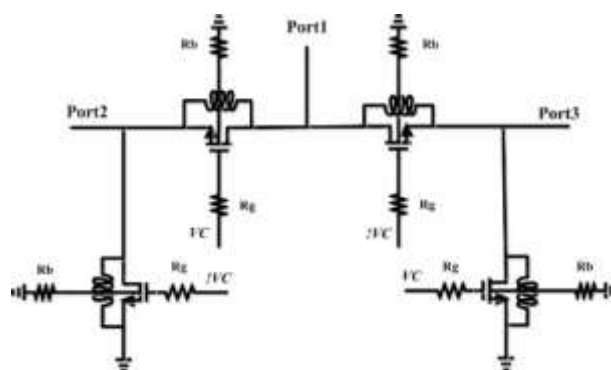


شکل ۵: سلف 180 پیکوهانری؛ سمت راست: سلف فناوری، سمت چپ: سلف طراحی شده

برای مدل‌سازی سلف در فرکانس‌های بالا، مدل‌های فشرده مداری مختلفی ارائه شده است که در میان آن‌ها می‌توان به مدل [۱۰] اشاره نمود که تمامی سلف‌های طراحی شده در این مقاله با مدار ساده شده این روش مدل خواهند شد. (شکل ۶)

کاهش پهنای باند سوئیچ می‌گردد. در طراحی، بهینه‌سازی مقدار عرض ترانزیستورها ضروری است تا عوامل نامطلوب حداقل گردند [۵، ۶].

ساختار سری-موازی تلفیقی از دو ساختار سری و موازی است. در این ساختار از دو ترانزیستور سری جهت کاهش تلفات و از دو ترانزیستور موازی جهت افزایش ایزولاسیون استفاده شده است (شکل ۳). این ساختار از ویژگی‌های هر دو ساختار سری و موازی بهره می‌برد. نحوه کار این مدار بدین‌صورت است که ولتاژ کنترلی ترانزیستورهای سری و موازی در هر مسیر، مخالف یکدیگر می‌باشند. ساختار سری-موازی به دلیل توانایی ایجاد تعادل میان تلفات و ایزولاسیون به‌عنوان ساختار موردنظر برای طراحی انتخاب می‌گردد [۷].



شکل ۳: ساختار سوئیچ با استفاده از ترانزیستورهای سری-موازی

ایزولاسیون به دلیل وجود خازن‌های پیوندی و پارازیتیکی در فرکانس‌های بالاتر، کاهش می‌یابد. برای رفع این مشکل از یک سلف موازی با ترانزیستور استفاده می‌گردد که با خازن‌های پارازیتیکی و پیوندی موجود نوسان نموده و تا حد امکان تأثیر آن‌ها را کم کند. برای جلوگیری از نشت سیگنال و نیز پیشگیری از شکست اکسید از یک مقاومت نسبتاً بزرگ (R_g) برای اعمال ولتاژ کنترلی به گیت ترانزیستور استفاده می‌گردد. زمانی که توان ورودی افزایش می‌یابد، ولتاژ درین-سورس بسیار منفی می‌گردد و در نتیجه دیود بین درین و بدنه روشن شده و امپدانس ورودی ترانزیستور کاهش می‌یابد که منجر به ایجاد جریان سریعی از درین به زمین می‌گردد. با استفاده از تکنیک بدنه شناور، بدنه ترانزیستور از طریق یک مقاومت در حدود چند کیلو اهم (R_b) به زمین متصل می‌گردد. زمانی هم که توان ورودی زیاد شود، دیود بین درین و بدنه باز هم روشن می‌گردد اما میزان افزایش جریان بین درین و زمین به دلیل وجود مقاومت بزرگ، تدریجی است [۸].

خروجی یکی از دهانه‌های سوئیچ SPDT توسط بانداویر به آنتن خارج از مدار مجتمع متصل شده و خروجی دیگر آن به صورت داخلی به بار 50Ω اهم تطبیق می‌گردد (شکل ۴) تا برای حالت‌های مختلف کلیدزنی، مشخصات آرایه نظیر پهنای باند، تلفات و ایزولاسیون کمترین مقدار تغییرات را داشته باشند. در مسیر تطبیق نیازی به تلفات کم نیست چراکه سیگنال از این مسیر به خارج از مدار مجتمع منتقل نمی‌شود و تنها در بار تطبیق تلف می‌گردد.

شکل ۷ مقایسه بین نتیجه شبیه‌سازی نرم‌افزار ADS و مدل فشرده شکل ۶ را نشان می‌دهد. با توجه به مقادیر به‌دست‌آمده، مدل فشرده به خوبی نتیجه شبیه‌سازی الکترومغناطیسی را دنبال می‌کند.

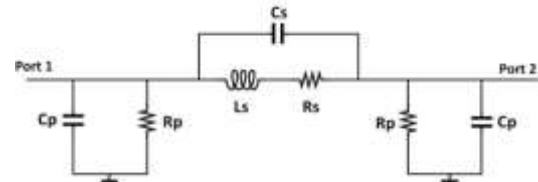
۲-۲- ترانزیستورها

همان‌طور که پیشتر اشاره گردید، ساختار مطلوب مورد استفاده در این مقاله، ساختار سری-موازی است. در ادامه ابعاد هر ۴ ترانزیستور بررسی خواهد شد.

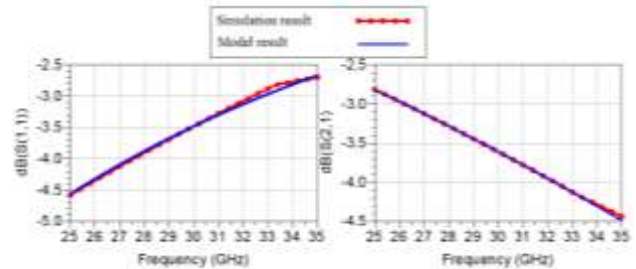
۲-۲-۱- ترانزیستورهای سری

ابتدا ترانزیستورهای سری مورد بررسی قرار می‌گیرند. طبق رابطه (۱)، با افزایش عرض ترانزیستور (W) مقاومت حالت روشن آن کاهش می‌یابد و در نتیجه تلفات سوئیچ نیز کم می‌شود. اما با این وجود باید در نظر داشت که با افزایش عرض ترانزیستور، مقدار خازن‌های پیوندی C_{js} و C_{jd} نیز افزایش می‌یابد که منجر به افزایش کوپلینگ به بستر و در نتیجه کاهش ایزولاسیون می‌گردد. هم‌چنین یکی از مسیرهای سوئیچ به بار تطبیق داخلی ختم می‌شود که ایزولاسیون آن از تلفاتش اهمیت بیشتری دارد. مشخصات مهمی که برای هرگونه تغییرات باید در نظر گرفته شود، عبارتند از: تلفات مسیر به سمت آنتن، ایزولاسیون دهانه ورودی از مسیر آنتن در حالتی که سوئیچ بر روی مسیر تطبیق است و تطبیق امپدانس در دو حالتی که سوئیچ بر مسیر آنتن یا مسیر تطبیق داخلی قرار دارد. شکل ۸ نتایج شبیه‌سازی یک سوئیچ را نشان می‌دهد که عرض ترانزیستور سری در مسیر آنتن ۸ میکرومتر بوده و تعداد انگشت‌های آن از ۱۰ تا ۳۰ با گام‌های ۴ تایی تغییر می‌کند. با افزایش عرض مجموع، تلفات کاهش یافته و پارامتر تطبیق امپدانس در حالت بار تطبیق به فرکانس‌های پایین‌تر منتقل شده است. به‌نظر می‌رسد تعداد انگشت ۱۸، تعادل مناسبی را میان ۴ پارامتر تطبیق ورودی، تلفات و ایزولاسیون ایجاد می‌کند. هم‌چنین پهنای باند مناسب‌تری را برای باند Ka فراهم می‌کند.

اما ترانزیستور سری در مسیر بار تطبیق باید تا حد امکان کوچک باشد تا اثرات پارازیتیک آن کم‌تر بوده و مساحت کم‌تری را اشغال کند. به‌همین خاطر عرض مجموع این ترانزیستور کم‌تر از عرض ترانزیستور سری در مسیر آنتن انتخاب می‌شود. شکل ۹ نتایج حاصل از شبیه‌سازی سوئیچ را در حالتی که عرض ترانزیستور سری در مسیر بار تطبیق ۴ میکرومتر است و تعداد انگشتان آن از ۴ تا ۱۰ میکرومتر با گام‌های ۲ تایی تغییر می‌کند را نشان می‌دهد. با افزایش عرض مجموع ترانزیستور، تلفات در مسیر آنتن کمتر شده و ایزولاسیون افزایش یافته است. تطبیق امپدانس در مسیر بار تطبیق، برای تعداد انگشت‌های ۶ و ۸ مقدار مناسب‌تری دارد. از نتایج شبیه‌سازی‌ها می‌توان نتیجه گرفت که ۷ انگشت مقدار مناسبی برای این ترانزیستور است.

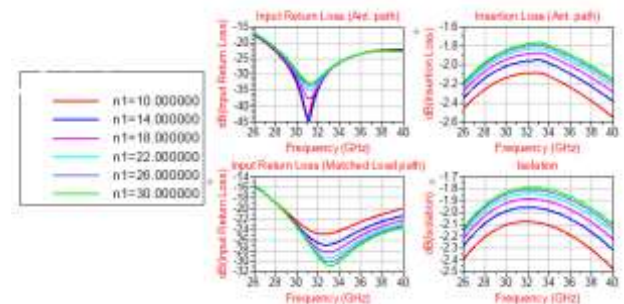


شکل ۶: مدار معادل فشرده یک سلف



شکل ۷: مقایسه بین نتیجه شبیه‌سازی نرم‌افزار ADS و مدل فشرده

شکل ۶

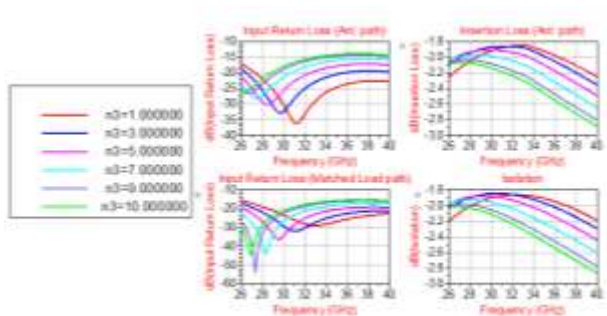


شکل ۸: تغییرات پارامترهای پراکندگی سوئیچ با تغییرات عرض ترانزیستور سری در مسیر آنتن

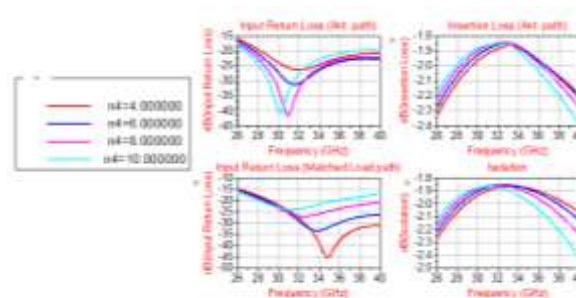
R_s و L_s به ترتیب نشان‌دهنده مقدار اندوکتانس و مقاومت خط ایجادکننده سلف هستند و C_s ظرفیت خازنی میان خروجی‌های سلف است [۱۱]. C_p شامل ظرفیت خازنی اکسید بین بستر و خط تشکیل‌دهنده سلف (C_{ox}) و ظرفیت خازنی بستر (C_{si}) است. R_p نیز از تجمع حامل‌های اکثریت به دلیل میزان ناخالص سازی و مساحت سلف (R_{si}) و مقاومت ناشی از جریان‌های ادی (R_{sub}) تشکیل می‌شود [۱۱]. با توجه به مدار فشرده شکل ۶، ضریب کیفیت از رابطه (۲) حاصل می‌شود. رابطه (۲) از سه بخش تشکیل می‌شود. بخش اول، رابطه‌ای است که ضریب کیفیت یک سلف ایده‌آل را نشان می‌دهد. دو بخش دیگر به ترتیب بیانگر تلفات بستر و فاکتور خودنوسانی سلف است [۱۱]; ضریب کیفیت سلف‌های طراحی شده حدود ۸ است.

$$Q = \frac{\omega L_s}{R_s} \frac{R_p}{R_p + \left[\left(\frac{\omega L_s}{R_s} \right)^2 + 1 \right] R_s} \quad (2)$$

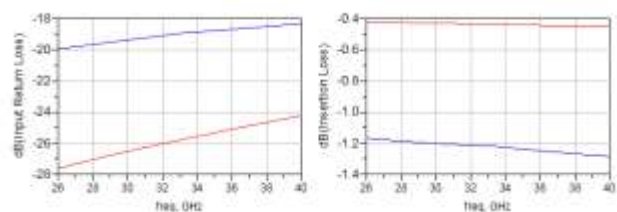
$$\left[1 - \frac{R_s^2}{L_s^2} (C_s + C_p) - \omega^2 L_s (C_s + C_p) \right]$$



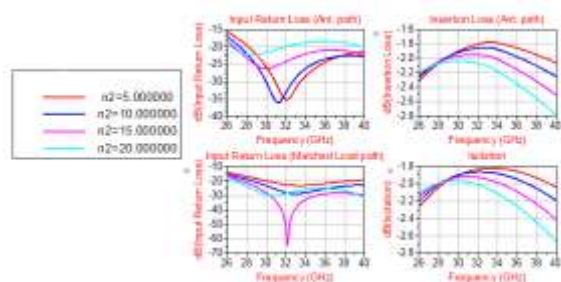
شکل ۱۱: تغییرات پارامترهای پراکندگی سوئیچ با تغییرات عرض ترانزیستور موازی در مسیر بار تطبیق



شکل ۹: تغییرات پارامترهای پراکندگی سوئیچ با تغییرات عرض ترانزیستور سری در مسیر بار تطبیق



شکل ۱۲ مشخصات سلف‌ها؛ سمت چپ: تطبیق امپدانس سلف، سمت راست: تلفات سلف (رنگ آبی: سلف ۲۴۰ و رنگ قرمز: سلف ۱۴۰ پیکوهانری)

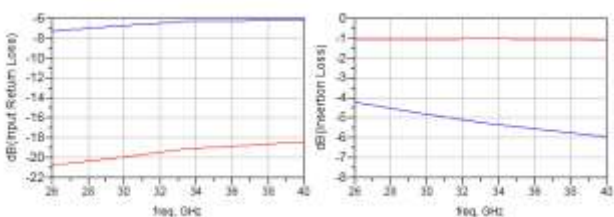


شکل ۱۰: تغییرات پارامترهای پراکندگی سوئیچ با تغییرات عرض ترانزیستور موازی در مسیر آنتن

۲-۲-۲- ترانزیستورهای موازی

طبق رابطه (۱)، هر چه ابعاد ترانزیستور موازی بیشتر شود، مقاومت آن کاهش می‌یابد که سبب می‌گردد سیگنال بیشتری در هر دو حالت روشن و خاموش از آن عبور کند و در نتیجه با افزایش ابعاد هر دو پارامتر تلفات و ایزولاسیون افزایش می‌یابند. برای ترانزیستور موازی در سمت آنتن، عرض ترانزیستور را برابر با ۴ میکرومتر قرار داده و تعداد انگشتان آن از ۵ تا ۲۰ با گام‌های ۵ تایی تغییر می‌کند. شکل ۱۰ نتیجه خروجی این شبیه‌سازی را نشان می‌دهد. تلفات و ایزولاسیون با افزایش عرض ترانزیستور افزایش خواهند یافت که اولی مطلوب نیست. پس مثل دو حالت قبل، عرض کلی به گونه‌ای انتخاب می‌گردد که تعادلی بین مطلوبات مسئله ایجاد کند که این مهم با تعداد انگشتان برابر با ۱۰ برآورده می‌شود.

برای آخرین ترانزیستور، عرض ترانزیستور برابر با ۴ میکرومتر در نظر گرفته می‌شود. چون این ترانزیستور در مسیر بار تطبیق قرار دارد، هر چه ابعاد آن کوچک‌تر باشد بهتر خواهد بود. برای شبیه‌سازی، تعداد انگشت‌ها از ۱ تا ۱۰ با گام‌های ۲ تایی تغییر می‌کنند. شکل ۱۱ نتایج خروجی شبیه‌سازی را نشان می‌دهد. هر چه ابعاد این ترانزیستور بیشتر شود، تلفات بیشتر شده و تطبیق امپدانس در مسیر آنتن به سمت فرکانس‌های پایین‌تر جابجا می‌شود. تعداد انگشت ۱ برای این مسئله مطلوب است چراکه در این حالت فرکانس مرکزی سوئیچ در حدود ۳۲ گیگاهرتز خواهد شد.

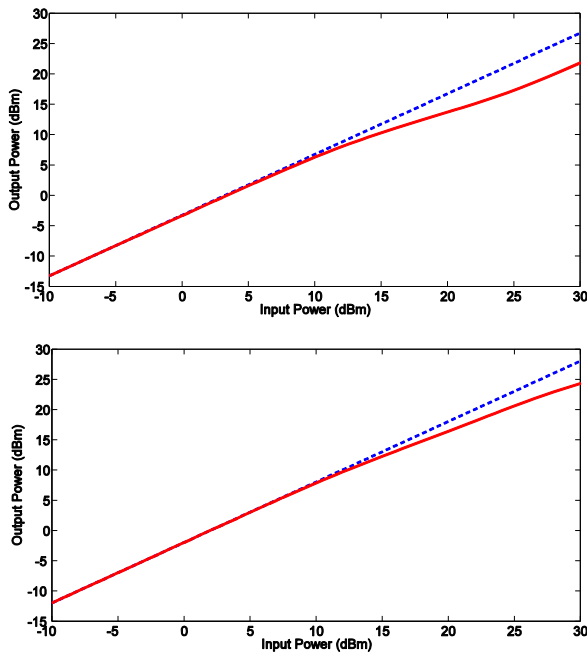


شکل ۱۳: مشخصات سلف‌ها؛ سمت چپ: تطبیق امپدانس سلف، سمت راست: تلفات سلف (رنگ آبی: سلف ۶۰۰ و رنگ قرمز: سلف ۶۵۰ پیکوهانری)

طول تمام ترانزیستورها برابر ۱۸۰ نانومتر است که حداقل طول برای فناوری CMOS ۱۸۰ نانومتر است و اگر طول ترانزیستور بیش از این مقدار باشد، فرکانس f_t ترانزیستور کاهش می‌یابد.

۲-۳- به‌کاربردن سلف موازی با ترانزیستور

در گام بعدی، مطابق شکل ۳، بر دو سر هر ترانزیستور سلفی قرار داده می‌شود تا با خازن‌های پیوندی و پارازیتیک آن نوسان نموده و تأثیر آن‌ها را خنثی کند. برخلاف آنچه که در [۱۲] ذکر شده است، در فناوری CMOS ۱۸۰ نانومتر می‌توان سلف‌های ۶ ضلعی طراحی نمود. برای مسیر آنتن، سلف ۱۴۰ پیکوهانری برای ترانزیستور سری و سلف ۲۴۰ پیکوهانری برای ترانزیستور موازی استفاده می‌گردد. شکل ۱۲ پارامترهای پراکندگی مربوط به مجموعه ترانزیستور و سلف موازی با آن را نشان می‌دهند.



شکل ۱۴: شبیه‌سازی نقطه فشردگی در مسیر؛ الف. بار تطبیق، ب. آنتن

۵-۲- شبیه‌سازی زمانی سوئیچ

یکی از مشخصات مهم سوئیچ، زمان‌های بالا و پایین آمدن آن است که تا حد ممکن باید حداقل باشند. تا بدین جای کار تنها در مورد پارامترهای پراکندگی سوئیچ بحث شد، اما این پارامترها خصوصیت زمانی ندارند و از آن‌ها نمی‌توان برای تحلیل در حوزه زمان سود برد. راه‌حل این موضوع، استفاده از تغییر فاز خطوط استفاده‌شده و تبدیل آن‌ها به حوزه زمان است. در رابطه (۳)، ΔZ معرف طول مسیری است که موج در آن اختلاف فاز $\Delta\phi$ طی می‌کند، k عدد موج بوده و λ طول موج را نشان می‌دهد. با جایگذاری رابطه (۳) در رابطه (۴)، رابطه (۵) حاصل خواهد شد.

$$\Delta Z = \frac{\Delta\phi}{k} = \frac{\lambda}{\sqrt{\epsilon_r}} \frac{\Delta\phi}{2\pi} \quad (3)$$

$$\Delta t = \frac{\Delta Z}{\frac{c}{\sqrt{\epsilon_r}}} \quad (4)$$

$$\Delta t = \lambda \frac{\Delta\phi}{2\pi c} \quad (5)$$

از آنجا که طول موج در فرکانس ۳۰ گیگاهرتز برابر یک سانتی‌متر و (سرعت نور در خلأ) نیز مقداری برابر با 3×10^8 متر بر ثانیه دارد، مقدار اختلاف زمانی میان ابتدا و انتهای یک خط در فرکانس ۳۰ گیگاهرتز از رابطه (۶) حاصل می‌گردد (برحسب فمتوثانیه). مقدار زمانی Δt با شبیه‌سازی الکترومغناطیسی اختلاف فاز دو سر تمامی خطوط به کاررفته در طراحی و جایگذاری در رابطه (۶) به دست می‌آید.

همان‌طور که شکل ۱۳ نشان می‌دهد، هر دو ترانزیستور به همراه سلف متناظرشان، تطبیق امپدانسی مناسبی را ایجاد نموده‌اند؛ اما شرایط تطبیق امپدانسی برای مسیر بار تطبیق متفاوت است. شکل ۱۳ نتایج شبیه‌سازی پارامترهای پراکندگی مجموعه سلف-ترانزیستور در این مسیر را نشان می‌دهد.

همان‌طور که از شکل ۱۳ برمی‌آید، ترانزیستور سری تطبیق امپدانسی مناسبی دارد در حالی که تطبیق امپدانسی ترانزیستور موازی خوب نیست. علت عدم تطبیق امپدانس در ترانزیستور موازی، مسئله‌ای است که در ابتدا بیان شد، هدف از طراحی سوئیچ SPDT آن است که یکی از خروجی‌های آن به صورت داخلی به بار ۵۰ اهم تطبیق گردد و دهانه دیگر توسط یک پد و سپس با استفاده از یک باندوایر در خارج از مدار مجتمع به یک آنتن متصل گردد.

تلفات ناشی از دهانه‌ای که به صورت داخلی تطبیق شده است در این مسئله در اولویت نیست بلکه تطبیق امپدانسی در هر دو مسیر و نیز کاهش تلفات در مسیر آنتن از اهمیت بیشتری برخوردار است. حالتی را در نظر بگیرید که سوئیچ در مسیر آنتن منتقل قرار دارد، مقداری از سیگنال به دهانه بار تطبیق نشت می‌کند و اگر سیگنال در این مسیر عدم تطبیق مشاهده کند، بازگشته و به دهانه آنتن می‌رسد، سیگنال‌ها در دهانه آنتن به صورت سازنده با یکدیگر جمع می‌گردند و در نتیجه تلفات مسیر آنتن کم می‌شود. اما باید این نکته را نیز در نظر گرفت که در حالت دیگر که سوئیچ به سمت بار تطبیق وصل است، مقداری از سیگنال به دلیل عدم تطبیق به دهانه آنتن نشت می‌کند و در نتیجه ایزولاسیون کاهش می‌یابد؛ اما در حالت دوم میزان عدم تطبیق کم‌تر از حالت اول است چراکه در حالت اول ترانزیستور سری در مسیر بار تطبیق خاموش است و تطبیق امپدانسی مناسبی ندارد ولی در حالت دوم، این ترانزیستور روشن بوده و در حالت تطبیق است و قسمتی از عدم تطبیق ترانزیستور موازی را جبران می‌کند.

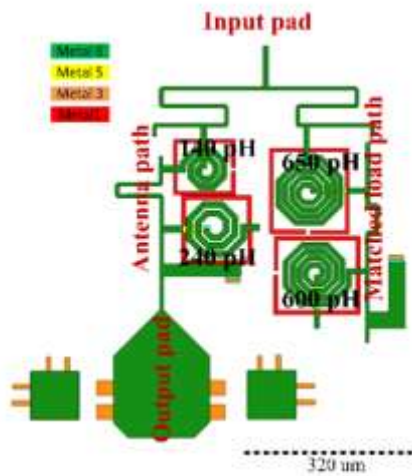
۴-۲- توانایی کنترل توان

پس از اتمام طراحی و جانمایی سوئیچ، نوبت به بررسی کنترل توان سوئیچ می‌رسد. مشخصه‌ای که برای این منظور استفاده می‌شود، شبیه‌سازی نقطه فشردگی یک دسی‌بل است. شکل ۱۴ نتیجه شبیه‌سازی نقطه فشردگی در مسیر بار تطبیق و آنتن را نشان می‌دهد که به ترتیب برابر با ۱۳/۵ و ۱۶ دسی‌بل می‌باشند.

بر اساس نتایج شبیه‌سازی، مقدار ۱۳/۵ دسی‌بل به عنوان نقطه فشردگی سوئیچ SPDT طراحی شده در نظر گرفته می‌شود. این مقدار باید در استفاده از آرایه جهت اعمال توان در ورودی آن در نظر گرفته شود تا آرایه اشباع نشود.

جدول ۱: مقادیر عنصرهای سوئیچ

عنصر	مقدار
M1	$W=4u, nr=20$
M2	$W=4u, nr=10$
M3	$W=4u, nr=7$
M4	$W=4u, nr=1$
L1	۱۴۵ pH
L2	۲۴۰ pH
L3	۶۵۰ pH
L4	۶۰۰ pH
Rg	۵ kΩ
Rb	۵ kΩ



شکل ۱۷: جانمایی سوئیچ SPDT طراحی شده

در جدول ۲، خلاصه‌ای از مقایسه نتایج سوئیچ طراحی شده با کارهای مشابه ذکر شده است. سوئیچ طراحی شده در این مقاله، در مقایسه با سایر سوئیچ‌های طراحی شده در فناوری CMOS ۱۸۰ نانومتر دارای کم‌ترین ابعاد و تلفات است. این سوئیچ با تطبیق امپدانس خوبی توانسته است کل محدوده باند فرکانسی Ka را پوشش دهد. همان‌طور که در شکل ۱۷ مشاهده می‌شود، ابعاد سوئیچ طراحی شده برابر با ۲۷۰ در ۳۲۰ میکرومتر مربع است که بیشتر فضای مدار مجتمع طراحی شده را سلف‌ها اشغال کرده‌اند.

۳- طراحی مقسم توان

آرایه مدولا سیون زمانی موردنظر، دارای چهار مسیر خروجی است که در هر مسیر یک سوئیچ SPDT قرار می‌گیرد که یکی از خروجی‌های آن به یک بار تطبیق و خروجی دیگر به یک پد ختم می‌شود. توان ورودی توسط یک تقسیم‌کننده توان میان چهار مسیر تقسیم می‌گردد. از آنجاکه ۴ سوئیچ برای آرایه مدولا سیون زمانی مورد استفاده قرار می‌گیرد، یک تقسیم‌اترکیب‌کننده یک به چهار (چهار راهه) نیاز است. با توجه به شکل ۱۷، برای طراحی یک تقسیم‌کننده توان یک‌به‌چهار، مقدار N برابر ۴ قرار داده می‌شود. امپدانس مشخصه خط

سپس، خطوط انتقال توسط یک عنصر تأخیر زمانی در شبیه‌سازی‌ها جانشین می‌گردند. علاوه بر جایگذاری تأخیرهای زمانی، به جای مدل پارامترهای پراکندگی سلف‌های طراحی، از مدار معادل فشرده سلف‌های طراحی شده که در قسمت ۲-۱ به آن‌ها اشاره شد، استفاده می‌گردد. با اعمال تغییرات مذکور، نتیجه شبیه‌سازی زمانی سوئیچ در شکل ۱۵ به‌نمایش درآمده است.

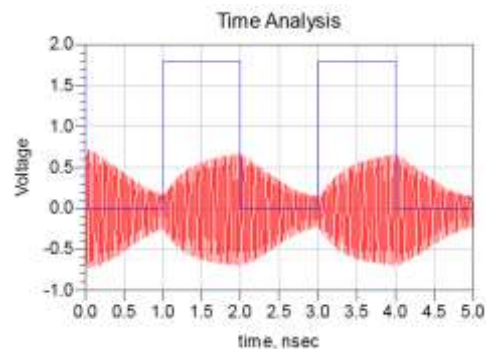
$$\Delta t = 92.6 \Delta \varphi$$

(۶)

زمان بالآمدن برابر با زمانی که طول می‌کشد خروجی از ۱۰ تا ۹۰ درصد مقدار نهایی خود تغییر کند و زمان پایین آمدن نیز برابر با زمان تغییر خروجی از ۹۰ تا ۱۰ درصد مقدار نهایی تعریف می‌گردد. با توجه به تعاریف ارائه‌شده، زمان بالآمدن برابر ۶۰۰ پیکوثانیه و زمان پایین آمدن ۶۶۰ پیکوثانیه است.

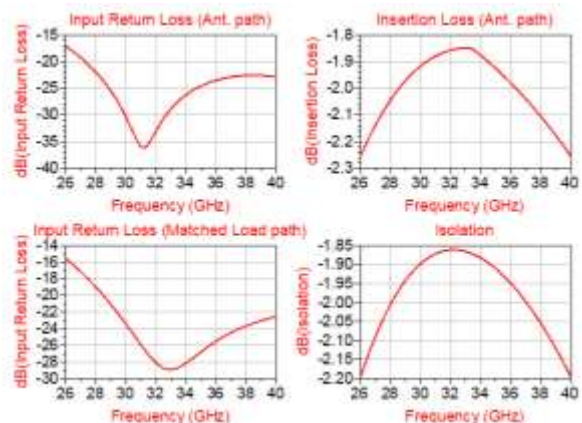
۶-۲- مقایسه با کارهای انجام‌شده

با توجه به مقادیر ذکر شده برای عنصرها در جدول ۱، نتیجه شبیه‌سازی پارامترهای پراکندگی این سوئیچ در شکل ۱۶ به‌نمایش درآمده است. با توجه به نتایج شکل ۱۶، سوئیچ به‌خوبی باند Ka را با تلفات بازگشتی کم‌تر از ۱۷ دسی‌بل پوشش داده است. تلفات سوئیچ طراحی شده در فرکانس ۳۳ گیگاهرتز برابر ۱/۸۵ دسی‌بل بوده و در باند Ka تلفات آن کم‌تر از ۲/۲۵ دسی‌بل است. در باند Ka، ایزولا سیون مقداری بین ۱۷ تا ۲۵ دسی‌بل است.



شکل ۱۵: نتیجه شبیه‌سازی زمانی سوئیچ با مقاومت گیت ۵ کیلو اهم

(قرمز: شکل موج خروجی، آبی: شکل موج سیگنال کنترلی)



شکل ۱۶: نتیجه نهایی پارامترهای پراکندگی سوئیچ

فشرده است. به‌طور کلی می‌توان گفت که ساختارهای فشرده نسبت به ساختارهای گسترده مساحت کم‌تری را اشغال می‌کنند ولی پهنای‌بند آن‌ها کم‌تر از ساختارهای گسترده است که علت این امر استفاده از عنصرهای فشرده است که در فرکانس مشخصی نوسان می‌کنند و پهنای‌بند کم‌تری حول فرکانس مرکزی نوسان خود دارند. این مدار در شکل ۱۹ به‌نمایش درآمده است.

$\frac{\lambda}{4}$ برابر ۱۰۰ اهم است که معادل عرض خط ۱/۹ میکرومتر است که کم‌تر از یک‌سوم عرض خط ۷۰ اهم است و سبب می‌گردد که مقدار مقاومت خط افزایش یابد. به‌دلیل عرض خط بسیار کم (تلفات زیاد) و نیز طول خط $\frac{\lambda}{4}$ که در فرکانس ۳۰ گیگاهرتز برابر ۱۶۰۰ میکرومتر (حداکثر طول مدار مجتمع موردنظر ۱۵۰۰ میکرومتر) است، نمی‌توان از یک تقسیم‌کننده توان گسترده یک‌به‌چهار استفاده نمود. راه‌حل مناسب برای کاهش ابعاد، یک تقسیم‌/ترکیب‌کننده توان ویلکینسون

جدول ۲ مقایسه نتایج سوییچ طراحی شده با کارهای انجام‌شده مشابه (مقادیر تلفات، ایزولاسیون و P1dB در فرکانس ۳۰ گیگاهرتز گزارش شده‌اند)

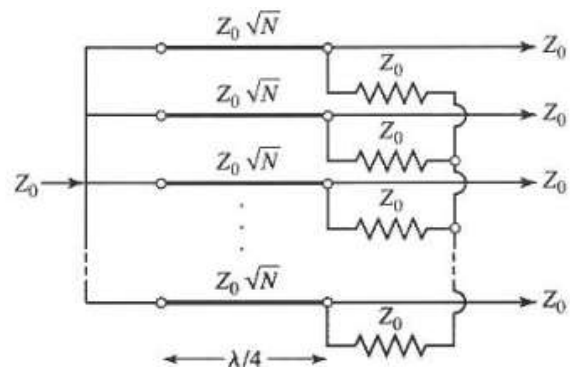
مرجع	فناوری	فرکانس کاری (GHz)	تلفات بازگشتی ورودی (dB)	تلفات (dB)	ایزولاسیون (dB)	P1dB (dBm)	ابعاد (میلی‌مترمربع)
[۸]	CMOS 130 nm	۴۰-۲۶.۵	<-۱۷	۲/۲	۱۸	۲۳	۰/۰۶
[۱۳]	CMOS 180 nm	۲۴-۱۸	<-۱۰	۶ (در فرکانس ۲۴ گیگاهرتز)	۲۴	۲۱/۵	۰/۴۱
[۱۴]	BiCMOS 180 nm	۳۰-۰	<-۱۵	۳/۴	۲۰	۲۳	۰/۰۴۶
[۱۵]	CMOS 180 nm	۶۷-۱۶	<-۱۰	۳/۶	۱۲	۲۳/۶	۰/۴
[۱۶]	CMOS 180 nm	۵۰-۰	---	۳	۳۸	۱۹/۶	۰/۱۴
این مقاله	CMOS 180 nm	۴۰- ۲۶/۵	<-۱۷	۱/۸۵	۱۹/۷	۱۳/۵	۰/۰۸۶

مسیر (معادل خط) را تعیین می‌کند. چون در ورودی یک تقسیم‌/ترکیب‌کننده توان N راه، تعداد N خازن با ظرفیت C باهم موازی می‌شوند، در ورودی مقسم توان به میزان NC ظرفیت خازنی وجود دارد. روابط (۷) و (۸) مقادیر L و C را برای شکل ۱۹ بیان می‌کند [۱۹].

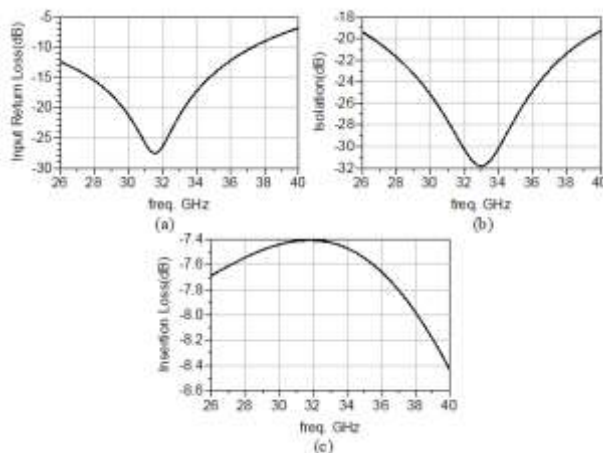
$$L = \frac{Z_T}{2\pi f} \quad (7)$$

$$C = \frac{1}{2\pi f Z_T} \quad (8)$$

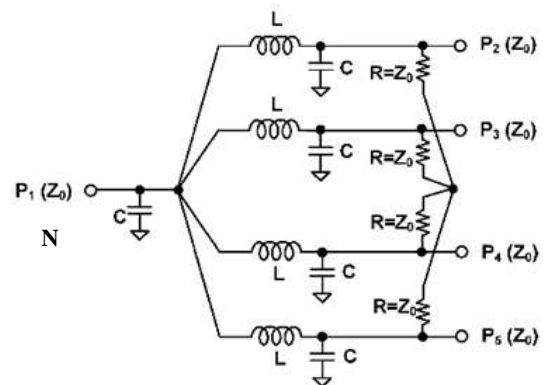
در روابط (۷) و (۸) برابر امپدانس مشخصه خط است که به‌عنوان مثال، برای یک تقسیم‌کننده توان یک‌به‌دو و یک‌به‌چهار به ترتیب برابر ۷۰ (تقریباً) و ۱۰۰ اهم است.



شکل ۱۸: تقسیم‌کننده توان ویلکینسون با N خروجی [۱۷]



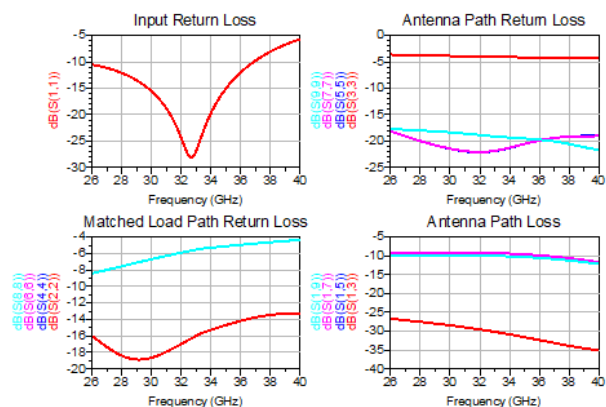
شکل ۲۰: نتایج شبیه‌سازی مقسم/ترکیب‌کننده توان فشرده



شکل ۱۹: تقسیم‌/ترکیب‌کننده توان ویلکینسون فشرده یک‌به‌چهار [۱۸]

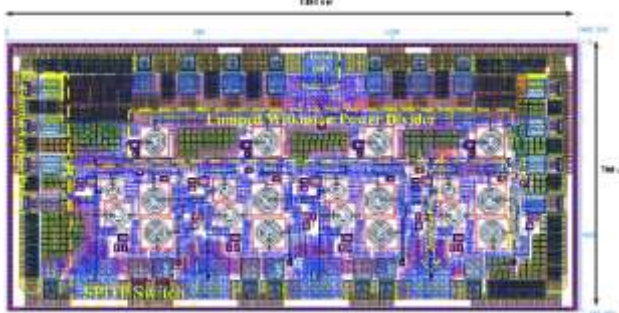
در [۱۸]، یک تقسیم‌کننده توان فشرده یک‌به‌چهار برای فرکانس مرکزی ۲۴ گیگاهرتز طراحی شده است. فرکانس مرکزی برای طراحی، برابر با

در ساختار شکل ۱۹، از یک شبکه π شکل به صورت C-L-C استفاده می‌گردد که امپدانس هر مسیر و نیز میزان تغییر فاز ۹۰ درجه در آن



شکل ۲۳: نتایج شبیه‌سازی آرایه مدولاسیون زمانی در حالتی که سه سوئیچ بر مسیر آنتن و سوئیچ دیگر بر مسیر بار تطبیق قرار دارد

جانمایی مدار به‌گونه‌ای طراحی شده است که کاملاً متقارن باشد و مسیرهای آنتن و بار تطبیق در سوئیچ‌های مختلف، تقریباً شرایط برابر را تجربه کنند. در دو طرف هر پد ورودی و خروجی دو پد زمین قرار دارد که اصطلاحاً به آن G-S-G گویند که سبب می‌گردد تا سیگنال ورودی در ابتدا شرایط موجبری هم صفحه‌ای و سپس میکرواستریپ را تجربه کند و برای سیگنال‌های خروجی عکس این اتفاق رخ می‌دهد. جانمایی نهایی در شکل ۲۴ به‌نمایش درآمده است.



شکل ۲۴: جانمایی نهایی مدار مجتمع آرایه مدولاسیون زمانی (ابعاد: ۳۷۰ در ۱۱۸۰ میکرومترمربع)

استفاده از پدهای G-S-G سبب می‌گردد تا کوپلینگ بین دهانه‌های مختلف خروجی به حد اقل برسد. ابعاد کلی مدار مجتمع آرایه مدولاسیون زمانی با احتساب پدها و حلقه کلی دور آن، برابر ۱۴۸۰ در ۷۰۰ میکرومترمربع و بدون در نظر گرفتن پدها و حلقه، ۱۱۸۰ در ۳۷۰ میکرومترمربع است.

۴-۱- توان مصرفی آرایه

از آن‌جاکه تمامی عنصرهای به‌کاررفته شده در آرایه از نوع غیرفعال می‌باشند، هم چنین ترانزیستورهای استفاده شده در سوئیچ‌ها از طریق ولتاژ گیت کنترل شده و هیچ جریانی مصرف نمی‌کنند، توان مصرفی آرایه طراحی شده برابر صفر است.

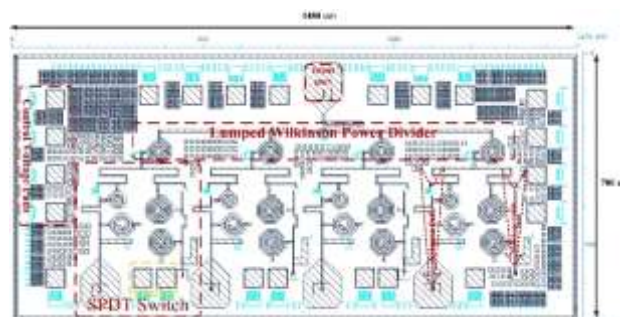
۳۳ گیگاهرتز در نظر گرفته شده است. با توجه به فرکانس مرکزی، مقدار سلف برابر ۴۸۰ پیکوهانری و ظرفیت خازن‌ها ۴۸ فمتوفاراد است. شکل ۲۰ نتایج شبیه‌سازی پارامترهای پراکندگی تقسیم/ترکیب‌کننده توان فشرده طراحی شده را نشان می‌دهد. جانمایی مقسم توان طراحی شده در لایه سیگنال (لایه فلزی شماره ۶) به صورت شکل ۲۱ است. ابعاد این جانمایی برابر ۲۷۰ در ۹۰۰ میکرومترمربع است. نتایج شبیه‌سازی مقسم توان طراحی شده بیان می‌کند که پهنای باند ۲۸/۸ تا ۳۴/۵ گیگاهرتز را به خوبی پوشش داده است. در پهنای باند مورد اشاره، ایزولاسیون بیشتر از ۲۲/۹ دسی‌بل و تلفات کمتر از ۱/۶ دسی‌بل است.



شکل ۲۱: جانمایی تقسیم/ترکیب‌کننده ویلکینسون فشرده طراحی شده

۴- شبیه‌سازی آرایه سوئیچ

شکل ۲۲، جانمایی لایه فلزی شماره شش از مدار مجتمع آرایه مدولاسیون زمانی ۴ عنصری طراحی شده را نشان می‌دهد. شبیه‌سازی‌ها بر اساس شماره دهانه‌های شکل ۲۲ صورت گرفته است.



شکل ۲۲: جانمایی لایه فلزی شماره شش مدار مجتمع آرایه مدولاسیون زمانی ۴ عنصری طراحی شده

دهانه شماره ۱، دهانه ورودی است و دهانه‌های ۲، ۴، ۶ و ۸، چهار دهانه‌ای هستند که توسط بانداویر به آنتن‌های بیرون از مدار مجتمع وصل می‌گردند. دهانه‌های ۳، ۵، ۷ و ۹ در داخل مدار مجتمع توسط یک مقاومت ۵۰ اهمی تطبیق می‌گردند تا تلفات بازگشتی در ورودی برای کلیدزنی‌های مختلف تقریباً یکسان باشد. نتایج شبیه‌سازی آرایه در حالتی که سه سوئیچ بر مسیر آنتن و سوئیچ دیگر بر مسیر بار تطبیق قرار دارد، در شکل ۲۳ به‌نمایش درآمده است. برای حالت‌های متفاوت کلیدزنی، پهنای باند ۲۶/۵ تا ۳۷/۶ گیگاهرتز با توان بازگشتی ورودی کمتر از ۱۰- دسی‌بل به خوبی پوشش داده می‌شود.

۲-۴- مقایسه با کارهای انجام شده

شد. یکی از خروجی‌های سوئیچ به بار ۵۰ اهمی در مدار مجتمع و دیگری تو سطر پد و باندوایر به یک آنتن خارج از تراشه ختم می‌شود. یکی از محدودیت‌های اولیه برای طراحی آرایه، ابعاد حداکثری ۱/۵ در ۰/۷ میلی مترمربع با احتساب پدها است. از آنجاکه آرایه دارای ۴ عنصر است و سیگنال ورودی باید میان عنصرها تقسیم گردد، به یک مقسم توان چهار راهه نیاز است. به دلیل محدودیت ابعاد، از یک مقسم توان فشرده ویلیکنسون استفاده می‌گردد که به دلیل استفاده از عنصرهای فشرده، نمی‌تواند کل باند Ka را پوشش دهد و تنها بازه فرکانسی ۲۸/۸ تا ۳۴/۵ گیگاهرتز را در برمی‌گیرد. حال با توجه به طراحی و شبیه‌سازی سوئیچ SPDT و مقسم توان فشرده، آرایه مدولاسیون زمانی چهار عنصری طراحی و شبیه‌سازی می‌گردد که به‌ازای حالت‌های متفاوت کلیدزنی به‌خوبی بازه فرکانسی ۲۶/۵ تا ۳۷/۶ گیگاهرتز را پوشش می‌دهد. ابعاد آرایه مجتمع ۰/۷ در ۱/۴۸ میلی‌مترمربع است که با هدف اولیه طراحی سازگار است.

مراجع

- [1] P. Mousavi, M. Fakharzadeh, S.H. Jamali, K. Narimani, M. Hossu, H. Bolandhemmat, G. Rafi and S. Safavi-Naeini, "A low-cost ultra low profile phased array system for mobile satellite reception using zero-knowledge beamforming algorithm", IEEE Transactions on Antennas and Propagation, vol.56, pp.3667-3679, Dec. 2008
- [2] حبیبی زهرا، کارزونی محسن، محسن ارمکی سیدحسین، «ارائه یک روش کاربردی جهت کلیراسیون آنتن‌های آرایه فازی»، مجله مهندسی برق دانشگاه تبریز، جلد ۴۵، شماره ۴، صفحه ۸۴-۷۹، ۱۳۹۴
- [3] H.E.Shanks, R. W. Bickmore, "Four-dimensional electromagnetic radiators", Canad. J. Phys., Vol. 37, pp. 263-275, Mar. 1959..
- [4] Rocca, Q. Zhu, E. Bekele, S. Yang and A. Massa, "4-D arrays as enabling technology for cognitive radio systems," IEEE Transaction Antennas Propagation, vol. 62, no.3, pp. 1102-1116, Mar. 2014.
- [5] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, 2001
- [6] C. S. Kuo, H. C. Kuo, H. R. Chuang, C. Y. Chen and T. H. Huang "A high-isolation 60GHz CMOS transmit/receive switch," in IEEE Radio Freq. Integr. Circuits Symp. Dig., pp. 1-4, Jun. 2011
- [7] M. C. Yeh, Z. M. Tsai, R. C. Liu, K. Y. Lin, Y. T. Chang, and H. Wang, "Design and analysis for a miniature CMOS SPDT switch using body-floating technique to improve power performance", Microwave Theory and Techniques, IEEE Transactions on, vol. 54, no. 1, pp. 31-39, 2006
- [8] B. W. Min and G.M. Rebeiz, "Ka-band low-loss and high-isolation 0.13 um CMOS SPST/SPDT switches using high substrate resistance", in Proc. IEEE Radio Freq. Integr Circuit Symp., Honolulu, pp. 569-572, Jun.2007
- [9] "TSMC 0.18 um mixed signal 1P6M salicide 1.8V/3.3V RF SPICE Models"
- [10] O. Murphy, K. McCarthy, C. Delabie, A. Murphy and P. Murphy, "Design of multiple-metal stacked inductors incorporating an extended physical model", Microwave Theory and Techniques, IEEE Transactions on, vol. 53, no. 6, pp. 2063-2072, 2005
- [11] S. A. Sharabi, *Extension of 0.18um standard CMOS technology operating range to the microwave and millimetre-wave regime*, PhD thesis, University of Glasgow, 2015
- [12] جاویدان جواد، فاضل سپیده، «طراحی تقویت‌کننده توان دوبانده با سوئیچ فعال در ۰/۹/۲/۴ GHz در پروسه ۰/۱۸ μm RF CMOS»، مجله مهندسی برق دانشگاه تبریز، جلد ۴۶، شماره ۴، صفحه ۹۴-۸۵، ۱۳۹۵

با بررسی مقالات مختلف، تنها کار مذکور در [۱۹] را می‌توان به‌عنوان یک مدار مجتمع آرایه مدولاسیون زمانی تلقی کرد. بعضی از مقالات با استفاده از سوئیچ و مجموعه خطوط انتقال، سیستم‌های آرایه فازی مجتمعی طراحی نموده‌اند که با سوئیچ نمودن میان خطوط مختلف، شکل پرتو خروجی را شکل‌دهی می‌کنند، در این قبیل کارها از مجموعه سوئیچ-خط انتقال به‌عنوان فازگردان True Time Delay استفاده می‌گردد و نباید این طراحی‌ها را به‌عنوان سیستم‌های آرایه مدولاسیون زمانی به‌حساب آورد. در جدول ۳، خلاصه‌ای از نتایج [۱۹] و این کار ذکر شده است. در [۱۹] نیز هم چون این مقاله، از سوئیچ‌های SPDT استفاده شده است که یکی از مسیرهای خروجی آن به بار تطبیق ۵۰ اهمی و دیگری به آنتن می‌رسد. جدول ۳ نشان می‌دهد که باوجود آن‌که فرکانس این کار بسیار بیشتر از [۱۵] است و فناوری قدیمی‌تری در این مقاله مورد استفاده قرار گرفته است، تلفات سوئیچ کم‌تر شده است. شاید در نگاه اول به‌نظر برسد که ایزولاسیون آرایه طراحی شده در این طراحی کم‌تر است ولی باید توجه نمود که ایزولاسیون کل آرایه برای حالت‌های کلیدزنی مختلف، بیشتر از ۲۲/۵ دسی‌بل است و هدف اصلی طراحی، کاهش تلفات بوده است. حداکثر مقدار تلفات خروجی در تمامی حالات کم‌تر از ۱۰/۵ دسی‌بل است که ۶ دسی‌بل از آن مربوط به تقسیم توان ورودی به چهار قسمت مساوی است که با کسر آن می‌توان گفت که تلفات تمامی حالات کلیدزنی کم‌تر از ۴/۵ دسی‌بل است. همچنین ایزولاسیون در بدترین حالت مقداری بیش از ۲۱/۳ دسی‌بل دارد.

جدول ۳: مقایسه با کارهای انجام شده در طراحی سیستم‌های آرایه

مدولاسیون زمانی

فناوری	تلفات سوئیچ (dB)	ایزولاسیون سوئیچ (dB)	تلفات بازگشتی ورودی (dB)	فرکانس کاری (GHz)	مرجع
CMOS 130 nm	< ۴	> ۴۰	< -۱۰	DC-۶	[۱۹]
CMOS 180 nm	< ۲/۲۵	> ۱۷	< -۱۵	۲۶/۵-۳۷/۶	این کار

۵- نتیجه‌گیری

برای طراحی یک آرایه مدولاسیون زمانی مجتمع ۴ عنصری، ابتدا یک سوئیچ SPDT طراحی شد که تلفات آن در باند Ka، کم‌تر از ۲/۲۵ دسی‌بل و ایزولاسیون آن بیشتر از ۱۷ دسی‌بل است. همچنین این سوئیچ کل باند فرکانسی Ka را با تلفات بازگشتی کم‌تر از ۱۷- دسی‌بل پوشش می‌دهد. سوئیچ طراحی شده کم‌ترین تلفات را در میان سوئیچ‌های طراحی شده در فناوری CMOS ۱۸۰ نانومتر (تا به امروز) دارد. برای طراحی این سوئیچ، اثر پدها و باندوایر در خروجی سوئیچ لحاظ شده است. ابعاد سوئیچ طراحی شده کم‌تر از ۰/۰۸۶ میلی‌مترمربع

- [16] M. C. Yeh, Z. M. Tsai and H. Wang, "A miniature DC-to-50 GHz CMOS SPDT distributed switch", Gallium Arsenide and Other Semiconductor Application Symposium, Oct. 2005
- [17] D.M. Pozar, *Microwave Engineering*, Third Edition, John Wiley & Sons, 2005
- [18] J. G. Kim and G.M. Rebeiz, "Miniature Four-way and two-way 24 GHz Wilkinson power dividers in 0.13um CMOS", IEEE Microwave and Wireless Components Letters, vol. 17, no. 9, Sep. 2007
- [19] Z. Safarian, T. S. Chu and H. Hashemi, "A 0.13 μ m CMOS 4-channel UWB timed array transmitter chipset with sub-200ps switches and all-digital timing circuitry", IEEE Radio Frequency Integrated Circuits Symposium, pp. 601-604, 2008
- [13] C. Y. Ou, C. Y. Hsu, H. R. Lin and H. R. Chuang, "a high-isolation high-linearity 24-GHz CMOS T/R switch in the 0.18um cmos process", Microwave Integrated Circuits Conference, 2009. EuMIC 2009. European, Sep. 2009
- [14] S. Mou, M. Kaixue, Y.K. Seng, B.K. Thangarasu and N. Mahalingam, "A DC to 30GHz ultra-wideband cmos T/R switch", Semiconductor Conference Dresden (SCD), Sep. 2011
- [15] F. H. Huang and Y. M. Hsin, "Broadband complementary metal-oxide semiconductor single-pole-double-throw switch with improved power handling capability using dual-gate metal-oxide semiconductor field-effect transistors", IET Microwaves, Antennas & Propagation, vol. 9, pp. 502-507, Apr. 2015