

ارائه یک الگوریتم کلیدزنی برای جبران ساز ولتاژ مبتنی بر مبدل AC-AC بدون نیاز به مدار اسنابر

محمد فرهادی کنگرلو^۱، استادیار؛ سجاد گلوانی^۲، استادیار

۱- دانشکده مهندسی برق و کامپیوتر - دانشگاه ارومیه - ارومیه - ایران - m.farhadi@urmia.ac.ir

۲- دانشکده مهندسی برق و کامپیوتر - دانشگاه ارومیه - ارومیه - ایران - s.galvani@urmia.ac.ir

چکیده: جبران ساز سری ولتاژ برای جبران کمبود ولتاژ در سطوح ولتاژ پایین در سیستم‌های توزیع استفاده می‌شود. این جبران‌سازها در حقیقت مبدل‌های سری با شبکه هستند که در صورت کاهش بیش از حد قابل قبول ولتاژ، وارد مدار شده و ولتاژ ازدست‌رفته را جبران می‌کنند. در این مقاله، یک الگوریتم برای کلیدزنی جبران‌ساز سری ولتاژ مبتنی بر مبدل AC-AC ارائه می‌شود. در مبدل‌های AC-AC به دلیل استفاده از کلیدهای دوطرفه و لزوم رعایت زمان مرده کلیدزنی، وجود مدارهای اسنابر موازی با کلیدها برای فراهم کردن مسیری برای عبور جریان در زمان مرده کلیدزنی (به‌منظور کاهش dv/dt روی کلیدها) ضروری است. مدارهای اسنابر علاوه بر اضافه کردن اجزای مدار دارای تلفات نیز هستند. با استفاده از الگوریتم کلیدزنی پیشنهادی، مدارهای اسنابر قابل حذف هستند چرا که وجود مسیر جریان در هر لحظه زمان و از جمله در حین کلیدزنی تضمین می‌شود. برای اثبات کارایی الگوریتم پیشنهادی نتایج شبیه‌سازی نرم‌افزاری ارائه می‌شود.

واژه‌های کلیدی: جبران‌ساز ولتاژ، کمبود ولتاژ، مدار اسنابر، مبدل AC-AC، الگوریتم کلیدزنی.

A Switching Algorithm for AC-AC Converter Based Voltage Compensator without Using Snubber Circuit

M. Farhadi-Kangarlu¹, Assistant Professor; S. Galvani², Assistant Professor

1- Faculty of Electrical and Computer Engineering, Urmia University, Urmia, Iran, Email: m.farhadi@urmia.ac.ir

2- Faculty of Electrical and Computer Engineering, Urmia University, Urmia, Iran, Email: s.galvani@urmia.ac.ir

Abstract: Series voltage compensation is used in low-voltage distribution system to compensate for voltage variations. The compensators are indeed series-connected converters which inject the missing voltage in series to the grid in case of voltage sag. In this paper, a switching algorithm for AC-AC converter based voltage compensator is proposed. As the bidirectional AC power electronic switches are used in the AC-AC converters, considering the switching dead-time, snubber circuits should be used in parallel with the switches to provide a current path during the dead-time and hence to reduce the dv/dt stresses on the switches. The snubber circuits increase the circuit elements and have their own power losses. Using the proposed switching algorithm, the snubber circuits could be eliminated since a current path is always (including the dead-time) guaranteed. In order to evaluate the proposed algorithm, the simulation studies and discussions are presented.

Keywords: voltage compensator, voltage sag, snubber circuit, AC-AC converter, switching algorithm.

تاریخ ارسال مقاله: ۱۳۹۷/۱۰/۲۰

تاریخ اصلاح مقاله: ۱۳۹۸/۰۲/۲۹، ۱۳۹۸/۰۵/۰۴ و ۱۳۹۸/۰۷/۰۹

تاریخ پذیرش مقاله: ۱۳۹۸/۰۸/۱۷

نام نویسنده مسئول: محمد فرهادی کنگرلو

نشانی نویسنده مسئول: ایران - ارومیه - بلوار دانشگاه - دانشگاه ارومیه - دانشکده مهندسی برق و کامپیوتر.

۱- مقدمه

کمبود ولتاژ که به صورت کاهش مقدار مؤثر ولتاژ از ۰/۱ تا ۰/۹ مقدار نامی در فرکانس قدرت تعریف می شود، رایج ترین پدیده کیفیت توان در سیستم های قدرت است که دلیل عمده آن اتصال کوتاه در سیستم قدرت است. برای مبارزه با کمبود ولتاژ، راهکارهای مختلفی ارائه شده است که یکی از آن ها، کاهش وقوع کمبود ولتاژ با تقویت و بهره برداری بهتر سیستم قدرت است. این راهکار بسیار مؤثر و در عین حال پرهزینه بوده و معمولاً تنها با هدف کاهش تعداد کمبود ولتاژ انجام نمی گیرد. در مقابل، رایج ترین روش برای کاهش آثار کمبود ولتاژ روی بارهای حساس به تغییرات ولتاژ استفاده از جبران کننده ها است. جبران سازه های ولتاژ که تحت عناوین مختلفی مانند جبران ساز کمبود ولتاژ، بازیاب دینامیکی ولتاژ (DVR)، جبران ساز استاتیک سری و عناوین مشابه شناخته می شوند، در حقیقت مبدل های سری با شبکه هستند که در مواقع لازم ولتاژ مورد نیاز برای جبران سازی ولتاژ در طرف بار حساس را تولید کرده و به صورت سری به شبکه تزریق می کنند تا ولتاژ آن بازیابی شود [۱-۲].

از آنجایی که از مبدل های الکترونیک قدرت در ساختار جبران سازه های ولتاژ استفاده می شود، به تبع تنوع در ساختار مبدل ها، جبران سازه های ولتاژ نیز از تنوع زیادی برخوردار هستند. یک دسته از ساختارهای جبران سازه ها از مبدل های AC-AC استفاده می کنند. استفاده از مبدل AC-AC باعث حذف لینک DC از ساختار مبدل شده و بنابراین می تواند به کاهش حجم و هزینه مدار منجر شود. از طرف دیگر، به دلیل عدم استفاده از ذخیره کننده انرژی، جبران سازه های مبتنی بر مبدل های AC-AC محدودیتی در زمان جبران سازی ندارند. از طرف دیگر، در این جبران سازه ها انرژی لازم برای جبران ولتاژ از خود شبکه گرفته شده و منجر به افزایش جریان کشیده شده از شبکه می شود که این خود دوباره افت ولتاژ ایجاد کرده و به کاهش بیش تر ولتاژ شبکه منجر می شود. بنابراین، استفاده از جبران سازه های مبتنی بر مبدل AC-AC در شبکه های ضعیف می تواند چالش برانگیز باشد [۳].

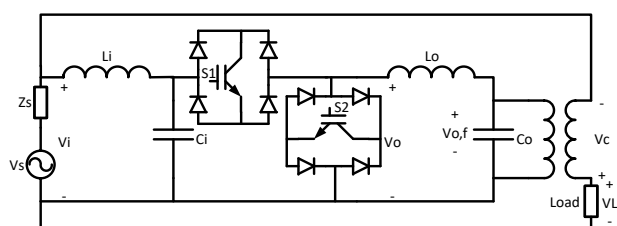
استفاده از مبدل های AC-AC به عنوان جبران ساز ولتاژ در مراجع مختلفی مورد توجه قرار گرفته است. در مراجع [۴-۶] جبران ساز سری ولتاژ مبتنی بر مبدل AC-AC تک فاز ارائه شده است. در این ساختارها، از مبدل های AC-AC تک فاز که دارای دو کلید الکترونیک قدرت دوطرفه است، برای جبران کمبود ولتاژ استفاده شده است. واضح است که مبدل AC-AC با دو کلید الکترونیک قدرت فقط می تواند ولتاژ با پلاریته یکسان با ولتاژ شبکه ایجاد کند، و بنابراین قادر به جبران انواع دیگر تغییرات ولتاژ مانند برآمدگی یا افزایش ولتاژ نیستند. برای حل این مشکل، در مراجع [۷-۸] از مبدل AC-AC تمام پل در ساختار جبران ساز استفاده شده است تا بتوان علاوه بر کمبود ولتاژ، تغییرات دیگر ولتاژ را نیز جبران کرد. هم چنین در مراجع [۹-۱۰] از ترانسفورماتور سر-وسط برای ایجاد ولتاژ هم فاز و یا فاز مخالف با ولتاژ ورودی استفاده شده و ضمن کاهش تعداد کلیدهای الکترونیک قدرت،

ساختارهای ارائه شده در مراجع مذکور قادر به جبران انواع اغتشاش های ولتاژ نیز هستند. کاربرد مبدل ماتریسی در ساختار جبران ساز ولتاژ سه فاز در مراجع [۱۱-۱۳] ارائه شده است. در مراجع [۱۱-۱۲] از روش کم ترین خطا برای کنترل مبدل ماتریسی در ساختار جبران ساز استفاده شده است و بنابراین، بازه جبران سازی محدود می باشد. در مرجع [۱۳] از روش مدولاسیون پهنای پالس (PWM) برای کلیدزنی مبدل استفاده شده است و بنابراین بازه جبران سازی وسیع تر شده است ولی در آن بحثی از زمان مرده کلیدزنی و همچنین مدارهای اسنابر به میان نیامده است. در مراجع [۱۴-۱۵] جبران سازه های کمبود ولتاژ انرژی صفر ارائه شده است که در آن ها از ذخیره ساز انرژی و یا لینک DC با خازن های الکترولیتی با ظرفیت بالا استفاده نشده است، ولی، در ساختار آن ها از یکسوساز استفاده شده و بنابراین نیاز به کلیدهای دوطرفه و اسنابر ندارند. البته این ساختارها در هنگام عملکرد طوری به شبکه وصل می شوند که تمام توان بار از آن ها عبور می کند. این در حالی است که در جبران سازه های ولتاژ معمولاً کسری از توان بار از جبران ساز عبور می کند. یک مبدل AC-AC شبه منبع امپدانس در مرجع [۱۶] ارائه شده است و عملکرد آن برای جبران کمبود ولتاژ مورد بررسی قرار گرفته است. این مبدل نیز به صورت تمام توان کار کرده و کل توان بار از آن می گذرد. البته به صورت مشابه مبدل های AC-AC به صورت تمام-توان برای جبران کمبود ولتاژ در مراجع مختلف دیگری نیز بررسی شده است [۱۷-۲۰]. با توجه به این که در سیستم سه فاز معمولاً خطا و به تبع آن کمبود ولتاژ از نوع تک فاز است، فاز معیوب قادر نخواهد بود توان بیشتری برای جبران کمبود ولتاژ تحویل دهد. بنابراین، بهتر است انرژی مورد نیاز برای جبران کمبود ولتاژ در یک فاز، از فازهای سالم دیگر گرفته شود. البته واضح است که این بحث در جبران سازه های مبتنی بر مبدل های AC-AC بیش تر مورد توجه است چرا که در سیستم های مبتنی بر مبدل های دارای لینک DC هر سه فاز در تأمین انرژی لینک DC و در نتیجه انرژی مورد نیاز برای جبران سازی شریک هستند. برای این که انرژی مورد نیاز برای جبران کمبود ولتاژ، از فازهای سالم گرفته شود، در مراجع [۲۱-۲۳] ساختارهای میان-فازی ارائه شده است که مبدل هر فاز از دو فاز سالم دیگر تغذیه می شود.

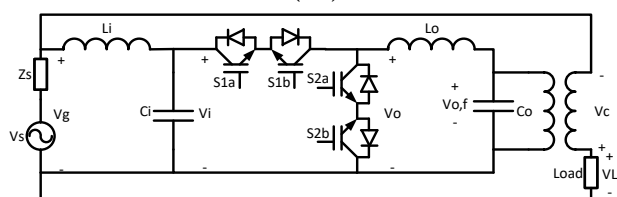
تعدادی از کارهای انجام شده در زمینه جبران کمبود ولتاژ با استفاده از مبدل های AC-AC بررسی شد. البته تعداد مقالات منتشر شده بسیار بیش تر است. با بررسی مقالات منتشر شده در این زمینه، مشخص شد که هیچ کدام از مراجع موضوع زمان مرده کلیدزنی و استفاده از مدارهای اسنابر را مورد توجه قرار نداده است. بنابراین، در این مقاله، یک الگوریتم جدید و در عین حال ساده برای کلیدزنی مبدل AC-AC مورد استفاده در ساختار جبران ساز ولتاژ ارائه شده است که با استفاده از آن نیازی به زمان مرده کلیدزنی وجود نداشته و حتی کلیدها با هم هم پوشانی نیز دارند تا همواره از وجود مسیری برای عبور جریان اطمینان حاصل شده و نیازی به استفاده از مدارهای اسنابر نباشد. بنابراین، نوآوری این مقاله را می توان ارائه یک الگوریتم کلیدزنی

الزاماً مسیر جریان از طرف آن کلید قطع می‌شود و کنترل دیگری نمی‌توان روی آن اعمال کرد. بنابراین، در این ساختار، باتوجه به لزوم رعایت زمان مرده کلیدزنی، استفاده از مدار اسنابر ضروری است. در شکل ۱-ب، برای تشکیل کلید دوطرفه از دو کلید الکترونیک قدرت به صورت امیتر مشترک استفاده شده است. دلیل اصلی اتصال امیتر مشترک این است که بتوان از یک مدار راه‌انداز برای کلیدزنی کلید دوطرفه استفاده کرد. بنابراین، در این ساختار نیز هر دو کلید موجود در یک کلید دوطرفه باهم روشن و خاموش می‌شود و بنابراین، استفاده از مدار اسنابر ضروری است. در جبران ساز نشان داده شده در شکل ۱-ج، از اتصال کلکتور مشترک کلیدهای الکترونیک قدرت برای تشکیل کلید دوطرفه استفاده شده است. در این ساختار، هرکدام از کلیدهای موجود در هر کلید دوطرفه می‌تواند به صورت مستقل کنترل شده و بنابراین می‌توان از این امکان در راستای هدف مشخصی استفاده کرد که در این مقاله، از این قابلیت برای حذف مدار اسنابر استفاده شده است.

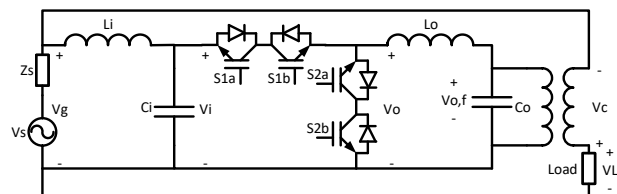
باید توجه کرد که در این جبران سازها باتوجه به این که نوعاً سطح ولتاژ و توان پایین است، بهتر است برای کاهش تلفات و امکان افزایش فرکانس کلیدزنی از MOSFET به جای IGBT استفاده کرد. ولی چون در این مقاله بحث الگوریتم کلیدزنی است، بنابراین نوع کلید مورد استفاده تأثیری در بحث ندارد.



(الف)



(ب)



(ج)

شکل ۱: سه ساختار مختلف جبران ساز سری ولتاژ مبتنی بر مبدل AC-AC باتوجه به نوع کلید دوطرفه استفاده شده، (الف) با کلید دوطرفه نوع پل، (ب) با کلید دوطرفه امیتر مشترک، (ج) با کلید دوطرفه کلکتور مشترک

جدید به منظور حذف مدارهای اسنابر مورد استفاده در مبدل های AC-AC بیان کرد. با این کار، ضمن حذف چند جزء غیرفعال^۲ مدار، تلفات مربوط به مدارهای اسنابر نیز حذف شده و تأثیر منفی زمان مرده روی شکل موج خروجی نیز حذف شده است. البته الگوریتم کلیدزنی پیشنهادی دارای محدودیت در فرکانس کلیدزنی است که در مقاله مورد بررسی قرار گرفته است. همچنین، این الگوریتم قابل اعمال به مبدل های با کلیدهای دوطرفه با آرایش امیتر مشترک نیست. در بخش ۲ چند ساختار جبران ساز تک فاز مبتنی بر مبدل AC-AC بررسی شده است. در بخش ۳، توضیح الگوریتم کلیدزنی پیشنهادی و همچنین نحوه پیاده سازی و محدودیت آن بررسی شده است. سیستم کنترلی پیشنهادی برای جبران ساز در بخش ۴ ارائه شده است. نتایج شبیه سازی و نتیجه گیری مقاله نیز به ترتیب در بخش های ۵ و ۶ ارائه شده است.

۲- جبران ساز ولتاژ مبتنی بر مبدل AC-AC

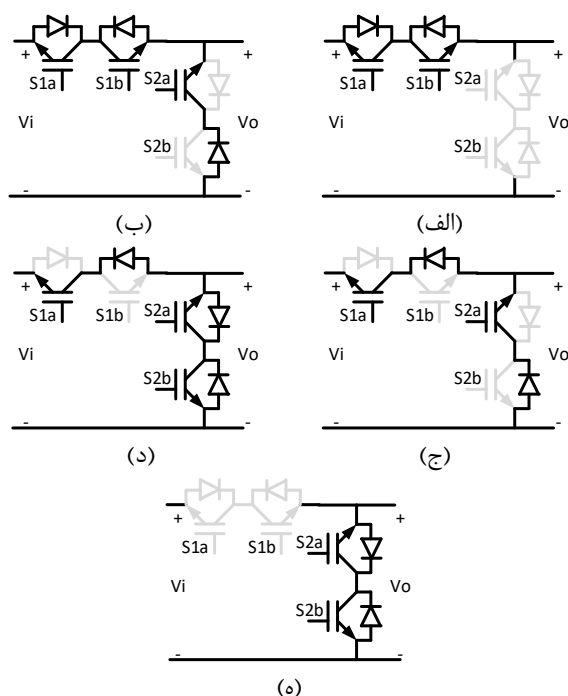
جبران ساز سری ولتاژ دارای ساختارهای متنوعی است. این تنوع بیشتر به دلیل استفاده از ساختارهای مختلف مبدل در مدار جبران ساز می‌باشد. یکی از انواع جبران ساز سری ولتاژ باتوجه به نوع مبدل استفاده شده در ساختار آن، جبران ساز سری مبتنی بر مبدل های AC-AC است. باتوجه به تنوع در ساختار مبدل های AC-AC، ساختارهای مختلفی برای جبران ساز ولتاژ مبتنی بر مبدل های AC-AC ارائه شده است که از جنبه های مختلف می‌توان تقسیم بندی کرد؛ از جمله این که از نظر تعداد فاز می‌توان ساختارهای تک فاز و سه فاز را در نظر گرفت. همچنین، از نظر قابلیت جبران سازی نیز جبران ساز می‌تواند ساختارهای مختلفی داشته باشد؛ برای مثال، اگر هدف از استفاده از جبران ساز فقط جبران کمبود ولتاژ (که آمار اتفاق افتادن آن خیلی بیشتر از سایر پدیده ها است) باشد، ساختار ساده تری می‌توان در نظر گرفت. باتوجه به این که در این مقاله، هدف ارائه الگوریتم کلیدزنی برای جبران ساز است، بنابراین، ساختار تک فاز با قابلیت جبران کمبود ولتاژ برای مطالعه انتخاب شده است.

یکی از مشکلات مبدل های AC-AC این است که با قطع هر کلید و تا وصل کلید بعدی (که در عمل باید یک مدت زمان مشخصی باشد) مسیر جریان به طور کامل قطع شده و هیچ مسیر هرزگردی (مشابه آنچه در اینورترهای منبع ولتاژ وجود دارد) برای جریان وجود ندارد. بنابراین، اگر بار مبدل القایی باشد، یک مقدار بزرگ برای di/dt به وجود می‌آید که این در حقیقت یک اضافه ولتاژ بسیار بزرگ روی کلید ایجاد خواهد کرد. برای حفاظت و محدود کردن اضافه ولتاژ روی کلیدها در لحظات کلیدزنی از مدارهای اسنابر (در ساده ترین حالت یک مدار RC موازی با کلید) استفاده می‌شود.

سه طرح رایج برای جبران ساز تک فاز باتوجه به نوع کلید دوطرفه استفاده شده در ساختار مبدل AC-AC در شکل ۱ نشان داده شده است. در شکل ۱-الف از کلیدهای دوطرفه نوع پل استفاده شده است که در آن یک IGBT یا MOSFET و یک پل دیودی تشکیل یک کلید دوطرفه را می‌دهند. در این ساختار، با خاموش کردن کلید،

۳- الگوریتم کلیدزنی پیشنهادی

۳-۱- توضیح الگوریتم کلیدزنی



شکل ۲: مراحل انتقال جریان از مجموعه کلید S_1 به مجموعه کلید S_2 برای حالت $v_i > 0$

در مرحله بعد کلید S_{1a} خاموش می شود (شکل ۳-ج) ولی مسیر جریان خروجی هم در جهت مثبت و هم در جهت منفی همچنان وجود دارد. سپس S_{2a} نیز روشن می شود (شکل ۳-د)، ولی، باتوجه به این که D_{1a} در بایاس معکوس قرار می گیرد، اتصال کوتاه در مدار رخ نمی دهد. درنهایت، کلید S_{1b} نیز خاموش می شود و بدین ترتیب مسیر جریان از مجموعه کلید S_1 به مجموعه کلید S_2 انتقال می یابد. شایان ذکر است که همه مراحل با رعایت یک مقدار مشخص تأخیر زمانی صورت می گیرد تا از عملکرد ایمن مدار اطمینان حاصل شود. برای انتقال جریان از S_2 به S_1 نیز الگوریتم مشابهی را می توان استفاده کرد.

باتوجه به مطالب بالا، برای پیاده سازی روش پیشنهادی باید ولتاژ ورودی مبدل به صورت لحظه ای اندازه گیری شده و در الگوریتم پیشنهادی استفاده شود. ولی باتوجه به این که در کاربرد مطرح شده (جبران سازی ولتاژ) اساساً (حتی بدون استفاده از الگوریتم پیشنهادی) نیاز به اندازه گیری ولتاژ شبکه (ولتاژ ورودی مبدل) وجود دارد، بنابراین، استفاده از روش پیشنهادی در کاربرد مذکور تعداد اندازه گیری ولتاژ را افزایش نمی دهد.

۳-۲- نحوه پیاده سازی الگوریتم پیشنهادی

مراحل انجام الگوریتم کلیدزنی پیشنهادی در حالت های مختلف در جدول ۱ نشان داده شده است. همان طور که این جدول نشان می دهد، دو حالت ممکن ولتاژ ورودی (مثبت و منفی) در نظر گرفته شده است. همچنین در هر دو این حالت، دو حالت انتقال جریان از S_1 به S_2 یا انتقال جریان از S_2 به S_1 نیز مورد تحلیل قرار گرفته است. در هر حالت، گام های کلیدزنی برای انتقال جریان آورده شده و در هر گام کلیدهای روشن و نیز مسیر جریان مشخص شده است.

با در نظر گرفتن شکل ۱-ج و باتوجه به این که ولتاژ ورودی مبدل (v_i) ولتاژ سینوسی با نیم سیکل مثبت و منفی است، می توان الگوریتمی برای کلیدزنی باتوجه به علامت ولتاژ ورودی ارائه داد؛ طوری که با استفاده از این الگوریتم مسیر جریان در حین کلیدزنی به هیچ وجه قطع نشود. فرض کنید ولتاژ ورودی مبدل در نیم سیکل مثبت است و مجموعه کلید S_1 روشن است (S_{1a} و S_{1b} هر دو روشن هستند (شکل ۲-الف)). اگر جریان خروجی مبدل مثبت باشد، مسیر جریان از طریق ترانزیستور کلید S_{1b} و دیود کلید S_{1a} خواهد بود و اگر جریان خروجی مبدل منفی باشد، مسیر جریان از طریق ترانزیستور کلید S_{1a} و دیود کلید S_{2a} خواهد بود. فرض کنید هدف خاموش کردن مجموعه کلید S_1 و روشن کردن مجموعه کلید S_2 به صورتی است که مسیر جریان قطع نشود (ولتاژ ورودی همچنان مثبت است). باتوجه به این که ولتاژ ورودی مبدل مثبت است، اگر درحالی که کلیدهای S_{1a} و S_{1b} روشن هستند، S_{2a} نیز روشن شود هیچ خللی در کار مدار ایجاد نشده و اتصال کوتاهی وجود نخواهد داشت (چرا که دیود کلید S_{2b} در بایاس معکوس قرار دارد). بنابراین برای انتقال جریان از مجموعه کلید S_1 به مجموعه کلید S_2 ابتدا درحالی که مجموعه کلید S_1 روشن است، کلید S_{2a} نیز روشن می شود (شکل ۲-ب). به دنبال روشن کردن کلید S_{2a} و با رعایت یک مقدار مشخص تأخیر زمانی (برابر با حداکثر زمان لازم برای کلیدزنی) کلید S_{1b} خاموش می شود (شکل ۲-ج). دلیل خاموش کردن کلید S_{1b} (و نه کلید S_{1a}) در این مرحله این است که مسیر جایگزینی برای جریان مثبت خروجی توسط ترانزیستور کلید S_{2a} و دیود کلید S_{2b} فراهم شده است و بنابراین کلید S_{1b} را می توان خاموش کرد. پس از خاموش کردن کلید S_{1b} و با رعایت تأخیر زمانی مذکور، کلید S_{2b} روشن می شود (شکل ۲-د). روشن شدن کلید S_{2b} باز خللی در کار مدار ایجاد نکرده و موجب اتصال کوتاه نمی شود چرا که ولتاژ ورودی مبدل مثبت بوده و دیود کلید S_{1b} در بایاس معکوس قرار دارد. درنهایت پس از روشن کردن کلید S_{2b} و با رعایت تأخیر زمانی، کلید S_{1a} نیز خاموش شده و مسیر جریان از مجموع کلید S_1 به مجموعه کلید S_2 به طور کامل انتقال می یابد (شکل ۲-ه). الگوریتم مشابهی برای انتقال جریان از مجموعه کلید S_2 به S_1 به کار می رود.

برای حالتی که ولتاژ ورودی مبدل منفی است ($v_i < 0$)، برای انتقال جریان از مجموعه کلید S_1 به مجموعه کلید S_2 مراحل نشان داده شده در شکل ۳ انجام می شود. ابتدا کلیدهای S_{1a} و S_{1b} روشن هستند (شکل ۳-الف) و جریان را در هر دو طرف هدایت می کنند و نیز ولتاژ خروجی برابر با ولتاژ ورودی است. درحالی که کلیدهای مذکور روشن هستند، کلید S_{2b} نیز روشن می شود (شکل ۳-ب) و باتوجه به این که D_{2a} در بایاس معکوس قرار می گیرد (ولتاژ ورودی مبدل منفی است)، اتصال کوتاه ایجاد نمی شود.

مقدار قابل توجهی بیش تر از کل تأخیر زمانی ناشی از الگوریتم پیشنهادی در یک دوره کلیدزنی ($8t_d$) باشد. بنابراین، $T_{on,S1,min}$ باید حداقل چند برابر مدت زمان $8t_d$ باشد:

$$T_{on,S1,min} > m \times 8t_d \quad (۳)$$

با استفاده از روابط (۱)-(۳)، رابطه زیر را می توان نوشت:

$$T_s > \frac{m \times 8t_d}{K_{min}} \quad (۴)$$

باتوجه به رابطه فوق و باتوجه به این که $T_s = 1/f_s$ است، رابطه زیر را می توان نوشت:

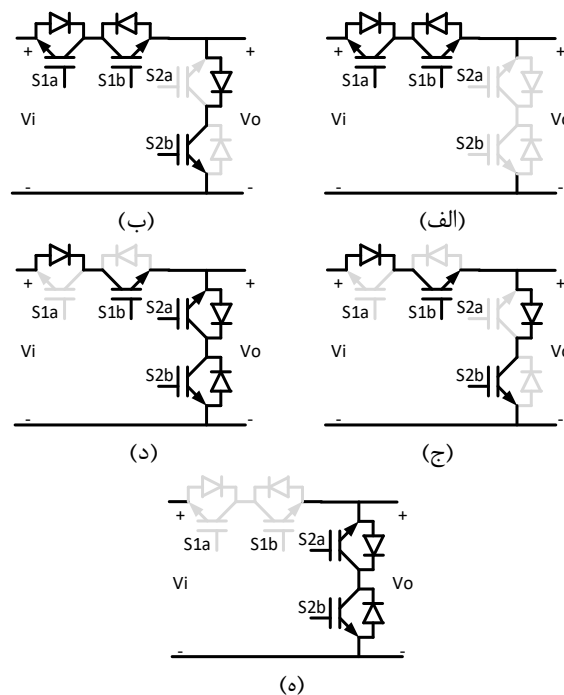
$$f_s < \frac{K_{min}}{m \times 8t_d} \quad (۵)$$

به عنوان مقادیر نوعی، می توان $t_d = 1\mu\text{sec}$ ، $K_{min} = 0.1$ و $m = 2$ در نظر گرفت. با این اعداد با استفاده از رابطه (۵) محدودیت زیر برای فرکانس کلیدزنی به دست می آید:

$$f_s < \frac{0.1}{2 \times 8 \times 10^{-6}} = 6250\text{Hz} \quad (۶)$$

۴- سیستم کنترلی جبران کننده

بلوک دیاگرام کامل کنترلی جبران ساز در شکل ۴ نشان داده شده است. قسمت های مختلف بلوک دیاگرام کنترلی استفاده شده قبلاً در مراجع مختلف برای کاربردهای دیگر مانند اینورتر متصل به شبکه ارائه شده است. ولی تا جایی که نویسندگان اطلاع دارند این بلوک دیاگرام به این شکل برای کاربرد در جبران کننده ولتاژ ارائه نشده است. برای کنترل جبران سازی سری ولتاژ، باید اطلاعات دامنه و فاز ولتاژ شبکه استخراج شود. برای این کار از حلقه های قفل فاز^۲ (PLL) استفاده می شود. در این مقاله از PLL مبتنی بر انتگرال گیر مرتبه دوم تعمیم یافته^۴ (SOGI) استفاده شده است که در حقیقت یک فیلتر تطبیقی است [۲۶-۲۴]. این PLL مبتنی بر ایجاد سیگنال متعامد (QSG)^۵ با استفاده از SOGI است. همان طور که در شکل ۴ نشان داده شده است، واحد QSG دو خروجی دارد که یکی مؤلفه α و دیگری مؤلفه β نام گذاری شده است. مؤلفه α در حقیقت فیلتر شده سیگنال ورودی ورودی بوده و با آن هم فاز است. مؤلفه β نیز سیگنالی عمود بر سیگنال ورودی است. در نتیجه با داشتن دو مؤلفه عمود برهم می توان با استفاده از تبدیل پارک، مؤلفه های dq را به دست آورد. خروجی تبدیل پارک، مؤلفه های dq ولتاژ مورد نظر (ولتاژ شبکه یا بار) است. واحد PLL بر روی مؤلفه d ولتاژ شبکه عمل کرده (سعی در صفر کردن آن را دارد) و بنابراین بردار ولتاژ شبکه روی محور q می افتد و اگر PLL موفق عمل کند، مؤلفه d ولتاژ شبکه صفر خواهد شد. مؤلفه q هم همان دامنه ولتاژ شبکه است که از آن می توان با استفاده از یک مقایسه کننده برای تشخیص کمبود ولتاژ استفاده کرده و جبران ساز را فعال کرد.



شکل ۳: مراحل انتقال جریان از مجموعه کلید S_1 به مجموعه کلید S_2 برای حالت $v_i < 0$

۳-۳- محدودیت الگوریتم پیشنهادی

باتوجه به لزوم رعایت تأخیر زمانی مشخص بین گام های کلیدزنی، انتقال کامل از یک کلید به کلید با تأخیر زمانی صورت می گیرد. اگر تأخیر زمانی انتقال از هر گام به گام بعدی t_d در نظر گرفته شود، باتوجه به این که انتقال کامل از یک کلید دوطرفه به کلید دوطرفه دیگر در چهار گام صورت می گیرد، بنابراین در هر کلیدزنی کل تأخیر زمانی برابر با $4t_d$ است. در نتیجه در هر دوره کلیدزنی که یک خاموش شدن و یک روشن شدن اتفاق می افتد، تأخیر زمانی برابر با $8t_d$ لازم است که این امر باعث محدودیت در فرکانس کلیدزنی می شود. بدیهی است که هر دوره کلیدزنی باید خیلی بیش تر از این مقدار تأخیر زمانی باشد، تا در ولتاژهای مختلف خروجی عملکرد مبدل مختل نشود. چرخه کاری کلید S_1 به کل دوره کلیدزنی به عنوان سیکل کاری (K) تعریف شود:

$$K = \frac{T_{on,S1}}{T_s} \quad (۱)$$

که در آن، $T_{on,S1}$ و T_s به ترتیب مدت زمان روشن بودن کلید S_1 به کل مدت زمان یک دوره کلیدزنی است.

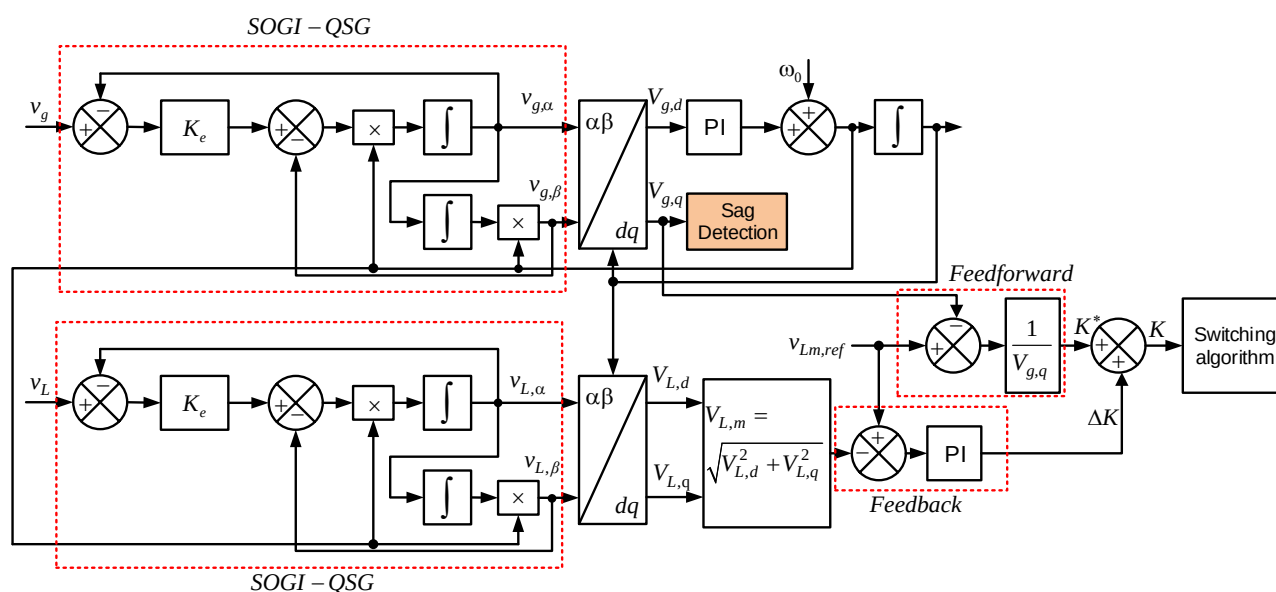
اگر کمترین مقدار K به صورت K_{min} در نظر گرفته شود، با استفاده از رابطه (۱) می توان نوشت:

$$T_{on,S1,min} = K_{min} T_s \quad (۲)$$

برای این که مبدل بتواند کمترین مقدار ولتاژ خروجی مورد انتظار (متناظر با K_{min}) به خوبی تولید کند، مدت زمان $T_{on,S1,min}$ باید به

جدول ۱: جدول کلیدزنی برای پیاده‌سازی الگوریتم پیشنهادی در حالت‌های مختلف

ولتاژ خروجی (v_o)		مسیر جریان		وضعیت کلیدها				گام تغییر	انتقال جریان	وضعیت ولتاژ ورودی (v_i)	
$i_o<0$	$i_o>0$	$i_o<0$	$i_o>0$	S_{2b}	S_{2a}	S_{1b}	S_{1a}				
v_i	v_i	T_{1a}, D_{1b}	D_{1a}, T_{1b}	•	•	۱	۱	•	از S_2 به S_1	$v_i>0$	
v_i	v_i	T_{1a}, D_{1b}	D_{1a}, T_{1b}	•	۱	۱	۱	۱			
v_i	•	T_{1a}, D_{1b}	T_{2a}, D_{2b}	•	۱	•	۱	۲			
•	•	D_{2a}, T_{2b}	T_{2a}, D_{2b}	۱	۱	•	۱	۳			
•	•	D_{2a}, T_{2b}	T_{2a}, D_{2b}	۱	۱	•	•	۴			
•	•	D_{2a}, T_{2b}	T_{2a}, D_{2b}	۱	۱	•	•	•	از S_1 به S_2		$v_i<0$
•	•	D_{2a}, T_{2b}	T_{2a}, D_{2b}	۱	۱	•	۱	۱			
v_i	•	T_{1a}, D_{1b}	T_{2a}, D_{2b}	•	۱	•	۱	۲			
v_i	v_i	T_{1a}, D_{1b}	D_{1a}, T_{1b}	•	۱	۱	۱	۳			
v_i	v_i	T_{1a}, D_{1b}	D_{1a}, T_{1b}	•	•	۱	۱	۴			
v_i	v_i	T_{1a}, D_{1b}	D_{1a}, T_{1b}	•	•	۱	۱	•	از S_2 به S_1	$v_i<0$	
v_i	v_i	T_{1a}, D_{1b}	D_{1a}, T_{1b}	۱	•	۱	۱	۱			
•	v_i	D_{2a}, T_{2b}	D_{1a}, T_{1b}	۱	•	۱	•	۲			
•	•	D_{2a}, T_{2b}	T_{2a}, D_{2b}	۱	۱	۱	•	۳			
•	•	D_{2a}, T_{2b}	T_{2a}, D_{2b}	۱	۱	•	•	۴			
•	•	D_{2a}, T_{2b}	T_{2a}, D_{2b}	۱	۱	•	•	•	از S_1 به S_2		$v_i<0$
•	•	D_{2a}, T_{2b}	T_{2a}, D_{2b}	۱	۱	۱	•	۱			
•	v_i	D_{2a}, T_{2b}	D_{1a}, T_{1b}	۱	•	۱	•	۲			
v_i	v_i	T_{1a}, D_{1b}	D_{1a}, T_{1b}	۱	•	۱	•	۳			
v_i	v_i	T_{1a}, D_{1b}	D_{1a}, T_{1b}	•	•	۱	۱	۴			



شکل ۴: بلوک دیاگرام کنترلی جریان‌کننده بر مبنای SOGI-PLL

کل بازه کلیدزنی، K به دست می آید. اکنون با داشتن سیکل کاری کلیدها و باتوجه به الگوریتم کلیدزنی پیشنهادی می توان کلیدزنی را انجام داد. همان طور که ذکر شد، در سیستم کنترلی مورد استفاده دو حلقه کنترلی که یکی پیش خور و دیگری پس خور است برای کنترل ولتاژ استفاده شده است. حلقه پیش خور باعث افزایش سرعت کنترل کننده شده و حلقه پس خور نیز خطای جزئی باقی مانده را جبران می کند به طوری که در حالت دائم خطای ولتاژ ناچیز است.

۵- نتایج شبیه سازی

در این بخش، نتایج شبیه سازی جبران ساز مبتنی بر مبدل AC-AC (شکل ۱-ج) ارائه می شود. در شبیه سازی از الگوریتم کلیدزنی پیشنهادی و سیستم کنترلی شکل ۴ استفاده شده است. پارامترهای مهم مورد استفاده در شبیه سازی در جدول ۲ داده شده است. بین فرمان کلیدها ۱ میکروثانیه زمان در نظر گرفته شده است که بیش تر از زمان معمول لازم برای روشن و خاموش شدن کلیدها در عمل می باشد. اگر کلیدهای استفاده شده دارای زمان تأخیر روشن و خاموش شدن بیش تری باشند، تأخیر بیش تری بین فرمان کلیدها داده می شود. بنابراین، اگر تأخیر بین فرمان کلیدها بیش تر از زمان لازم برای روشن و خاموش شدن کلیدها باشد، هم چنان نیازی به اسنابر وجود ندارد. البته باید توجه کرد که با افزایش تأخیر بین فرمان کلیدها، THD شکل موج های خروجی اندکی بیش تر می شود و بنابراین مدت زمان تأخیر را نباید بیش تر از مقدار مورد نیاز برای روشن و خاموش شدن کلیدها در نظر گرفت. از طرف دیگر، در کلیدهای الکترونیک قدرت موجود مدت زمان لازم برای روشن و خاموش شدن کلیدها به طور قابل ملاحظه ای کم تر از ۱ میکروثانیه است.

در شکل ۵، به ترتیب از بالا به پایین، ولتاژ شبکه، ولتاژ خروجی قبل از فیلتر مبدل AC-AC، ولتاژ تزریقی به شبکه، ولتاژ بار و جریان بار برای کمبود ولتاژ ۰/۴ پریونیت (ولتاژ باقی مانده ۰/۶ پریونیت است) نشان داده شده است. همان طور که این شکل نشان می دهد، کمبود ولتاژ شبکه در لحظه ۰/۴ ثانیه به اندازه ۰/۴ پریونیت اتفاق می افتد و تا لحظه ۰/۱۴ ثانیه ادامه می یابد.

جدول ۲: پارامترهای مورد استفاده در شبیه سازی

پارامتر	مقدار
مقدار مؤثر ولتاژ نامی	۲۲۰ ولت
فرکانس شبکه/فرکانس کلیدزنی	۵۰ هرتز/۵ کیلوهرتز
بار (مقاومت و اندوکتانس)	۲۰ اهم و ۴۰ میلی هانری
ترانسفورماتور	۱:۱
فیلتر ورودی	$L_i = 1mH, C_i = 22\mu F$
فیلتر خروجی	$L_o = 1mH, C_o = 22\mu F$

با صرف نظر از افت ولتاژ روی فیلتر ورودی و خروجی و هم چنین افت ولتاژ روی امپدانس ترانسفورماتور، که رابطه زیر بین سیکل کاری کلیدها و دامنه ولتاژ خروجی جبران ساز وجود دارد که در کنترل کننده مورد بحث از این رابطه استفاده شده است:

$$V_{C,m} = nKV_{g,m} \quad (۷)$$

که در آن، n نسبت تبدیل ترانسفورماتور (نسبت ولتاژ سمت شبکه به ولتاژ سمت مبدل)، $V_{C,m}$ دامنه ولتاژ خروجی جبران ساز و $V_{g,m}$ دامنه ولتاژ شبکه که برابر با $V_{g,q}$ نیز است.

با در نظر گرفتن شکل ۱، رابطه زیر را می توان نوشت:

$$V_{L,m} = V_{g,m} + V_{C,m} \quad (۸)$$

با در نظر گرفتن این که در حضور جبران ساز، دامنه ولتاژ بار باید همواره برابر با مقدار مرجع آن باشد ($V_{L,m} = V_{L,m,ref}$) و این که $V_{g,m} = V_{g,q}$ ، رابطه زیر را می توان با استفاده از رابطه (۸) نوشت:

$$V_{C,m} = V_{L,m,ref} - V_{g,q} \quad (۹)$$

با استفاده از روابط (۷) و (۹)، مقدار سیکل کاری کلیدها را می توان به صورت زیر به دست آورد:

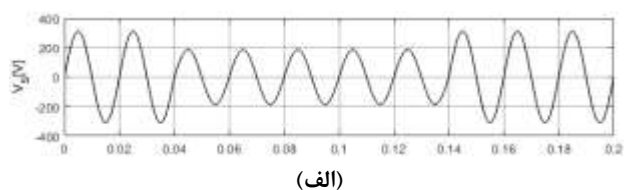
$$K = \frac{1}{n} \left(\frac{V_{L,m,ref} - V_{g,q}}{V_{g,q}} \right) \quad (۱۰)$$

اگر نسبت تبدیل ترانسفورماتور ۱ باشد، رابطه (۱۰) را می توان به صورت زیر بازنویسی کرد:

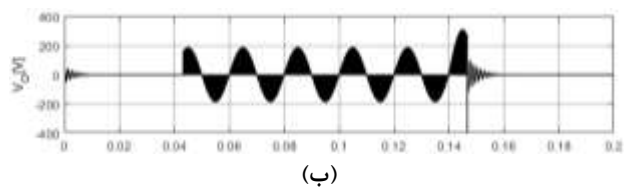
$$K = \frac{V_{L,m,ref} - V_{g,q}}{V_{g,q}} \quad (۱۱)$$

از رابطه فوق، در روش کنترلی پیشنهادی برای به دست آوردن سیکل کاری کلیدها استفاده شده است. به منظور افزایش سرعت کنترل کننده، کنترل ولتاژ بار با ترکیب دو حلقه پس خور و پیش خور انجام شده است. باتوجه به این که، دامنه ولتاژ خروجی جبران ساز باید برابر با دامنه کمبود ولتاژ یعنی برابر با اختلاف دامنه مرجع ولتاژ بار ($V_{Lm,ref}$) و مقدار اندازه گیری شده دامنه ولتاژ شبکه ($V_{g,q}$) باشد، بنابراین، اختلاف این دو مقدار می تواند به عنوان مقدار مرجع برای دامنه ولتاژ خروجی جبران سازی استفاده شود. در حالت کلی، جبران ساز سری ولتاژ، حتی در صورت نبود حلقه کنترلی پس خور نیز عملکرد جبران سازی را انجام خواهد داد ولی دیگر قادر نخواهد بود افت ولتاژ روی امپدانس فیلتر و ترانسفورماتور را لحاظ کند. بنابراین، برای این که جبران سازی دقیق صورت گیرد، یک حلقه کنترلی پس خور نیز با استفاده از کنترل کننده PI و با مقایسه مقدار مرجع و مقدار اندازه گیری شده دامنه ولتاژ بار (V_{Lm} و $V_{Lm,ref}$) در نظر گرفته شده است. خروجی کنترل کننده در حقیقت دامنه ولتاژ خروجی جبران ساز را که باید به صورت سری به شبکه تزریق شود، در اختیار می گذارد. باتوجه به ساختار مبدل استفاده شده، با تقسیم این مقدار به دامنه ولتاژ شبکه، سیکل کاری کلیدهای مبدل (زمان روشن بودن مجموعه کلید S_1 به

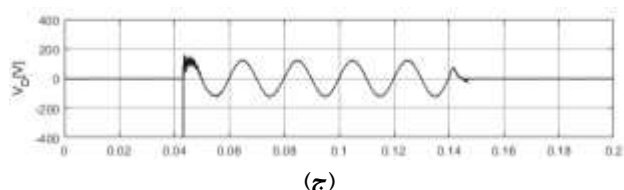
باید توجه شود که در شکل مذکور، انتقال از مجموعه کلید S_1 به مجموعه کلید S_2 نشان داده شده است. همان طور که این شکل نشان می دهد، بعد از یک مدت زمان کوتاه مشخص (در این جا یک میکروثانیه) پس از دریافت دستور کلیدزنی کلید S_{2a} روشن می شود. سپس بعد از همان مدت زمان، کلید S_{1b} خاموش شده و سپس با رعایت همان بازه زمانی، S_{2b} روشن شده و به دنبال آن کلید S_{1a} خاموش می شود. این کلیدزنی برای نیم سیکل مثبت ولتاژ ورودی مبدل ($V_i > 0$) و انتقال جریان از مجموعه کلید S_1 به مجموعه کلید S_2 بوده و با حالت متناظر در جدول ۱ هم خوانی دارد.



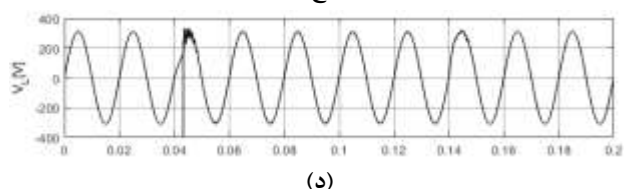
(الف)



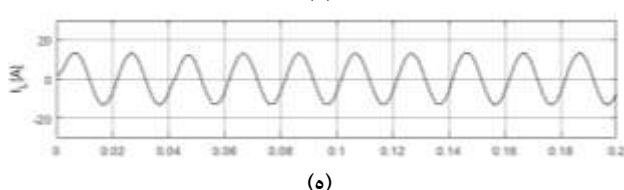
(ب)



(ج)

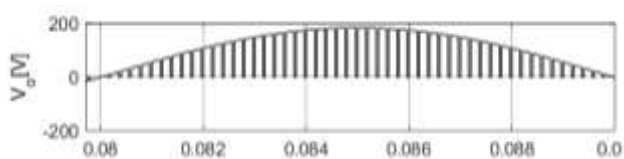


(د)



(ه)

شکل ۵: نتایج شبیه سازی برای کمبود ولتاژ ۰/۴ پریونیت و بار اهمی - سلفی، (الف) ولتاژ شبکه، (ب) ولتاژ خروجی مبدل قبل از فیلتر خروجی، (ج) ولتاژ خروجی جبران ساز (ولتاژ تزریقی به شبکه)، (د) ولتاژ بار، (ه) جریان بار



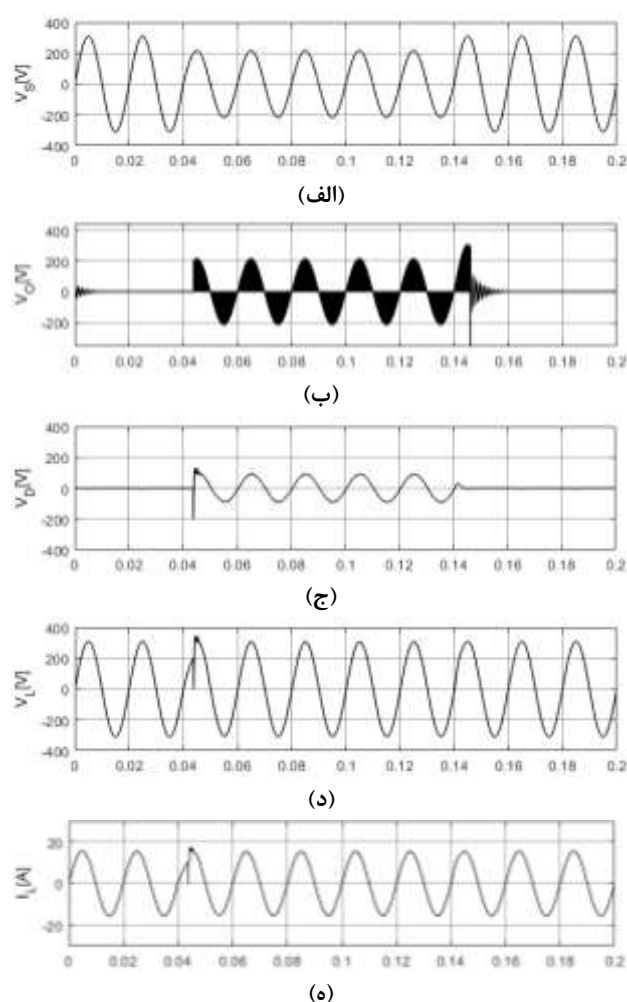
شکل ۶: بزرگ نمایی شده ولتاژ خروجی مبدل قبل از فیلتر خروجی

همان طور که نتایج نشان می دهند، بعد از اتفاق افتادن کمبود ولتاژ، مدت زمان کوتاهی طول می کشد تا کمبود ولتاژ تشخیص داده شده و جبران ساز شروع به تولید ولتاژ کند. در این مدت، ولتاژ خروجی جبران ساز صفر بوده و ولتاژ بار با ولتاژ شبکه برابر است. بعد از تشخیص وقوع و مقدار کمبود ولتاژ، جبران ساز ولتاژ لازم را تولید کرده و به شبکه تزریق می کند تا دامنه ولتاژ بار بازیابی شود. در نتیجه، دامنه ولتاژ بار تثبیت می شود. در هنگام اتمام کمبود ولتاژ نیز، مدت زمان کمی طول می کشد تا واحد تشخیص کمبود ولتاژ، اتمام کمبود ولتاژ را تأیید کند. در این مدت، جبران ساز، هم چنان ولتاژ تولید می کند ولی مقدار آن ناچیز بوده و تأثیر قابل توجهی روی ولتاژ بار ندارد. جریان بار نیز شکل موج سینوسی داشته و دارای تغییرات اندکی در ابتدا و انتهای کمبود ولتاژ است. باتوجه به اهمی-سلفی بودن بار، جریان آن نسبت به ولتاژ آن پس فاز است. باتوجه به شکل ۵ کمی بعد از زمان ۰/۰۴ ثانیه (زمان شروع کمبود ولتاژ) یک پیک بزرگ ولتاژ در ولتاژ خروجی جبران کننده (V_D) وجود دارد که چون این ولتاژ با ولتاژ ورودی جمع شده و مستقیماً روی خروجی می افتد پس این پیک ولتاژ در ولتاژ بار نیز مشاهده می شود. علت این پیک ولتاژ باز شدن کلید بای پس جبران کننده است که این کلید در خروجی ترانسفورماتور قرار گرفته و جبران کننده را در هنگامی که ولتاژ شبکه در حالت عادی است، از مدار خارج می کند. کمی بعد از اتفاق افتادن کمبود ولتاژ، این کمبود ولتاژ توسط قسمت تشخیص کمبود ولتاژ (قسمت sag detection در شکل ۴) تشخیص داده شده و به کلید بای پس دستور باز شدن داده می شود. باتوجه به این که تا هنگام باز شدن کلید کل جریان بار اهمی-سلفی از این کلید عبور می کرد ولی به محض باز شدن این کلید جریان به سیم پیچی ترانسفورماتور منتقل می شود و بنابراین di/dt زیاد و در نتیجه یک پیک ولتاژ بزرگ در ولتاژ خروجی جبران کننده به وجود می آید. باید توجه کرد که این پیک ولتاژ بعد از فیلتر یعنی در خروجی جبران کننده به وجود می آید و بنابراین فیلتر قادر به کاهش چشمگیر آن نیست. هم چنین کمی بعد از ۰/۱۴ ثانیه (زمان اتمام کمبود ولتاژ) یک پیک ولتاژ ولی این بار در خروجی مبدل (قبل از فیلتر) ایجاد می شود که باز هم دلیل آن بسته شدن کلید بای پس است. با بسته شدن کلید بای پس تغییرات شدید و لحظه ای جریان باعث ایجاد پیک ولتاژ می شود. چون این پیک ولتاژ قبل از فیلتر یعنی در خروجی مبدل رخ داده است پس فیلتر به دلیل خاصیت پایین گذربودن، تغییرات شدید ولتاژ را به طور چشم گیری کاهش داده و در ولتاژ خروجی جبران کننده این پیک ولتاژ مشاهده نمی شود.

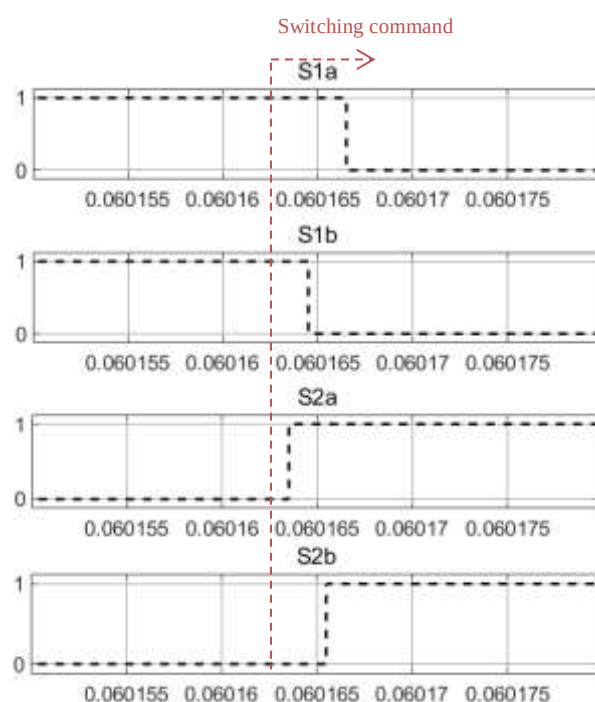
در شکل ۶، بزرگ نمایی شده ولتاژ خروجی مبدل AC-AC (قبل از فیلتر خروجی) نشان داده شده است. در این شکل، نحوه تولید ولتاژ با استفاده از کلیدزنی ولتاژ ورودی مشخص است.

برای این که اعمال الگوریتم کلیدزنی مشخص شود، سیگنال کلیدزنی کلیدهای مبدل AC-AC در شکل ۷ نشان داده شده است. هم چنین در این شکل لحظه دستور کلیدزنی نیز مشخص شده است.

شده است. همچنین یک مدار اسنابر RC با مقاومت و خازن به ترتیب ۵۰ اهم و ۱۰۰ نانوفاراد به صورت موازی با هر یک از کلیدها قرار داده شده است. در شکل ۱۰-الف و ۱۱-الف ولتاژ خروجی مبدل قبل از فیلتر، که ولتاژ دو سر یکی از کلیدها نیز است، برای هر دو روش (مرسوم و پیشنهادی) نشان داده شده است. همان طور که در شکل ۱۰-الف نشان داده شده است، در روش کلیدزنی مرسوم به دلیل زمان مرده کلیدزنی و قطع شدن مسیر جریان از طرق کلید، جریان مجبور به جاری شدن از طریق مدار اسنابر می شود. بنابراین، باتوجه به امپدانس مدار اسنابر ولتاژی بالاتر از ولتاژ شبکه روی کلید شکل می گیرد. این امر باعث افزایش تنش ولتاژ روی کلید و افزایش تلفات آن می شود. البته باید توجه کرد که در صورت عدم استفاده از اسنابر، این تنش ولتاژ بسیار بیش تر نیز خواهد بود. ضمن این که اندازه مقاومت و خازن اسنابر نیز در این تنش ولتاژ تاثیرگذار است.



شکل ۸: نتایج شبیه سازی برای کمبود ولتاژ ۰/۳ پرینیت و بار اهمی، (الف) ولتاژ شبکه، (ب) ولتاژ خروجی مبدل قبل از فیلتر خروجی، (ج) ولتاژ خروجی جبران ساز (ولتاژ تزریقی به شبکه)، (د) ولتاژ بار، (ه) جریان بار

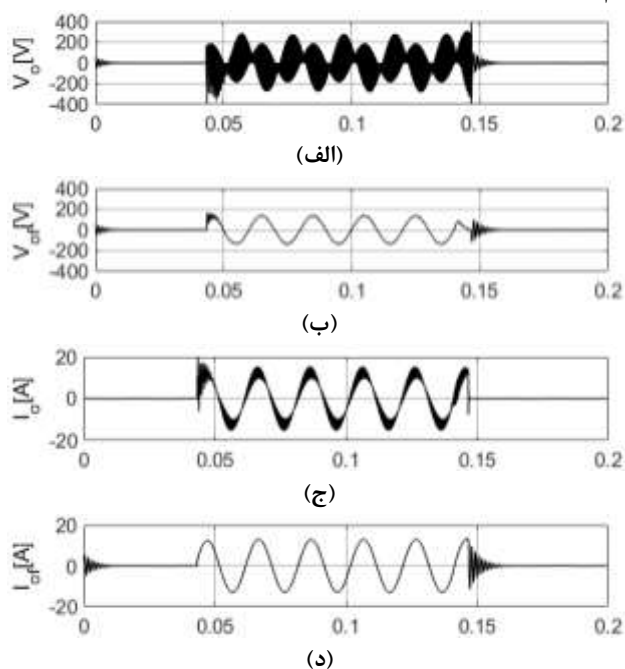


شکل ۷: سیگنال کلیدزنی و دستور کلیدزنی برای انتقال از کلید S_1 به کلید S_2

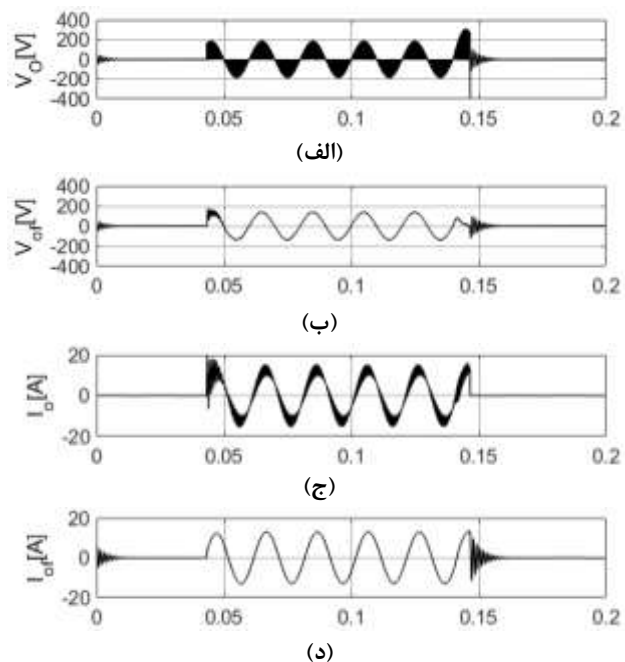
برای بررسی عملکرد جبران کننده با الگوریتم کلیدزنی پیشنهادی در حالت ها و بارهای مختلف، برای دو حالت دیگر نیز نتایج شبیه سازی آورده شده است. شکل های ۸ و ۹ نتایج شبیه سازی را به ترتیب برای بار اهمی خالص ۲۰ اهم و کمبود ولتاژ ۰/۳ پرینیت و بار اهمی-سلفی اشاره شده در جدول ۲ موازی با یک خازن ۴۷ میکروفارادی و کمبود ولتاژ ۰/۴ پرینیت نشان می دهد. در شکل های مذکور، به ترتیب از بالا به پایین، ولتاژ شبکه، ولتاژ خروجی مبدل قبل از فیلتر، ولتاژ خروجی جبران کننده، ولتاژ بار و جریان بار نشان داده شده است. همان طور که شکل ۸ (بار اهمی و کمبود ولتاژ ۰/۳ پرینیت) نشان داده شده است، در این حالت نیز جبران کننده به خوبی ولتاژ لازم برای جبران سازی را تولید کرده و از طریق ترانسفورماتور به شبکه تزریق کرده است به نحوی که ولتاژ بار به مقدار نامی بازبایی شده است. باتوجه به این شکل، به دلیل اهمی بودن بار، حالت گذرای ایجاد شده در شکل موج های ولتاژ کمتر از حالت های دیگر است. باتوجه به شکل ۹ (بار اهمی-سلفی موازی با یک خازن)، در حالتی که بار خازنی نیز وجود دارد، جبران کننده ولتاژ لازم را تولید کرده و ولتاژ بار را به مقدار نامی بازبایی کرده است. ولی باتوجه به وجود خازن و بالا رفتن مرتبه مدار، پاسخ نوسانی به وجود آمده و حالت های گذرا در شکل موج های ولتاژ بیش تر از حالت های دیگر است. همچنین شکل موج جریان خروجی نیز به دلیل وجود خازن دارای تغییراتی است.

به منظور مقایسه روش کلیدزنی پیشنهادی با روش کلیدزنی مرسوم، شبیه سازی برای روش مرسوم نیز انجام شده است. در کلیدزنی مرسوم زمان مرده کلیدزنی بین کلیدها ۱ میکروثانیه در نظر گرفته

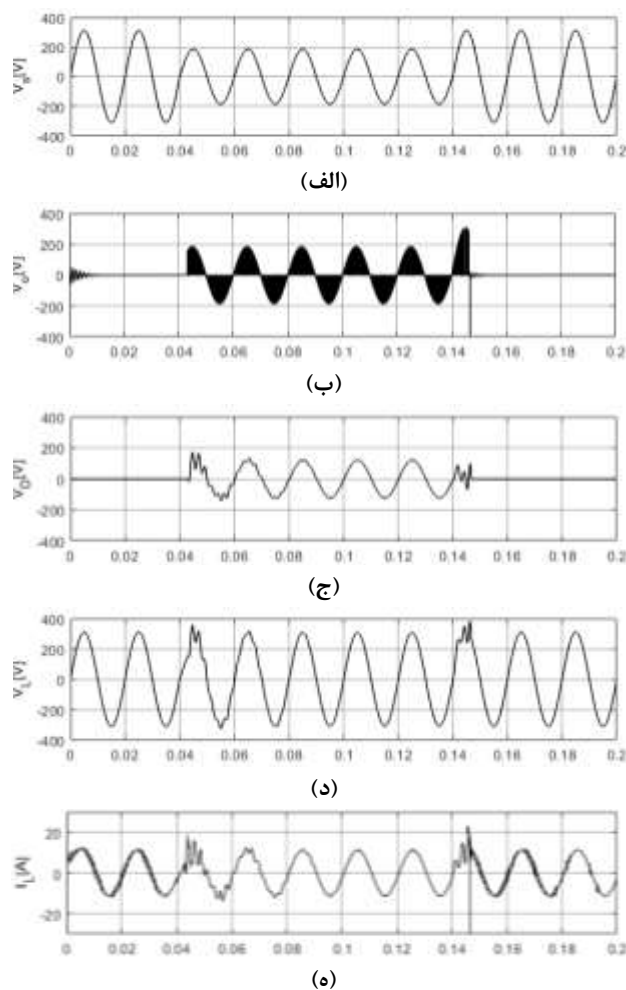
تقریباً یکسان است. شکل موج جریان خروجی مبدل بعد از فیلتر برای روش مرسوم و پیشنهادی به ترتیب در شکل‌های ۱۰-د و ۱۱-د نشان داده شده‌است که هر دو شکل موج سینوسی بوده و دارای THD خیلی کم ۰/۵٪ هستند.



شکل ۱۰: (الف) ولتاژ خروجی مبدل قبل از فیلتر (ولتاژ روی یکی از کلیدهای مبدل)، (ب) ولتاژ خروجی مبدل بعد از فیلتر، جریان خروجی مبدل قبل از فیلتر، و جریان خروجی مبدل بعد از فیلتر در روش کلیدزنی مرسوم و استفاده از مدار اسنابر



شکل ۱۱: (الف) ولتاژ خروجی مبدل قبل از فیلتر (ولتاژ روی یکی از کلیدهای مبدل)، (ب) ولتاژ خروجی مبدل بعد از فیلتر، جریان خروجی مبدل قبل از فیلتر، و جریان خروجی مبدل بعد از فیلتر در روش کلیدزنی پیشنهادی (بدون اسنابر)



شکل ۹: نتایج شبیه‌سازی برای کمبود ولتاژ ۰/۴ پرینیت و بار اهمی - سلفی موازی با خازن، (الف) ولتاژ شبکه، (ب) ولتاژ خروجی مبدل قبل از فیلتر خروجی، (ج) ولتاژ خروجی جبران‌ساز (ولتاژ تزریقی به شبکه)، (د) ولتاژ بار، (ه) جریان بار

همان‌طور که در شکل ۱۱-الف (ولتاژ خروجی مبدل (ولتاژ روی یکی از کلیدها) در روش کلیدزنی پیشنهادی) نشان داده شده‌است، در روش پیشنهادی تنش ولتاژ روی کلیدها به ولتاژ ورودی محدود شده و تغییرات اضافی ولتاژ وجود ندارد. این باعث کاهش تلفات کلید نیز خواهد شد. از نظر کیفیت شکل موج خروجی مبدل نیز، THD ولتاژ خروجی مبدل (قبل از فیلتر) در روش مرسوم و پیشنهادی به ترتیب برابر با ۵۵٪ و ۴۹٪ است. در شکل ۱۰-ب و ۱۱-ب ولتاژ خروجی مبدل بعد از فیلتر به ترتیب برای روش مرسوم و پیشنهادی نشان داده شده‌است. با توجه به این‌که، تفاوت دو شکل موج در محتوای هارمونیک فرکانس بالا است، THD شکل موج ولتاژ خروجی جبران‌کننده در روش مرسوم و پیشنهادی تفاوت چشم‌گیری نداشته و به ترتیب برابر با ۹۷٪ و ۸۶٪ است. در شکل ۱۰-ج و ۱۱-ج شکل موج جریان خروجی مبدل قبل از فیلتر به ترتیب برای روش مرسوم و پیشنهادی ارائه شده است. THD جریان خروجی مبدل قبل از فیلتر برای روش مرسوم و پیشنهادی به ترتیب برابر با ۴۷٪ و ۴۱٪ است که

- [۲] سید حسین طباطبائی و علیرضا جلیلیان، "کنترل بازیاب دینامیکی ولتاژ مبتنی بر فیلتر شکافی تطبیقی و میراسازی فعال به منظور بهبود کیفیت توان" مجله مهندسی برق دانشگاه تبریز، جلد ۴۴، شماره ۲، صفحات ۲۳-۳۴، تابستان ۱۳۹۳.
- [۳] محمد فرهادی کنگرلو، جبران سازی کمبود و بیش بود ولتاژ با استفاده از DVRهای مبتنی بر مبدل های AC-AC مستقیم، پایان نامه کارشناسی ارشد، دانشگاه تبریز، تبریز، ۱۳۸۹.
- [4] V. B. Bhavaraju and P. Enjeti, "A fast active power filter to correct line voltage sags," *IEEE Transactions on Industrial Electronics*, vol. 41, no. 3, pp. 333-338, 1994.
- [5] S. M. Hietpas and M. Naden, "Automatic voltage regulator using an AC voltage-voltage converter," *IEEE Transactions on Industry Applications*, vol. 36, no. 1, pp. 33-38, 2000.
- [۶] ابراهیم بابائی، محمد فرهادی کنگرلو، "جبران کننده دینامیکی کمبود ولتاژ در شبکه های توزیع برق با استفاده از مبدل ac/ac مستقیم" مجله مهندسی برق مدرس، دوره ۱۱، شماره ۵، بهار ۱۳۹۰.
- [7] E. Babaei, M. F. Kangarlu, and M. Sabahi, "Compensation of voltage disturbances in distribution systems using single-phase dynamic voltage restorer," *Electric Power Systems Research*, vol. 80, no. 12, pp. 1413-1420, 12// 2010.
- [8] J. Perez, V. Cardenas, H. Miranda, and R. Alvarez, "Compensation of voltage sags and swells using a single-phase AC-AC converter," in *30th Annual Conference of IEEE Industrial Electronics Society, 2004. IECON 2004*, 2004, vol. 2, pp. 1611-1616 Vol. 2.
- [9] K. Lee, H. Koizumi, and K. Kurokawa, "Voltage Sag/Swell Controller by Means of D-UPFC in the Distribution System," in *2006 IEEE 4th World Conference on Photovoltaic Energy Conference*, 2006, vol. 2, pp. 2427-2430.
- [10] E. Babaei and M. Farhadi Kangarlu, "Operation and control of dynamic voltage restorer using single-phase direct converter," *Energy Conversion and Management*, vol. 52, no. 8-9, pp. 2965-2972, 8// 2011.
- [11] E. Babaei and M. F. Kangarlu, "A new topology for dynamic voltage restorers without dc link," in *Industrial Electronics & Applications, 2009. ISIEA 2009. IEEE Symposium on*, 2009, vol. 2, pp. 1016-1021: IEEE.
- [۱۲] ابراهیم بابائی، محمد فرهادی کنگرلو، "بازیاب دینامیکی ولتاژ بر پایه مبدل های ماتریسی" مجله مهندسی برق دانشگاه تبریز، جلد ۴۰، شماره ۱، صفحات ۱-۱۲، ۱۳۸۹.
- [13] E. Babaei, M. F. Kangarlu, and M. Sabahi, "Mitigation of voltage disturbances using dynamic voltage restorer based on direct converters," *IEEE Transactions on Power Delivery*, vol. 25, no. 4, pp. 2676-2683, 2010.
- [14] A. Prasai and D. M. Divan, "Zero-Energy Sag Correctors—Optimizing Dynamic Voltage Restorers for Industrial Applications," *IEEE Transactions on Industry Applications*, vol. 44, no. 6, pp. 1777-1784, 2008.
- [15] A. Prasai and D. M. Divan, "Zero-Energy Sag Corrector With Reduced Device Count," *IEEE Transactions on Power Electronics*, vol. 24, no. 6, pp. 1646-1653, 2009.
- [16] X. Fang, G. Gao, L. Gao, and B. Ma, "Three-phase voltage-fed quasi-Z-source AC-AC converter," *CES Transactions on Electrical Machines and Systems*, vol. 2, no. 3, pp. 328-335, 2018.

همان طور که نتایج نشان می دهند، با استفاده از الگوریتم و روش کنترلی پیشنهادی، ولتاژ بار به خوبی بازیابی شده و به مقدار نامی خود می رسد. بنابراین، الگوریتم کلیدزنی پیشنهادی، ضمن این که تأثیر منفی روی کیفیت و کمیت ولتاژ خروجی جبران ساز نداشته، باعث حذف نیاز به مدارهای اسنابر مبدل AC-AC شده است. الگوریتم پیشنهادی نه تنها تأثیر منفی روی کیفیت شکل موج ها ندارد بلکه باعث کاهش جزئی THD شکل موج ها نیز می شود. البته باید ذکر شود که روش پیشنهادی برای مبدل با آرایش کلید امیتر-م مشترک قابل اعمال نیست. بنابراین، تعداد مدارهای راه انداز مستقل کلیدها در روش پیشنهادی افزایش می یابد. هر چند که تعداد مدارهای راه انداز در روش پیشنهادی افزایش می یابد و این قطعاً یک عیب برای روش پیشنهادی است، ولی از طرف دیگر باعث می شود وجود یک مسیر برای عبور جریان تضمین شده و از اضافه ولتاژهای ناشی از خود مدار اسنابر (که در شبیه سازی های فوق نشان داده شد) روی کلیدها جلوگیری شده و ضمن افزایش طول عمر آنها موجب کاهش تلفات کلیدزنی آنها شود. ضمن این که در روش مرسوم که قابل اعمال به آرایش امیتر-م مشترک بوده و بنابراین می تواند تعداد مدارهای راه انداز را کاهش دهد، اگر به هر دلیلی مدار اسنابر از بین برود (که اتفاقاً در عمل رایج است)، اضافه ولتاژهای بسیار زیاد ناشی از قطع مسیر جریان در طول زمان مرده کلیدزنی باعث از بین رفتن کلیدهای قدرت خواهد شد که این عیب در روش پیشنهادی وجود ندارد.

۶- نتیجه گیری

در این مقاله، یک الگوریتم کلیدزنی جدیدی برای جبران ساز مبتنی بر مبدل AC-AC ارائه شد که باعث می شود مسیر جریان تحت هیچ شرایطی قطع نشده و بنابراین نیازی به استفاده از مدارهای اسنابر نباشد. همچنین روش کنترلی ارائه شده نیز بر مبنای انتگرال گیر مرتبه دوم تعمیم یافته بوده و تشخیص و جبران کمبود ولتاژ را به صورت سریع فراهم می کند. همان طور که نتایج شبیه سازی نشان دادند، با استفاده از الگوریتم کلیدزنی و روش کنترلی پیشنهادی، مبدل AC-AC به خوبی ولتاژ مورد نیاز برای جبران سازی را تولید کرده و به شبکه تزریق می کند و بنابراین ولتاژ شبکه به خوبی بازیابی می شود. نتایج شبیه سازی برای کمبود ولتاژ ۰/۴ و ۰/۳ پریونیت و در بارهای مختلف ارائه شد ولی برای مقادیر دیگر کمبود ولتاژ نیز نتایج مشابهی به دست آمده است. همچنین نتایج نشان دادند که تنش ولتاژ روی کلید در حین کلیدزنی در روش پیشنهادی به طور قابل ملاحظه ای کمتر از روش مرسوم و با مدار اسنابر است.

مراجع

- [1] M. Farhadi-Kangarlu, E. Babaei, and F. Blaabjerg, "A comprehensive review of dynamic voltage restorers," *International Journal of Electrical Power & Energy Systems*, vol. 92, pp. 136-155, 2017.

- [22] E. Babaei and M. F. Kangarlu, "Cross-phase voltage sag compensator for three-phase distribution systems," *International Journal of Electrical Power & Energy Systems*, vol. 51, pp. 119-126, 2013.
- [23] S. Jothibas and M. K. Mishra, "An Improved Direct AC-AC Converter for Voltage Sag Mitigation," *IEEE Transactions on Industrial Electronics*, vol. 62, no. 1, pp. 21-29, 2015.
- [24] B. Singh, S. Kumar, and C. Jain, "Damped-SOGI-Based Control Algorithm for Solar PV Power Generating System," *IEEE Transactions on Industry Applications*, vol. 53, no. 3, pp. 1780-1788, 2017.
- [25] X. He, H. Geng, and G. Yang, "Reinvestigation of Single-Phase FLLs," *IEEE Access*, vol. 7, pp. 13178-13188, 2019.
- [26] F. Xiao, L. Dong, L. Li, and X. Liao, "A Frequency-Fixed SOGI-Based PLL for Single-Phase Grid-Connected Converters," *IEEE Transactions on Power Electronics*, vol. 32, no. 3, pp. 1713-1719, 2017.
- [17] S. Srinivasan and G. Venkataramanan, "Design of a versatile three-phase AC line conditioner," in *IAS '95. Conference Record of the 1995 IEEE Industry Applications Conference Thirtieth IAS Annual Meeting*, 1995, vol. 3, pp. 2492-2499 vol.3.
- [18] G. Venkataramanan, B. K. Johnson, and A. Sundaram, "An AC-AC power converter for custom power applications," *IEEE Transactions on Power Delivery*, vol. 11, no. 3, pp. 1666-1671, 1996.
- [19] G. Venkataramanan and B. Johnson, "A pulse width modulated power line conditioner for sensitive load centers," *IEEE Transactions on Power Delivery*, vol. 12, no. 2, pp. 844-849, 1997.
- [20] X. Fang, G. Gao, L. Gao, and B. Ma, "Three-phase voltage-fed quasi-Z-source AC-AC converter," *CES Transactions on Electrical Machines and Systems*, vol. 2, no. 3, pp. 328-335, 2018.
- [21] S. Subramanian and M. K. Mishra, "Interphase AC-AC Topology for Voltage Sag Supporter," *IEEE Transactions on Power Electronics*, vol. 25, no. 2, pp. 514-518, 2010.

زیر نویس ها

¹Zero-Energy Sag Corrector (ZESC)

²Passive

³Phase-Locked-Loop (PLL)

⁴Second-Order Generalized Integrator (SOGI)

⁵Quadrature Signal Generation (QSG)

⁶Duty Cycle