تغییردهنده فاز پهن باند بر اساس ساختار جمع برداری برای باند فرکانسی S

مصطفی نوبخت سرکزه[۱]، کارشناس ارشد؛ امین‌قاسم صفریان[۲]، استادیار؛ مجتبی عطاردی[۳]، دانشیار

۱- دانشکده مهندسی برق – دانشگاه صنعتی شریف - تهران - ایران – nobakht_mostafa@ee.sharif.edu
۲- دانشکده مهندسی برق – دانشگاه صنعتی شریف - تهران - ایران –safarian@sharif.edu
۳- دانشکده مهندسی برق – دانشگاه صنعتی شریف - تهران - ایران – atarodi@sharif.edu

چکیده: در این مقاله، یک تغییردهنده فاز پهن باند شش بیتی به روش جمع برداری برای کاربرد باند S ارائه شده است. تغییر فاز دلخواه در این روش با استفاده از جمع فازوری دو سیگنال ورودی با اختلاف‌فاز ۹۰ درجه به دست می‌آید که با تغییر دامنه‌های دو سیگنال متعامد، فاز خروجی تغییر می‌کند. برای تولید چهار سیگنال متعامد ۰ ، ۹۰ ، ۱۸۰ و ۲۷۰ درجه، از بالون فعال و انتگرال‌گیر G_m استفاده شده است. در نهایت برای جمع کردن سیگنال‌ها از یک جمع‌کننده فعال استفاده شده است. در این مقاله، برای افزایش پهنای باند تغییردهنده فاز و در نتیجه کاهش خطای فاز مؤثر خروجی، از یک مسیر پس‌خور شامل آشکارساز توان و تقویت‌کننده، استفاده شده است تا سیگنال‌های متعامد تولیدشده کمترین عدم تطابق ازلحاظ اندازه و فاز را در باند فرکانسی دو تا چهار گیگاهرتز داشته باشند. خطای فاز مؤثر از ۱/۰۹۲ درجه در گوشه TT در دمای ۲۷ درجه سلسیوس تا ۴/۰۲ درجه در گوشه FF در دمای ۱۲۰ درجه سلسیوس متغیر است. خطای دامنه مؤثر از ۰/۲۵ dB در گوشه TT در دمای ۲۷ درجه سلسیوس تا ۰/۳۵ dB در گوشه FF در دمای ۱۲۰ درجه سلسیوس متغیر است. همچنین کل جریان مصرفی مدار ۹/۲۸ میلی‌آمپر از منبع تغذیه ۱/۸ ولت است.

واژه‌های کلیدی: تغییردهنده فاز، جمع برداری، متعامد، بالون فعال، جمع‌کننده، مسیر پس‌خور ،آشکارساز توان، خطای فاز مؤثر، خطای دامنه مؤثر.

A Wideband Vector Sum Phase Shifter for S-band Applications

M.Nobakht Sarkezeh[1], MSc; Aminghasem Safarian[2], Assistant Professor; M.Atarodi[3], Associate Professor

1- Faculty of Electrical Engineering, Sharif University of Technology, Tehran, Iran, Email: nobakht_mostafa@ee.sharif.edu
2- Faculty of Electrical Engineering, Sharif University of Technology, Tehran, Iran, Email: safarian@sharif.edu
3- Faculty of Electrical Engineering, Sharif University of Technology, Tehran, Iran, Email: atarodi@sharif.edu

Abstract: In this paper a wideband vector-sum based phase shifter with 6-bits accuracy is presented. In this architecture the desired phase shift is obtained by adding quadrature signals with appropriate amplitude. To generate quadrature signals with phases of 0, 90, 180, and 270° an active balun and g_m-based integrator are deployed. Finally an active adder has been used to add up the quadrature signals. In this paper in order to widen the frequency bandwidth of the phase shifter and hence reduce the root mean square (RMS) phase error, a feedback path including two power detectors and an amplifier is deployed, so that the quadrature signals have minimal amplitude and phase mismatch in frequency range of 2 – 4 GHz. The RMS phase error varies between 1.092 and 4.02° for simulation of corners of (typical transistors and 27°) and (fast transistors and 120°), respectively. The RMS amplitude error varies between 0.25 and 0.35dB for simulation of corners of (typical transistors and 27°) and (fast transistors and 120°), respectively. The proposed phase shifter draws 9.28 mA from 1.8V supply voltage.

Keywords: Phase shifter, Vector sum, Quadrature, Active balun, Adder, Feedback path, Power detector, Root mean square (RMS) phase error, Root mean square amplitude error.

تاریخ ارسال مقاله: ۱۳۹۷/۰۹/۱۵
تاریخ اصلاح مقاله: ۱۳۹۸/۰۳/۱۲
تاریخ پذیرش مقاله: ۱۳۹۸/۰۸/۲۱
نام نویسنده مسئول:امین قاسم صفریان
نشانی نویسنده مسئول: ایران - تهران – خیابان آزادی- دانشگاه صنعتی شریف - دانشکده مهندسی برق – اتاق ۷۱۰

۱- مقدمه

تغییردهنده فاز ایده‌آل یک بلوک دوقطبی است که بدون ایجاد تلفات، اختلاف‌فاز بین سیگنال‌های ورودی و خروجی را تغییر می‌دهد. دریک تغییردهنده فاز ایده‌آل اختلاف‌فاز حالت‌های مختلف مدار در باند فرکانسی موردنظر ثابت است. عمده‌ترین کاربرد مدارهای تغییردهنده فاز در پیاده‌سازی سیستم‌های آنتن‌های آرایه فازی است [۱]. امروزه آنتن‌های آرایه فازی از جدیدترین، پرکاربردترین و پیشرفته‌ترین نوع آنتن‌ها به‌خصوص در صنایع نظامی محسوب میشوند [۲]. از دیگر کاربردهای مدارهای تغییردهنده فاز می‌توان به کاربرد آن‌ها در آزمودن و تنظیم آنتن‌ها و خطی‌سازی تقویت‌کننده‌های توان اشاره کرد [۳، ۴]، که خطسانی بالا از پارامترهای مهم تقویت‌کننده‌های توان است [۵].

باوجوداینکه تلاش زیادی برای افزایش پهنای باند بسیاری از مدارهای مخابراتی صورت پذیرفته است، ساخت مدارهای تغییردهنده فاز با پهنای باند زیاد به‌سختی امکان‌پذیر است. طراحی یک مدار تغییردهنده فاز که اختلاف‌فازهای موردنظر را در یک فرکانس خاص ایجاد کند، به‌سادگی قابل انجام است. درصورتی‌که ثابت نگه‌داشتن اختلاف‌فاز موردنظر در یک پهنای باند فرکانسی وسیع بسیار سخت است.این در حالی است که طراحی مدار باید به نحوی انجام شود که سایر مشخصات تغییردهنده فاز مانند تلفات و تطبیق امپدانس در ورودی و خروجی در طول باند فرکانسی موردنظر و در همه اختلاف‌فازهای مدار نیازهای استاندارد مورد نظر را ارضا نمایند.

ساختارهای متنوعی برای پیاده‌سازی تغییردهنده‌های فاز وجود دارند. روش اول خط انتقال سوئیچ شده است. در این روش مسیر سیگنال مابین دو خط انتقال با طول‌های متفاوت جابه‌جا می‌شود [۶، ۷]. میزان شیفت فاز برابر اختلاف زاویه الکتریکی بین دو خط انتقال است. روش دوم شبکه سوییچ شده است. در این روش، مسیرهایی که سیگنال مابین آن‌ها سوئیچ می‌شود طوری طراحی می‌شود تا شیب تغییرات فاز – فرکانس و درنتیجه تأخیر گروهی یکسانی در پهنای باند موردنظر داشته باشند [۶]. تضعیف ناشی از المان‌های غیرفعال و کلیدها از چالش‌های طراحی این ساختار تغییردهنده‌های فاز است. همچنین، کلیدها ممکن است باعث افزایش نوسانات فاز در پهنای باند فرکانسی شوند. روش دیگر خط بارگذاری شده است. میزان تغییر فاز در این روش، بر اساس اضافه کردن یک راکتانس (سلف یا خازن) به خط انتقال یکنواخت ایجاد می‌شود [۶]. وجود راکتانس باعث ایجاد یک تغییر فاز معین در موج رفت می‌شود.

در [۸]، از خط انتقال بارگذاری شده با ورکتور استفاده شده است. اولین عیب این روش این است که با تغییر راکتانس امپدانس مشخصه خط عوض می‌شود که تطبیق ورودی و خروجی را به هم می‌زند؛ بنابراین میزان عدم تطبیق قابل‌تحمل، تغییر فاز مجاز را تعیین می‌کند. از طرف دیگر ضریب کیفیت خازن‌های ورکتور ممکن است کم باشد که باعث افزایش تلفات می‌شود. روش آخر تغییر فاز بر اساس ساختار جمع برداری است. تغییر فاز دلخواه در این روش با استفاده از جمع فازوری دو سیگنال متعامد به دست می‌آید. عملکرد این روش بر این اساس است که ابتدا سیگنال ورودی توسط مدار تولیدکننده سیگنال‌های متعامد به دو سیگنال هم‌اندازه که ۹۰ درجه نسبت به هم اختلاف‌فاز دارند تبدیل می‌شود و درنهایت برای جمع کردن سیگنال‌ها از جمع‌کننده استفاده می‌شود که با وزن دهی مناسب به این سیگنال‌ها و جمع کردن آن‌ها شیفت فاز خروجی موردنظر را تولید می‌کند [۱۲-۹].

مدار تولیدکننده سیگنال‌های متعامد را می‌توان هم با استفاده از عناصر فشرده و هم به‌صورت فعال طراحی کرد. در [۹، ۱۰] برای تولید سیگنال‌های متعامد از فیلتر تمام‌گذر استفاده شده است که دامنه سیگنال‌های متعامد مستقل از فرکانس برابر است و فقط خطای فاز سیگنال‌های متعامد وجود دارد که باعث می‌شود خطای فاز سیگنال‌های متعامد در پهنای باند مشخص‌شده، فقط در دو فرکانس صفر باشد و در بقیه فرکانس‌ها با افزایش پهنای باند، خطای فاز سیگنال‌های متعامد افزایش پیدا کرده و باعث افزایش خطای فاز مؤثر تغییردهنده فاز می شود. در [۱۱] یک ساختار جدید برای فیلتر تمام‌گذر پیشنهاد شده است که مزیتی که این ساختار نسبت به ساختار [۹، ۱۰] دارد این است که خطای فاز سیگنال‌های متعامد در پهنای باند مشخص‌شده در سه فرکانس صفر است که باعث می‌شود ساختار [۱۱]، خطای فاز مؤثر کمتری نسبت به ساختار [۹، ۱۰] داشته باشد ولی مشکل عمده استفاده از فیلتر تمام‌گذر برای تولید سیگنال‌های متعامد، استفاده از سلف و خازن‌های متعدد است که باعث افزایش مساحت تراشه می‌شود.

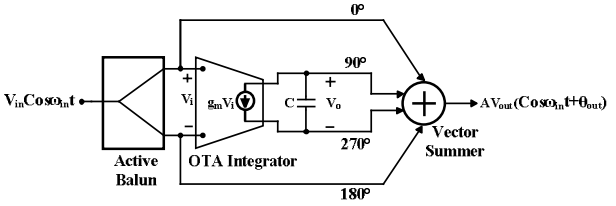
در [۱۲] برای تولید سیگنال‌های متعامد از یک مدار فعال استفاده شده است (اشاره به شکل ۱). مشکل اصلی این ساختار این است که خطای دامنه سیگنال‌های متعامد تولیدشده در پهنای باند مشخص، فقط در یک فرکانس صفر شود و به‌محض فاصله گرفتن از این فرکانس خطای دامنه افزایش پیدا کرده و باعث افزایش خطای فاز مؤثر می‌شود. در این مقاله، برای تولید سیگنال‌های متعامد از روش فعال شده است که برای کاهش خطای دامنه سیگنال‌های متعامد از یک مسیر پس‌خور استفاده شده است؛ بنابراین خطای فاز و دامنه مؤثر برای باند فرکانسی دو تا چهار گیگاهرتز به میزان قابل‌توجهی کاهش پیدا کرده است و به دلیل استفاده از مدار فعال، مساحت تراشه به مقدار قابل‌توجهی کاهش پیدا کرده است. این مقاله در ادامه به شرح زیر تنظیم شده است:

بخش ۲ به بررسی سیستم کلی تغییردهنده فاز به روش جمع برداری می‌پردازد. در بخش ۳ ساختار پیشنهادی تغییردهنده فاز و طراحی بلوک‌های تشکیل‌دهنده آن موردبررسی قرار می‌گیرند. نتایج شبیه‌سازی در بخش ۴ ارائه شده است. درنهایت با ارائه نتیجه‌گیری در بخش ۵ مقاله به اتمام می‌رسد.

۲- سیستم کلی تغییردهنده فاز به روش جمع برداری

در شکل ۱ یک روش پیاده‌سازی تغییردهنده فاز به‌صورت فعال آورده شده است [۱۲]. در این سیستم، بلوک بالون فعال، سیگنال ورودی تغییردهنده فاز، V_{in} ، را به دو سیگنال هم‌اندازه تفاضلی تبدیل می‌کند.

دومین بلوک مدار انتگرال‌گیر هست که عملکرد این مدار این است که از سیگنال ورودی انتگرال بگیرد تا یک سیگنال با دامنه یکسان و اختلاف فاز ۹۰ درجه نسبت به سیگنال ورودی تولید کند. درنهایت چهار سیگنال متعامد(دو به دو تفاضلی) ۰ ، ۹۰ ، ۱۸۰ و ۲۷۰ درجه تولید شده، وارد جمع‌کننده می‌شوند که بسته به اینکه تغییر فاز خروجی موردنظر در کدام ربع از صفحه مختصات است همواره دو سیگنال متعامد را انتخاب می‌کند و با وزن دهی مناسب به این سیگنال‌ها و جمع کردن آن‌ها شیفت فاز خروجی موردنظر را تولید می‌کند.



شکل ۱: تغییردهنده فاز فعال ۳۶۰ درجه [۱۲]

عملکرد فرکانسی تغییردهنده فاز به روش جمع برداری ،به چگونگی عملکرد مدار انتگرال‌گیر بستگی دارد به‌گونه‌ای که پهنای باند کل تغییردهنده فاز را مدار انتگرال‌گیر تعیین می‌کند [۱۱]. پس برای افزایش پهنای باند تغییردهنده فاز، بایستی پهنای باند این طبقه را بهبود بخشید. با توجه به پیاده‌سازی به روش فعال شکل ۱، به دلیل خطای فاز بالا، این ساختار برای تغییردهنده فاز با دقت بیش از ۵ بیت مناسب نیست [۱۲]. دلیل اینکه این ساختار خطای فاز بالایی دارد این است که برای تولید سیگنال‌های متعامد از یک انتگرال‌گیر استفاده شده است که باعث می‌شود فقط در یک فرکانس خاص دامنه سیگنال ورودی و خروجی انتگرال‌گیر (دامنه سیگنال‌های متعامد) یکسان شوند و خطای دامنه صفر شود و به‌محض فاصله گرفتن از این فرکانس خطای دامنه با نرخ $\frac{dB}{dec}$ ۲۰ (اشاره به شکل ۲) زیاد می‌شود که این خطا خود را به‌صورت خطای فاز در خروجی نشان می‌دهد.

با توجه به ساختار سیستمی شکل ۱، تابع انتقال مدار انتگرال‌گیر به‌صورت رابطه (۱) است [۱۲].

$$\frac{V_o}{V_i}(S) = -\frac{g_m}{CS} \qquad (۱)$$

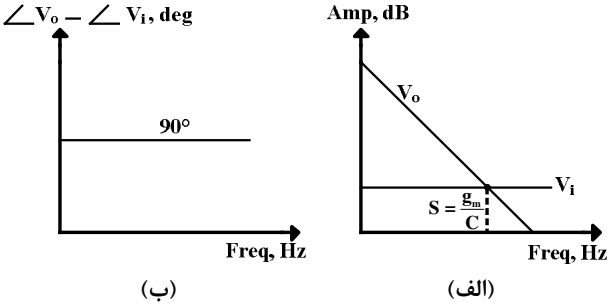
که g_m ترارسانایی و C خازن خروجی انتگرال‌گیر است.

با توجه به رابطه (۱)، V_o و V_i همواره مستقل از فرکانس برهم عمودند. ولی فقط در یک فرکانس (یعنی $S = \frac{g_m}{C}$) دامنه ولتاژ ورودی و خروجی انتگرال‌گیر یکسان است $|V_o| = |V_i|$. به‌محض فاصله گرفتن از این فرکانس، دامنه ولتاژ ورودی و خروجی انتگرال‌گیر با نرخ $\frac{dB}{dec}$ ۲۰ از هم فاصله می‌گیرند که همین پدیده باعث افزایش خطای فاز خروجی می‌شود. در شکل ۲ در قسمت (الف) و (ب) به ترتیب دامنه و اختلاف‌فاز سیگنال ورودی و خروجی انتگرال‌گیر نشان داده شده است. شکل ۳ اختلاف دامنه سیگنال ورودی و خروجی انتگرال‌گیر را بر حسب فرکانس نشان می‌دهد که فقط در یک فرکانس اختلاف دامنه برابر صفر است و با افزایش پهنای باند فرکانسی اختلاف دامنه افزایش پیدا می‌کند. در ادامه تأثیر نابرابری دامنه سیگنال‌های متعامد بر روی خطای فاز به‌صورت کمی محاسبه شده است.

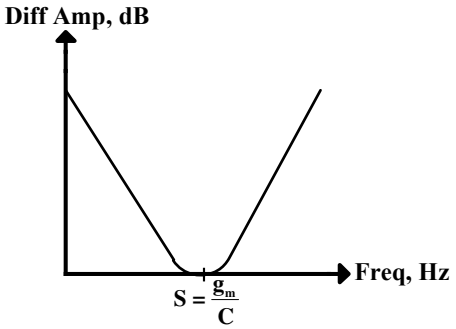
فرض کنید می‌خواهیم تغییر فازی به‌اندازه θ_{out} در سیگنال خروجی نسبت به سیگنال ورودی ایجاد کنیم. در این حالت خروجی در حوزه فازور طبق رابطه (۲) خواهد بود.

$$V_{out} = (V_i.A_i) + (V_q.A_q) \qquad (۲)$$

که V_i و V_q دامنه سیگنال‌های متعامد هستند و A_i و A_q بهره‌ای که توسط جمع‌کننده به دو سیگنال متعامد اعمال شده است.



شکل ۲: (الف) دامنه، (ب) اختلاف فاز سیگنال ورودی و خروجی انتگرال‌گیر شکل ۱



شکل ۳: اختلاف دامنه سیگنال ورودی و خروجی انتگرال‌گیر شکل ۱

در حالت ایده‌آل که دامنه سیگنال‌های متعامد یکسان است، $V_i = V_q$، فاز خروجی به‌صورت رابطه (۳) خواهد بود.

$$\theta_{ideal} = \tan^{-1}\left(\frac{A_q}{A_i}\right) \qquad (۳)$$

که فاز خروجی فقط وابسته به بهره‌های متغیر جمع‌کننده است. حالا اگر دامنه سیگنال‌های متعامد باهم اختلاف داشته باشند:

$$V_q = V_i.(1+\alpha) \qquad (۴)$$

که $\alpha \geq 0$ است. در این حالت فاز خروجی به‌صورت رابطه (۵) خواهد بود.

$$\theta_{out} = \tan^{-1}\left(\frac{A_q}{A_i}.(1+\alpha)\right) \qquad (۵)$$

با کم کردن رابطه (۳) از رابطه (۵) خطای فاز خروجی تغییردهنده فاز ناشی از نابرابری دامنه سیگنال‌های متعامد حاصل می‌شود که در رابطه (۶) آورده شده است که این مقدار برحسب رادیان است.

$$\theta_{error} = \theta_{out} - \theta_{ideal} = \tan^{-1}\left[\frac{\frac{A_q}{A_i}\alpha}{1+\left(\frac{A_q}{A_i}\right)^2(1+\alpha)}\right] [Rad] \qquad (۶)$$

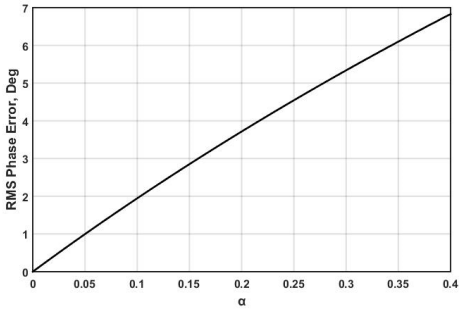
خطای فاز باید در حدی باشد تا تغییردهنده فاز بتواند عملکرد شش بیتی خود را حفظ کند. در تغییردهنده فاز شش بیتی علاوه بر اینکه خطای فاز مطلق باید کمتر از ۵/۶۲۵ (یا همان $\frac{360^\circ}{2^6}$) درجه باشد، باید خطای فاز مؤثر هم کمتر از ۲/۸ درجه باشد. خطای فاز مؤثر در رابطه (۷) آورده شده است.

$$RMS\ Phase\ Error = \sqrt{\frac{1}{N-1}\sum_{K=1}^{N-1}\left[\theta_K - \theta_0 - (K\times\Delta\theta_{ideal})\right]^2} \qquad (۷)$$

در این رابطه N تعداد کل شیفت فازهای مدار (۲^۶=۶۴)، θ_K مقدار اختلاف فاز مابین ورودی و خروجی تغییردهنده فاز در حالت k ام ، θ_0 فاز مرجع و $\Delta\theta_{ideal}$ اختلاف فاز مابین هر یک از حالت‌های تغییردهنده فاز در حالت ایده‌آل است. با جایگذاری رابطه (۶) در (۷)، رابطه جدیدی برای خطای مؤثر فاز برای یک تغییردهنده فاز شش بیتی حاصل می‌شود که در رابطه (۸) آورده شده است؛ این رابطه تأثیر خطای دامنه سیگنال‌های متعامد بر روی خطای فاز مؤثر را نشان می‌دهد.

$$RMS\ Phase\ Error = \sqrt{\frac{4}{63}\sum_{K=1}^{15}\left[\tan^{-1}\left(\frac{(\frac{A_q}{A_i})_K\alpha}{1+\left(\frac{A_q}{A_i}\right)_K^2(1+\alpha)}\right)\right]^2} \qquad (۸)$$

در شکل ۴ نمودار خطای فاز مؤثر برحسب αرسم شده است.



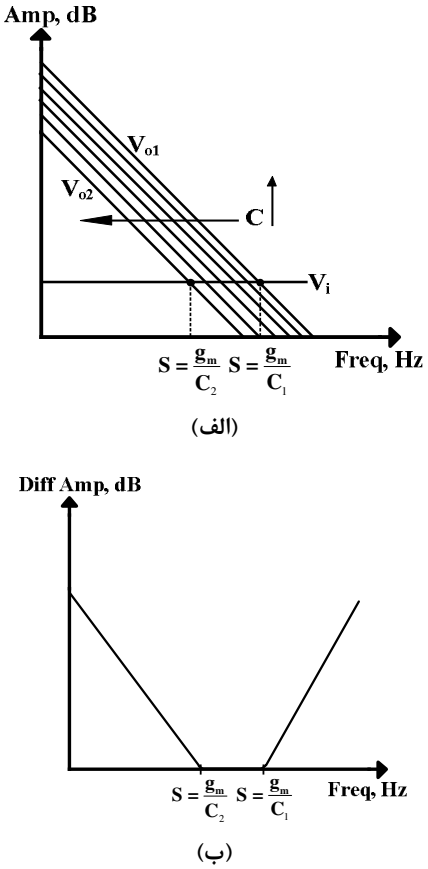
شکل ۴: خطای فاز مؤثر برحسب α

برای اینکه تغییردهنده فاز شش بیتی باشد باید خطای فاز مؤثر کمتر از ۲/۸ درجه باشد، بنابراین با توجه به شکل ۴، باید اختلاف دامنه سیگنال‌های متعامد کمتر از ۰/۱۴۶ باشد. بنابراین در یک تغییر دهنده فاز شش بیتی حداکثرعدم تطابق دامنه سیگنال های متعامد ۱/۲ dB است که از رابطه (۹) به دست می‌آید.

$$\left|\frac{V_q}{V_i}\right|_{dB} \le 1.2\ dB \qquad (۹)$$

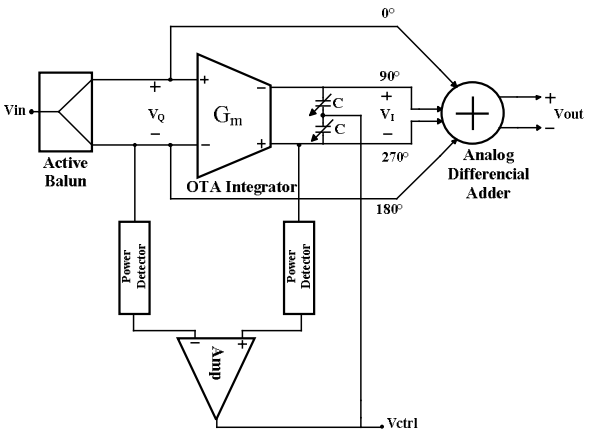
بنابراین اگر اختلاف دامنه سیگنال‌های متعامد در هر فرکانس کمتر از ۱/۲ dB باشد، خطای فاز مؤثر در آن فرکانس کمتر از ۲/۸ درجه است و تغییردهنده فاز عملکرد شش بیتی دارد.

در این مقاله، برای کاهش خطای دامنه سیگنال‌های متعامد و افزایش پهنای باند مدار انتگرال‌گیر، از سازوکاری استفاده شده است که بتواند دامنه سیگنال‌های متعامد ورودی و خروجی مدار انتگرال‌گیر را باهم مقایسه کند و با توجه به این‌که کدام بیشتر است تغییرات لازم را در مدار صورت دهد تا دامنه دو سیگنال متعامد در باند S، ۲ تا ۴ گیگاهرتز، برابر شوند. در شکل ۵ ایده این طرح نشان داده شده است. روش کار به این صورت است که با تغییر خازن خروجی انتگرال‌گیر در هر فرکانس، برابری دامنه سیگنال‌های متعامد تنظیم می‌شود.



شکل ۵: (الف) دامنه، (ب) اختلاف دامنه سیگنال ورودی و خروجی مدار انتگرال‌گیر با پهنای باند گسترده

هرچقدر خازن بزرگ‌تر شود مکان تقاطع به فرکانس پایین‌تر و هرچقدر خازن کوچک‌تر شود مکان برخورد به فرکانس بالاتر منتقل می‌شود. شکل ۶ ساختار پیشنهادی تغییردهنده فاز شش بیتی به روش جمع برداری را نشان می‌دهد.



شکل ۶: سیستم پیشنهادی تغییردهنده فاز به روش جمع برداری

با توجه به پیاده‌سازی سیستمی طرح پیشنهادی در شکل ۶، ابتدا دامنه سیگنال‌های متعامد ورودی و خروجی انتگرال‌گیر توسط آشکارساز توان تشخیص داده می‌شود، سپس اختلاف دامنه سیگنال‌های متعامد توسط تقویت‌کننده تقویت می‌شود و درنهایت خروجی تقویت‌کننده به خازن متغیر خروجی انتگرال‌گیر اعمال می‌شود. حلقه پس‌خور ایجادشده تا زمانی که دامنه ولتاژ ورودی و خروجی انتگرال‌گیر برابر شود، ولتاژ کنترلی را تغییر می‌دهد تا خازن متغیر تغییر کند. با توجه به ساختار سیستمی شکل ۶، اگر دامنه ولتاژ ورودی انتگرال‌گیر G_m را با V_Q و دامنه ولتاژ خروجی را با V_I و بهره تقویت‌کننده و آشکارساز توان را به ترتیب با A و A_D نشان دهیم، در این حالت ولتاژ کنترلی به‌صورت رابطه (۱۰) خواهد بود.

$$V_{Ctrl} = A.A_D\left(|V_I| - |V_Q|\right) \qquad (۱۰)$$

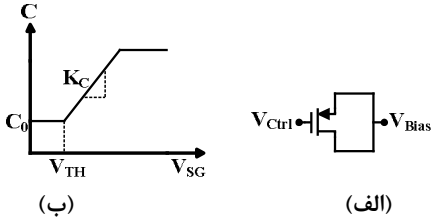
رابطه دامنه ولتاژ ورودی و خروجی انتگرال‌گیر در رابطه (۱۱) آورده شده است.

$$|V_I| = \frac{G_m}{C \times \omega}|V_Q| \qquad (۱۱)$$

با جایگذاری رابطه (۱۱) در (۱۰) رابطه جدیدی برای ولتاژ کنترلی به دست می‌آید.

$$V_{Ctrl} = A.A_D.|V_Q|\left(\frac{G_m}{C \times \omega} - 1\right) \qquad (۱۲)$$

خازن متغیر استفاده‌شده در شکل ۶، یک ترانزیستور PMOS است. در شکل ۷، نحوه استفاده از یک ترانزیستور به‌عنوان خازن متغیر و مشخصه خازن متغیر برحسب ولتاژ گیت-سورس آورده شده است.



شکل ۷: (الف) خازن متغیر، (ب) مشخصه خازن متغیر برحسب ولتاژ گیت سورس [۱۳]

با تغییر ولتاژ کنترلی V_{Ctrl} مقدار خازن بین پایه‌های سورس و گیت تغییر می‌کند. ولتاژ V_{Bias} به‌گونه‌ای انتخاب می‌شود تا با تغییر ولتاژ کنترلی، خازن بین پایه‌های سورس و گیت بیشترین تغییرات را داشته باشند تا بتوان از حداکثر گستره تغییرات خازن استفاده کرد. می‌توان مشخصه خازن بین پایه‌های سورس و گیت را که تقریباً خازن سورس-گیت است با نمودار شکل ۷ (ب) تقریب زد [۱۳]. مقدار خازن متغیر برحسب ولتاژ گیت- سورس به‌صورت رابطه (۱۳) خواهد بود [۱۳].

$$C = C_0 + K_C(V_{SG} - V_{TH}) = C_0 + K_C\left((V_{Bias} - V_{Ctrl}) - V_{TH}\right) \qquad (۱۳)$$

که C_0 مقدار خازن اولیه، K_C شیب تغییرات خازن متغیر برحسب ولتاژ گیت-سورس و V_{TH} ولتاژ آستانه ترانزیستور است. برای این‌که از ماکزیمم تغییرات خازن با تغییر ولتاژ کنترلی استفاده شود، ولتاژ کنترلی باید در رابطه (۱۴) صدق کند.

$$V_{Ctrl} \le V_{Bias} - V_{TH} \qquad (۱۴)$$

با جایگذاری رابطه (۱۳) در رابطه (۱۲) مقدار نهایی ولتاژ کنترل برحسب خازن متغیر به دست می‌آید.

$$V_{Ctrl} = A.A_D|V_Q|\left[\frac{G_m}{\left(C_0 + K_C\left(V_{Bias} - V_{Ctrl} - V_{TH}\right)\right) \times \omega} - 1\right] \qquad (۱۵)$$

برای این‌که دامنه سیگنال‌های متعامد ورودی و خروجی انتگرال‌گیر حداقل اختلاف را از هم داشته باشند، باید جمله داخل کروشه در رابطه (۱۵) نزدیک صفر باشد. این جمله درواقع اختلاف دامنه سیگنال‌های متعامد ورودی و خروجی انتگرال‌گیر است. هرچقدر این جمله از صفر دورتر شود به همان میزان خطای فاز بیشتری در خروجی حاصل می‌شود؛ بنابراین برای رسیدن به دامنه‌ای برابر باید تا جایی که ممکن است بهره تقویت‌کننده افزایش یابد.

۳- پیاده‌سازی تغییردهنده فاز

۳-۱- بالون فعال

بالون ایده‌آل سیگنال ورودی را به دو سیگنال هم‌اندازه تفاضلی تبدیل می‌کند. ساختار پیشنهادی بالون فعال در شکل ۸ نشان داده شده است. مدار از دو طبقه تشکیل شده است. طبقه اول شامل یک سورس مشترک و گیت مشترک است. طبقه اول هم وظیفه تطبیق امپدانس در ورودی به آنتن را انجام می‌دهد و هم سیگنال ورودی را به سیگنال تفاضلی تبدیل می‌کند ولی این تبدیل همان‌طور که در [۱۲] آورده شده است، دقیق نیست یعنی‌اندازه دو سیگنال خروجی طبقه اول یکسان نیستند و اختلاف فاز آن‌ها نیز ۱۸۰ درجه نیست و خطای قابل‌توجهی دارد که در نهایت باعث کاهش پهنای باند تغییردهنده فاز می‌شود. در مدار پیشنهادی شکل ۸، برای تبدیل دقیق‌تر سیگنال ورودی به سیگنال تفاضلی، از یک طبقه تفاضلی به‌عنوان طبقه دوم مدار استفاده شده است.

در طراحی طبقه دوم باید دقت شود که میزان حذف سیگنال مد مشترک بالا باشد تا در خروجی یک سیگنال تفاضلی با دقت بالا به دست بیاید که اثبات آن در ادامه آورده شده است. مقادیر R_B و C_B به‌اندازه کافی بزرگ هستند و سایز بقیه المان‌ها درروی شکل آورده شده‌اند.

اگر فرض کنیم خروجی‌های طبقه اول مدار بالون، V_1 و V_2 باشند، در این حالت:

$$V_{id} = V_2 - V_1 \qquad (۱۶)$$

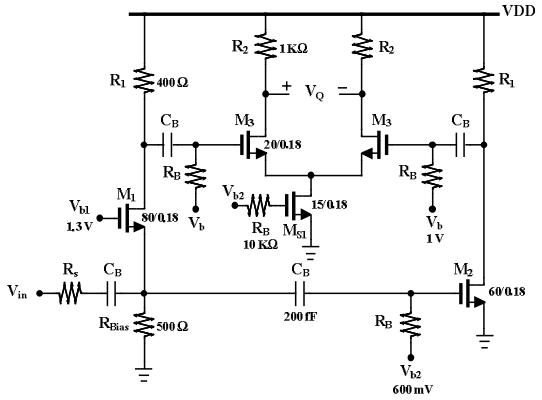
$$V_{CM} = \frac{V_1 + V_2}{2} \qquad (۱۷)$$

که V_{id} و V_{CM} به ترتیب ورودی مد تفاضلی و مد مشترک طبقه دوم (طبقه تفاضلی) هستند. در این حالت خروجی‌های طبقه تفاضلی به‌صورت روابط (۱۸) و (۱۹) خواهند بود.

$$V_{o1} = A_C V_{CM} + A_d \frac{V_{id}}{2} \qquad (۱۸)$$

$$V_{o2} = A_C V_{CM} - A_d \frac{V_{id}}{2} \qquad (۱۹)$$

که A_d بهره مد تفاضلی و A_C بهره مد مشترک طبقه تفاضلی هستند. با توجه به خروجی‌های طبقه دوم مشخص است که هرچقدر بهره مد مشترک A_C کوچک‌تر باشد یا به عبارتی میزان حذف سیگنال مد مشترک بزرگ‌تر باشد، سیگنال تفاضلی خروجی با دقت بیشتری به دست می‌آید.



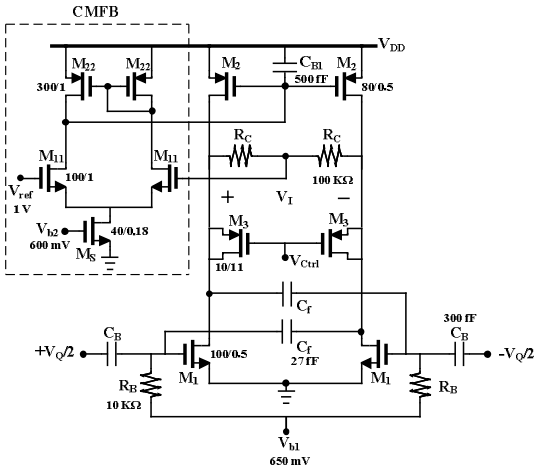
شکل ۸: مدار پیشنهادی دو طبقه بالون فعال

در طبقه اول ترانزیستور M_1 وظیفه تطبیق امپدانس ورودی به امپدانس آنتن را بر عهده دارد. امپدانس ورودی ۵۰ اهم است. برای دستیابی به تطبیق امپدانس ورودی مناسب، سعی شده است سایز ترانزیستورهای M_1 و M_2 تا حد امکان پایین باشند تا خازن‌های پارازیت، تطبیق امپدانس ورودی را در باند فرکانسی موردنظر تحت تأثیر قرار ندهند. شرط تطبیق امپدانس در ورودی به‌صورت رابطه (۲۰) است.

$$R_S = \left(\frac{R_{Bias}}{1 + g_{m1} R_{Bias}} \right) \qquad (۲۰)$$

۳-۲- انتگرال‌گیر

دومین بلوک از شکل ۶، مدار انتگرال‌گیر G_m است. وظیفه این مدار انتگرال گیری از سیگنال ورودی است تاسیگنال تفاضلی ورودی را به سیگنال تفاضلی خروجی با شیفت فاز ۹۰ درجه نسبت به ورودی تبدیل نماید. مدار انتگرال‌گیر برای انتگرال‌گیری از سیگنال ورودی باید یک قطب بسیار فرکانس پایین داشته باشد که در این مقاله فرکانس قطب انتگرال‌گیر ۱۰۰ مرتبه کمتر از فرکانس کاری (باندS) در نظر گرفته شده است. برای دستیابی به قطب فرکانس پایین، گره خروجی مدار باید امپدانس بزرگی داشته باشد بنابراین طول ترانزیستورهای خروجی بزرگ انتخاب شده است. برای پیاده‌سازی این طبقه از ساختار شکل ۹ استفاده شده است، که سایز عناصر مدار روی شکل نشان داده شده است.



شکل ۹: مدار انتگرال‌گیر

در این ساختار، برای تعیین ولتاژ DC خروجی از یک مدار فیدبک مد-مشترک استفاده شده است تا ولتاژ DC خروجی دارای مقدار ثابت V_{ref} باشد که در این طراحی V_{ref} برابر یک ولت در نظر گرفته شده است. R_C به‌اندازه کافی بزرگ است و C_f نیز برای حذف اثر C_{gd} (خازن گیت-درین) اضافه شده است. تابع تبدیل مدار انتگرال‌گیر در رابطه (۲۱) آورده شده است.

$$V_I(S) = -r_{ds} g_{m1} \left[\frac{1 - \frac{(C_{gd1} - C_f)S}{g_{m1}}}{1 + r_{ds}(C_{gd1} + C_f + C)S} \right] V_Q(S) \qquad (۲۱)$$

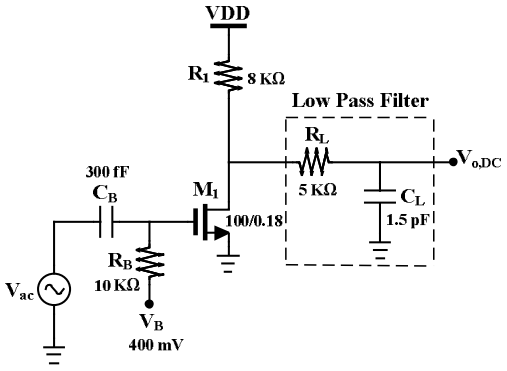
که $r_{ds} = \frac{r_{o1}.r_{o2}}{r_{o1} + r_{o2}}$ ، r_{o1} و r_{o2} مقاومت خروجی ناشی از ترانزیستورهای M_1 و M_2 هستند، g_{m1} ترارسانایی ترانزیستور M_1 و C خازن ناشی از هرکدام از ترانزیستورهای M_3 است. اگر C_f با C_{gd} یکسان باشد، در این حالت تابع تبدیل به‌صورت رابطه (۲۲) خواهد شد.

$$V_I(S) = -r_{ds} g_{m1} \left[\frac{1}{1 + r_{ds}(2C_f + C)S} \right] V_Q(S) \qquad (۲۲)$$

اکنون تابع تبدیل مدار تنها یک قطب دارد و می‌تواند عمل انتگرال‌گیری را انجام دهد.

۳-۳- آشکارساز توان

آشکارساز توان استفاده‌شده در این مقاله، یک طبقه سورس مشترک است که در کلاس B بایاس شده است، که مانند یکسوکننده عمل می کند و در خروجی آن، یک فیلتر پایین‌گذر برای حذف مؤلفه‌های فرکانس بالا بکار گرفته شده است. درواقع این مدار عمل یک‌سوسازی سیگنال ورودی را انجام می‌دهد و درنتیجه ولتاژ DC خروجی بسته به دامنه سیگنال ورودی تغییر می‌کند. محاسباتی که در ادامه آورده شده است، این عملکرد را به‌طور کمی نشان می‌دهد. شکل ۱۰ مدار آشکارساز توان را نشان می‌دهد.



شکل ۱۰: مدار آشکارساز توان

فرض می‌کنیم جریان ترانزیستور M_1 از رابطه مرتبه دوم تبعیت می‌کند و از اثر مدولاسیون طول کانال هم صرف‌نظر کنیم، در این صورت جریان ترانزیستور به‌صورت رابطه (۲۳) خواهد بود.

$$I_{D1}=\frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_1\left(V_{GS1}-V_{TH1}\right)^2 \qquad (۲۳)$$

که μ_n موبیلیتی الکترون، C_{ox} خازن گیت بر واحد سطح، W عرض و L طول کانال و V_{TH1} ولتاژ آستانه ترانزیستور M_1 است. با توجه به شکل ۱۰، $v_{GS1}=V_B+v_{ac}$ که V_B ولتاژ بایاس و v_{ac} سیگنال ورودی است که برابر است با $v_{ac}=A\cos(\omega t)$ که A دامنه و ω فرکانس سیگنال ورودی است. با جایگذاری در رابطه (۲۳) و پس از بسط، مقدار جریان ترانزیستور به‌صورت رابطه (۲۴) خواهد بود.

$$I_{D1}=\frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_1 \cdot\left[\begin{array}{l}\left(V_{B1}-V_{TH1}\right)^2+2\left(V_{B1}-V_{TH1}\right).A\cos(\omega t)\\+\frac{A^2}{2}\left(1+\cos(2\omega t)\right)\end{array}\right] \qquad (۲۴)$$

جمله اول رابطه (۲۴) نشان‌دهنده جریان بایاس ترانزیستور در غیاب سیگنال است. همان‌طور که مشاهده می‌شود جمله آخر نیز یک مؤلفه DC دارد که وابسته به توان سیگنال ورودی است؛ بنابراین جریان بایاس ترانزیستور بسته به توان سیگنال ورودی عوض می‌شود. درنهایت با اعمال فیلتر پایین‌گذر، ولتاژ DC خروجی به‌صورت رابطه (۲۵) خواهد بود.

$$V_{o,DC}=V_{DD}-\frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_1 R_1 \cdot\left[\left(V_{B1}-V_{TH1}\right)^2+\frac{A^2}{2}\right] \qquad (۲۵)$$

که ولتاژ DC خروجی آشکارساز توان وابسته به توان سیگنال ورودی است و با تغییر دامنه سیگنال ورودی، ولتاژ خروجی تغییر می‌کند. فرکانس گوشه فیلتر پایین گذر باید به‌اندازه کافی پایین باشد تا بتواند مؤلفه‌های فرکانسی موجود در جریان خروجی را به مقدار کافی تضعیف کند.

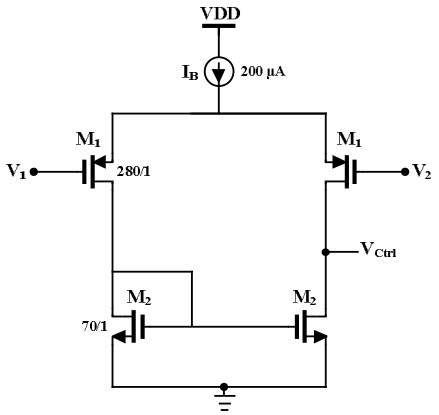
۳-۴- تقویت‌کننده

همان‌طور که از رابطه (۱۵) مشخص است، برای کاهش خطای دامنه سیگنال‌های متعامد لازم است که بهره تقویت‌کننده زیاد باشد. برای تقویت سیگنال‌های خروجی آشکارساز توان، بهره فرکانس پایین تقویت‌کننده مهم است. از طرفی رفتار فرکانس بالای تقویت‌کننده برای این منظور اهمیتی ندارد چراکه سیگنال‌های ورودی به تقویت‌کننده، از فیلتر پایین‌گذر عبور می‌کنند و محتوای هارمونیکی پایینی دارند. از طرفی برای این‌که حلقه تشکیل‌شده از تقویت‌کننده، آشکارساز توان و انتگرال‌گیر، پایدار باشد لازم است که تقویت‌کننده در یک طبقه پیاده‌سازی شود. در عین حال دستیابی به بهره بالا در یک طبقه با تکنولوژی CMOS کار مشکلی است. برای این منظور باید طول کانال ترانزیستورها مقادیر بزرگی داشته باشند تا بهره موردنظر حاصل شود. بهایی که در قبال این پرداخت می‌شود افزایش مساحت تراشه و درنتیجه قیمت آن است.

در شکل ۱۱ مدار تقویت‌کننده نشان داده شده است [۱۴]. نکته دیگر در طراحی تقویت‌کننده، باید ولتاژ DC خروجی تقویت‌کننده در رابطه (۱۴) صدق کند تا بتوان از ماکزیمم تغییرات خازن متغیر با تغییر ولتاژ کنترلی استفاده کرد. بهره تقویت‌کننده در رابطه (۲۵) آورده شده است.

$$\frac{V_{Ctrl}}{V_1-V_2}=g_{m1}\left(\frac{r_{o1}\times r_{o2}}{r_{o1}+r_{o2}}\right) \qquad (۲۶)$$

که g_m ترارسانایی و r_o مقاومت خروجی ترانزیستور است.

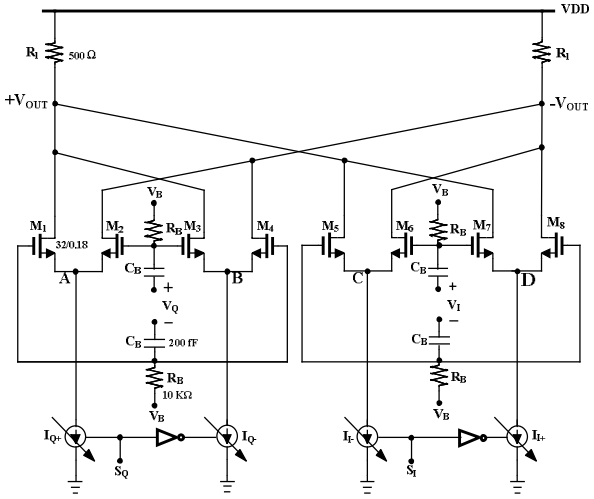


شکل ۱۱: مدار تقویت‌کننده [۱۴]

۳-۵- جمع‌کننده

این طبقه از سه بلوک تعیین علامت، تقویت‌کننده و بلوک جمع‌کننده تشکیل شده است. وظیفه بلوک تعیین علامت، انتخاب یکی از چهار ربع

صفحه مختصات است که توسط مدارهای دیجیتالی کنترل می‌شوند. بلوک بعدی تقویت‌کننده‌هایی با بهره متغیر هستند تا برای شیفت فازهای مختلف در خروجی، بهره‌های متفاوتی تولید کنند که وجود آن‌ها به همراه جمع‌کننده سبب ایجاد تغییر فاز دلخواه می‌گردد.ساختار نهایی تلفیق شده این سه بلوک به عنواه جمع کننده در شکل ۱۲ آورده شده است [۱۱-۹].



شکل ۱۲: مدار تعیین علامت، تقویت‌کننده و جمع‌کننده [۱۱-۹]

در این مدار ترانزیستورهای M_1-M_8 هم سایز هستند.بسته به این‌که میزان تغییر فاز دلخواه در کدام ربع از صفحه مختصات قرار دارد، همواره چهار ترانزیستور روشن بوده و بقیه خاموش هستند. برای خاموش کردن ترانزیستورها، کافی است جریان بایاس مربوط به هر دو ترانزیستور در زوج تفاضلی صفر شود که این کار توسط مدارهای دیجیتالی انجام می‌شود. تنها نکته‌ای که باقی مانده است، این است که چگونه می‌توان تقویت‌کننده‌ای با بهره متغیر ساخت؟ همان‌طور که می‌دانیم ترارسانایی ترانزیستورهای ماسفت در ناحیه اشباع با جریان بایاس رابطه دارد. پس با تغییر جریان بایاس ، می‌توان بهره تقویت‌کننده را تغییر داد. برای به دست آوردن تغییر فاز در این روش، بایستی فازور جریان خروجی جمع‌کننده را به دست آورد. این جریان برحسب جریان‌های I_Q و I_I که به ترتیب جریان‌های بایاس دم ترانزیستورهای $M_{1,2}$ ($M_{3,4}$) و $M_{5,6}$ ($M_{7,8}$) می‌باشند، به‌صورت رابطه (۲۷) است.

$$i_{OUT} = i_{M_{1,2}(M_{3,4})} + i_{M_{5,6}(M_{7,8})} = g_{m_{M_{1,2}(M_{3,4})}} V_Q + g_{m_{M_{5,6}(M_{7,8})}} V_I \quad (۲۷)$$

که g_m ترارسانایی هرکدام از ترانزیستورها است. لذا ولتاژ خروجی به‌صورت رابطه (۲۸) خواهد بود.

$$V_{OUT} = R_1 . i_{OUT} = R_1 \left(g_{m_{M_{1,2}(M_{3,4})}} V_Q + g_{m_{M_{5,6}(M_{7,8})}} V_I \right) \quad (۲۸)$$

چون سایز هر هشت ترانزیستور یکسان است، پس ولتاژ خروجی به‌صورت رابطه (۲۹) خواهد بود.

$$V_{OUT} = R_1 . \sqrt{\mu_n C_{ox} \left(\frac{W}{L}\right)_1} \left(\sqrt{I_Q} V_Q + \sqrt{I_I} V_I \right) \quad (۲۹)$$

از طرفی چون در حالت ایده‌آل $V_Q = V_I$ است، پس درنهایت ولتاژ خروجی به‌صورت رابطه (۳۰) خواهد بود.

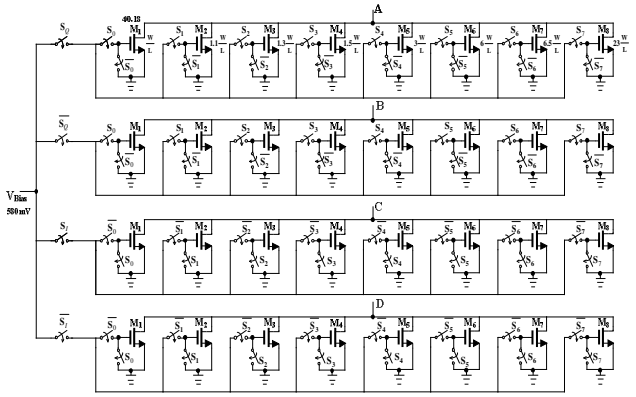
$$V_{OUT} = R_1 . \sqrt{\mu_n C_{ox} \left(\frac{W}{L}\right)_1} . V_Q \left(\sqrt{I_Q + I_I} \right) \quad (۳۰)$$

برای ثابت نگه‌داشتن اندازه ولتاژ خروجی به ازای حالت‌های مختلف تغییر فاز بایستی مقدار $I_Q + I_I$ ثابت بماند. در این طراحی این مقدار برابر ۲/۲ mA انتخاب شده است. درنهایت فاز خروجی به‌صورت رابطه (۳۱) خواهد بود.

$$\theta_{OUT} = \tan^{-1} \left(\sqrt{\frac{I_I}{I_Q}} \right) \quad (۳۱)$$

پس با تغییر نسبت $\frac{I_I}{I_Q}$ می‌توان شیفت فاز دلخواه را ایجاد کرد.

در این مقاله از روش دیجیتال برای تغییر نسبت جریان‌های بایاس استفاده شده است. شکل ۱۳ نحوه پیاده‌سازی مداری این روش را نشان می‌دهد.



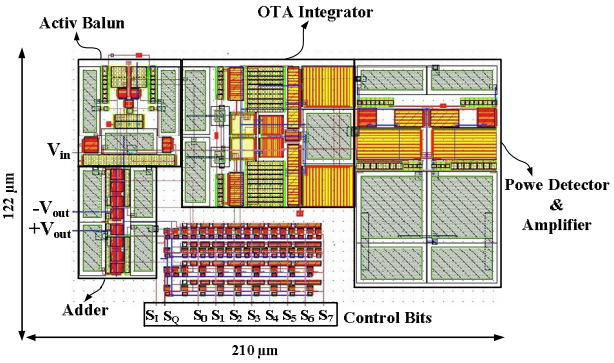
شکل ۱۳: مدار تأمین‌کننده جریان بایاس جمع‌کننده

با توجه به این‌که تغییردهنده فاز شش بیتی است، بنابراین گام‌های تغییر فاز ۵/۶۲۵ درجه است و سایز ترانزیستورها باید طوری انتخاب شوند که بتوان جریان‌هایی با گام‌هایی به‌اندازه کافی کوچک تولید کرد. سوئیچ‌های S_Q و S_I وظیفه تعیین علامت را بر عهده دارند و بقیه سوئیچ‌ها برای تغییر جریان بایاس و تغییر بهره جمع‌کننده بکار گرفته‌شده‌اند.

۴- نتایج شبیه‌سازی

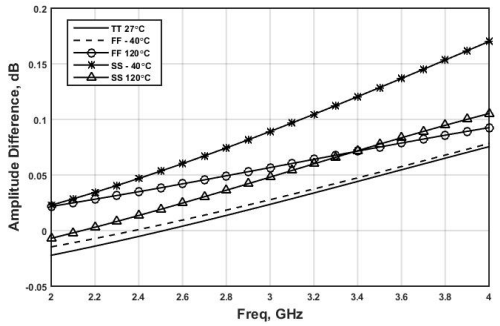
ساختار پیشنهادی پهن باند شیفت دهنده فاز با دقت شش بیت با استفاده از تکنولوژی TSMC 0.18 µm CMOS و با ابزار شبیه‌سازی Cadence طراحی، جانمایی و شبیه سازی شده است. کل جریان مصرفی مدار ۹/۲۸ میلی‌آمپر از منبع تغذیه ۱/۸ ولت است. در شکل ۱۴ جانمایی تغییردهنده فاز پیشنهادی آورده شده است. مساحت تراشه به علت

استفاده از مدارهای فعال و عدم استفاده از سلف کاهش پیدا کرده است. کل مساحت تراشه بدون در نظر گرفتن پدها، برابر ۰/۰۲۵۶ mm^2 است.

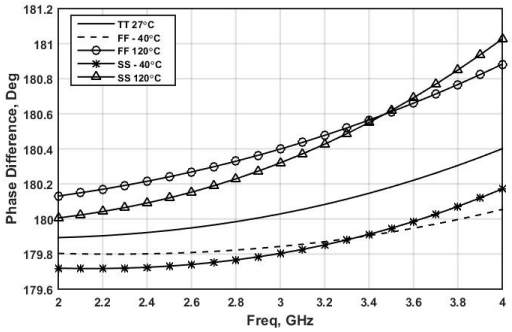


شکل ۱۴: جانمایی تغییردهنده فاز پیشنهادی

نتایج شبیه سازی پس از جانمایی مدار در ادامه ذکر و بررسی خواهند شد. شکل ۱۵ اختلاف دامنه و شکل ۱۶ اختلاف فاز خروجی‌های مدار بالون فعال را نشان می‌دهند. این شبیه‌سازی‌ها در گوشه‌های مختلف پروسه و دماهای مختلف در پهنای باند دو تا چهار گیگاهرتز انجام شده است. با توجه به نتایج شبیه‌سازی اختلاف دامنه و فاز خروجی‌های بالون، مشخص است که این ساختار عملکرد بهتری نسبت به ساختار ارائه‌شده در [۱۲] دارد. برای اطمینان از صحت عملکرد تغییردهنده فاز، ابتدا ولتاژ کنترلی مشخص‌شده در مدار انتگرال‌گیراز فرکانس دو گیگاهرتز تا چهار گیگاهرتز جاروب شده است تایک ولتاژ کنترلی مطلوب به دست بیاید که به ازای این ولتاژهای کنترلی در هر فرکانس از سیگنال ورودی، اختلاف دامنه سیگنال ورودی و خروجی انتگرال‌گیر دقیقاً برابر صفر است.

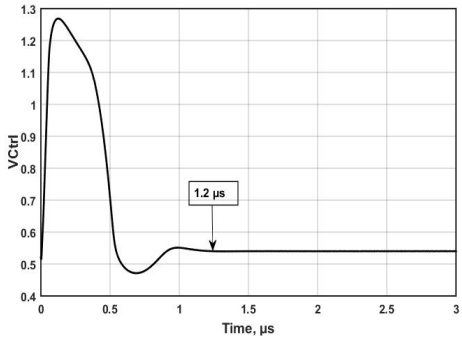


شکل ۱۵: اختلاف دامنه خروجی‌های مدار بالون فعال در پروسه‌های مختلف

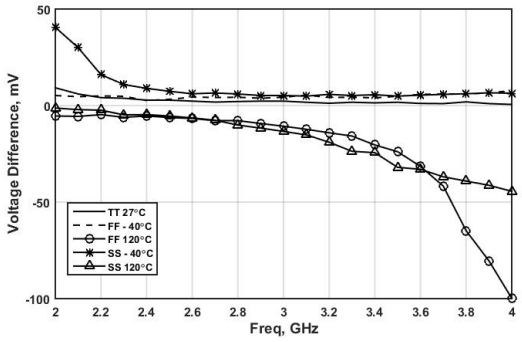


شکل ۱۶: اختلاف‌فاز خروجی‌های مدار بالون فعال در پروسه‌های مختلف

در قدم دوم باید ولتاژهای کنترلی تولیدشده توسط حلقه پس‌خور به ازای هر فرکانس از سیگنال ورودی، با ولتاژهای کنترلی جاروب‌شده مقایسه شود. مشخص است که در هر فرکانس از سیگنال ورودی، هرچقدر اختلاف دو ولتاژ کنترلی بیشتر باشد، اختلاف دامنه سیگنال ورودی و خروجی انتگرال‌گیر بیشتر خواهد بود و لذا خطای فاز مؤثر افزایش پیدا خواهد کرد. در شکل ۱۷ زمان Settling برای تولید ولتاژ کنترلی توسط حلقه پس‌خور به ازای فرکانس ورودی ۳ گیگا هرتز در گوشه TT و دمای ۲۷ درجه سلسیوس آورده شده است. با توجه به شکل ۱۷ مشخص است که زمان Settling Time برای تولید ولتاژ کنترلی برابر ۱/۲ µs است. در نهایت در شکل ۱۸ اختلاف ولتاژهای کنترلی جاروب شده برای انتگرال‌گیر و ولتاژهای کنترلی تولیدشده توسط حلقه پس‌خور در کل پهنای باند آورده شده است.



شکل ۱۷: زمان Settling Time برای تولید ولتاژ کنترلی توسط حلقه پس‌خور در گوشه TT و دمای ۲۷ درجه سلسیوس

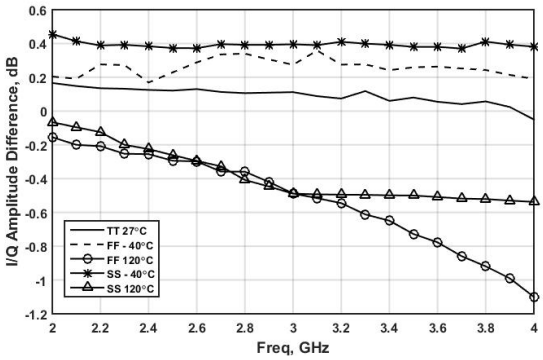


شکل ۱۸: اختلاف ولتاژهای کنترلی جاروب شده و تولیدشده توسط حلقه پس‌خور

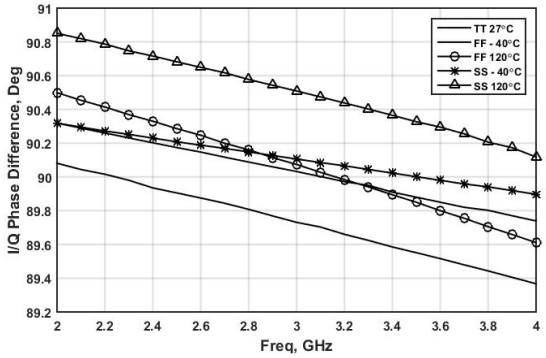
با توجه به شکل ۱۸ مشخص است که بدترین حالت مربوط به گوشه FF 120°C است که اختلاف ولتاژهای کنترلی جاروب‌شده برای انتگرال‌گیر و تولیدشده توسط پس‌خور، بیشترین اختلاف را دارند که همین عامل باعث افزایش اختلاف دامنه سیگنال‌های ورودی و خروجی انتگرال‌گیر می‌شود. در شکل ۱۹ و ۲۰ اختلاف دامنه و فاز سیگنال‌های متعامد ورودی و خروجی انتگرال‌گیر به ازای ولتاژهای کنترلی تولیدشده توسط حلقه پس‌خور، آورده شده اند.

شکل ۲۱ تغییر فازهای خروجی را در گوشه TT و دمای ۲۷ درجه سلسیوس نشان می‌دهد که برای یک تغییردهنده فاز شش بیتی ۶۴ فاز خروجی وجود خواهد داشت.

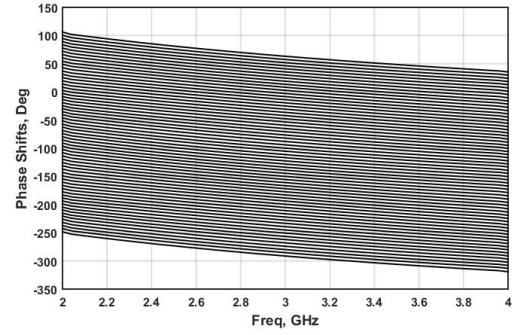
با استفاده از شکل ۲۱ و رابطه (۷)، مقدار خطای فاز مؤثر قابل‌محاسبه است. در شکل ۲۲ نمودار خطای فاز مؤثر برای دو شیفت دهنده فاز متداول و ساختار پیشنهادی در گوشه TT و دمای اتاق رسم شده است. سیستم اولیه مربوط به حالت بدون استفاده از پس‌خور (شکل ۱) و سیستم پیشنهادی مربوط به حالت با استفاده از پس‌خور (شکل ۶) است.



شکل ۱۹: اختلاف دامنه سیگنال‌های متعامد به ازای ولتاژهای کنترلی تولیدشده توسط حلقه پس‌خور



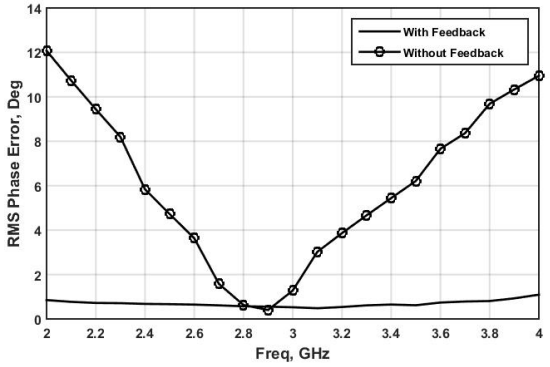
شکل ۲۰: اختلاف فاز سیگنال‌های متعامد به ازای ولتاژهای کنترلی تولیدشده توسط حلقه پس‌خور



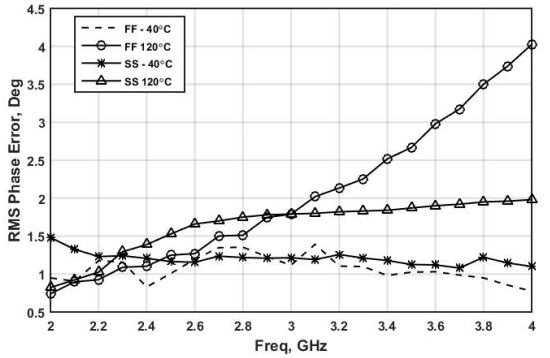
شکل ۲۱: ۶۴ حالت تغییر فاز در گوشه TT و دمای ۲۷ درجه سلسیوس

با توجه به شکل ۲۲ خطای فاز مؤثر شیفت دهنده فاز پیشنهادی نسبت به ساختار متداول جمع برداری بیش از ۱۱ درجه برای باند فرکانسی S کاهش یافته است.

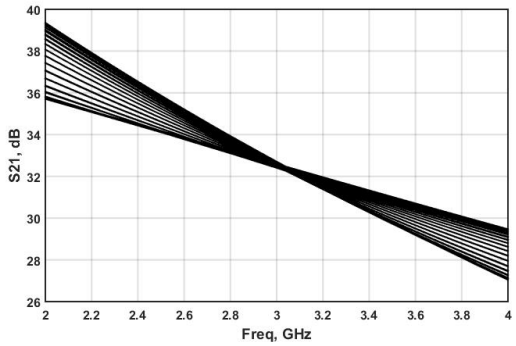
در شکل ۲۳، خطای فاز مؤثر سیستم پیشنهادی برای گوشه‌های مختلف پروسه و دماهای مختلف آورده شده است. بدترین خطای فاز مؤثر مربوط به گوشه FF 120°C است که بیشترین خطای فاز مؤثر در فرکانس چهار گیگاهرتز است که دارای مقدار ۴/۰۲ درجه است. در شکل ۲۴ نمودار بهره مدار تغییردهنده فاز در ۶۴ حالت تغییر فاز در گوشه TT و دمای ۲۷ درجه سلسیوس نشان داده شده است.



شکل ۲۲: خطای فاز مؤثر



شکل ۲۳: خطای فاز مؤثر در پروسه‌های مختلف



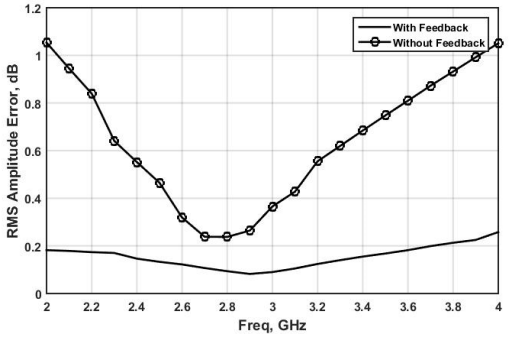
شکل ۲۴: بهره مدار تغییردهنده فاز در ۶۴ حالت تغییر فاز در گوشه TT و دمای ۲۷ درجه سلسیوس

مشخصه دیگری که برای تغییردهنده‌های فاز می‌توان تعریف کرد خطای دامنه مؤثر است که از رابطه (۳۲) به دست می‌آید.

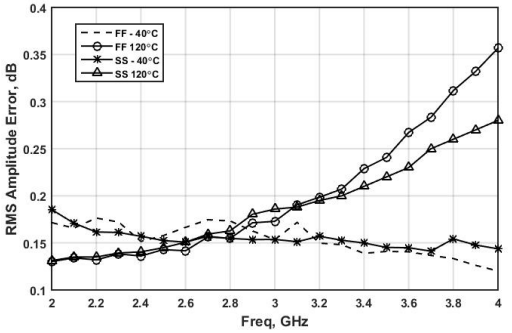
$$RMS\ Amplitude\ Error = \sqrt{\frac{1}{N}\sum_{i=1}^{N}\left(A_i - A_{avg}\right)^2} \qquad (۳۲)$$

در این رابطه A_i، بهره مدار در حالت i ام و A_{avg} میانگین بهره مدار در کلیه حالت‌های تغییر فاز است. با استفاده از شکل ۲۴ و رابطه (۳۲)، مقدار خطای دامنه مؤثر قابل‌محاسبه است. در شکل ۲۵ نمودار خطای دامنه مؤثر برای دو سیستم متداول و پیشنهادی در گوشه TT و دمای ۲۷ درجه سلسیوس رسم شده است.

در شکل ۲۶، خطای دامنه مؤثر سیستم پیشنهادی برای گوشه‌های مختلف پروسه و دماهای مختلف شبیه‌سازی شده‌اند. بدترین خطای دامنه مؤثر مربوط به گوشه FF 120°C است که بیشترین خطای دامنه مؤثر در فرکانس چهار گیگاهرتز است که دارای مقدار ۰/۳۵ dB است.

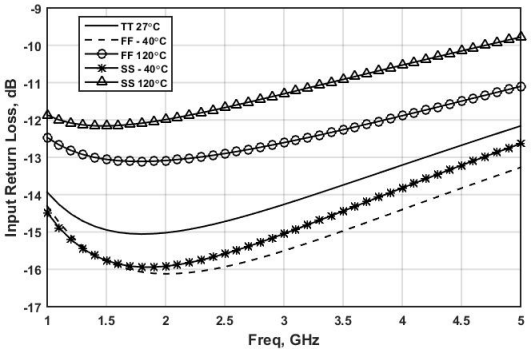


شکل ۲۵: خطای دامنه مؤثر



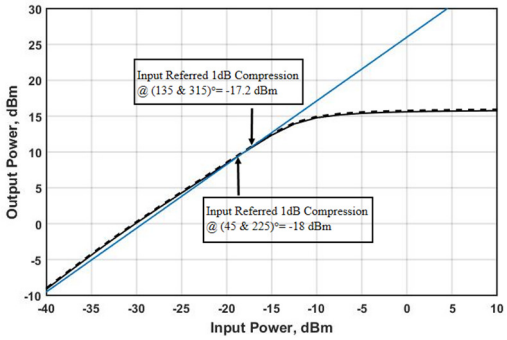
شکل ۲۶: خطای دامنه مؤثر در پروسه‌های مختلف

در شکل ۲۷ نمودار تطبیق امپدانس در ورودی تغییردهنده فاز به ازای شیفت فاز ۴۵ درجه در گوشه‌های مختلف و دماهای مختلف آورده شده است که بدترین حالت مربوط به گوشه SS 120°C است.



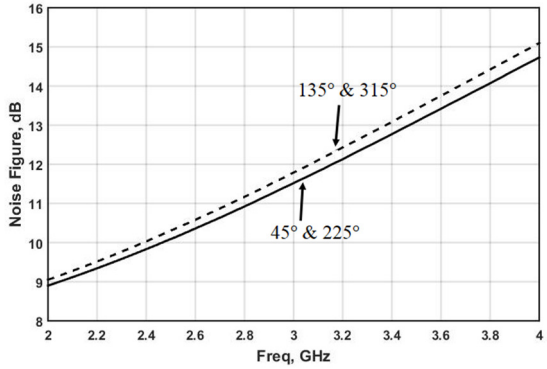
شکل ۲۷: تطبیق امپدانس در ورودی به ازای شیفت فاز ۴۵ درجه در پروسه‌های مختلف

شکل ۲۸ نمودار نقطه فشردگی در ورودی تغییردهنده فاز به ازای شیفت فازهای مختلف در گوشه TT و دمای ۲۷ درجه سلسیوس نشان می‌دهد.



شکل ۲۸: نقطه فشردگی در ورودی به ازای شیفت فازهای مختلف

در شکل ۲۹ نمودار Noise Figure تغییردهنده فاز به ازای شیفت فازهای مختلف در گوشه TT و دمای ۲۷ درجه سلسیوس آورده شده است.



شکل ۲۹: نمودار Noise Figure بر حسب فرکانس در شیفت فازهای مختلف

در جدول ۱، عملکرد ساختار پیشنهادی با کارهای مشابه در گوشه TT و دمای ۲۷ درجه سلسیوس مقایسه شده است. با توجه به جدول ۱، مشخص است که ساختار پیشنهادی در باند فرکانسی مربوطه خطای فاز مؤثر و خطای دامنه مؤثر قابل قبولی دارد و به دلیل عدم استفاده از سلف مساحت تراشه به‌شدت کاهش یافته است. به علت اینکه باند فرکانسی کارهای مختلف متفاوت است، بنابراین برای مقایسه بهتر از ضریب شایستگی استفاده شده است که در رابطه (۳۳) آورده شده است [۱۱]. هرچقدر ضریب شایستگی کمتر باشد نشان‌دهنده عملکرد بهتر تغییردهنده فاز است که ساختار پیشنهادی ضریب شایستگی کمتری نسبت به ساختارهای مشابه دیگر دارد.

$$FOM = \frac{f_{\max} + f_{\min}}{2\left(f_{\max} - f_{\min}\right)} RMS\ Phase\ Error \qquad (۳۳)$$

جدول ۱: مقایسه ساختار پیشنهادی با سایر کارهای مشابه

مراجع	This Work**	[۹]*	[۱۱]*	[۱۲]*	[۱۵]*	[۱۶]*	[۱۷]*
method	Vector sum	Vector sum	Vector sum	Vector sum	Vector sum	Switched network	Vector sum
Frequencies (GHz)	۲–۴	۱۵–۲۶	۲/۳–۴/۸	۲–۳	۲/۲–۳/۲	۲/۵-۳/۲	۸–۱۲
Phase Range (Deg)	۳۶۰	۳۶۰	۳۶۰	۳۶۰	۳۶۰	۳۶۰	۳۶۰
RMS Phase Error (Deg)	۱/۰۹۲	۱۳	۱/۴	<۵	<۴/۵	۲	<۶/۴
RMS Amplitude Error (dB)	۰/۲۵	۲/۱	۱/۱	–	–	–	<۲
Power (mW)	۱۶/۷	۱۱/۷	–	۲۴	۹۵/۴	۶۰	۱۱۰
FOM	۱/۶۳۸	۲۴/۲۲	۱/۹۹	<۱۲/۵	<۱۲/۱۵	۸/۱۴	<۱۶
Area (mm^2)	۰/۰۲۵ (بدون پد)	۰/۱۴۲ (بدون پد)	۰/۶۵۲ (با پد)	۰/۳۸ (با پد)	۶/۰۴ (با پد)	۴/۱۶ (با پد)	۱/۶۵ (بدون پد)
Technology	۰/۱۸ µm CMOS	۰/۱۳ µm CMOS	۰/۱۸ µm CMOS	۰/۱۸ µm CMOS	۰/۱۸ µm CMOS	۰/۱۸ µm CMOS	۰/۲۵ µm BiCMOS

توجه: نتایج پسا جانمایی** نتایج ساخت*

۵- نتیجه

در این مقاله، یک تغییردهنده فاز شش بیتی به روش جمع برداری پیشنهاد شد. برای تولید سیگنال‌های متعامد از یک بالون فعال و یک انتگرال‌گیر استفاده شد. برای این‌که سیگنال‌های متعامد تولیدشده تطابق دامنه بالا و نهایتا دقت بالایی داشته باشند، از یک مسیر پس‌خور استفاده شد تا سیگنال‌های متعامد با خطای دامنه کمتری تولید شوند که باعث افزایش پهنای باند تغییردهنده فاز و کاهش خطای فاز مؤثر شد. بلوک‌های تغییردهنده فاز به نحوی طراحی شده‌اند که بیشترین پهنای باند و کمترین حساسیت را نسبت به تغییرات مشخصه‌های فرآیند ساخت و دمای محیط داشته باشند.

نتایج شبیه‌سازی برای مدار پیشنهادی ارائه شده است که نشان‌دهنده عملکرد مناسب ساختار پیشنهادی است. درنهایت ضریب شایستگی معرفی‌شده نشان‌دهنده بهبود ساختار پیشنهادی نسبت به ساختارهای مشابه است.

مراجع

[1] A. M. Niknejad and H. Hashemi, mm-Wave Silicon Technology, 60GHz and Beyond, Springer, 2008.

[۲] زهرا حبیبی، مرتضی کازرونی، سید حسین محسنی ارمکی و عماد حمیدی، «ارائه یک روش کاربردی جهت کالیبراسیون آنتن‌های آرایه فازی»، مجله مهندسی برق دانشگاه تبریز، دوره ۴۵، شماره ۴، صفحه ۷۹-۸۴، ۱۳۹۴.

[3] A. Katz, J. Wood, and D. Chokola, "The Evolution of PA Linearization: From Classic Feedforward and Feedback Through Analog and Digital Predistortion," IEEE Microw. Mag., vol. 17, no. 2, pp. 32–40, 2016.

[4] M. Cho and J. S. Kenney, "Variable phase shifter design for analog predistortion power amplifier linearization system," 2013 IEEE 14th Annu. Wirel. Microw. Technol. Conf. WAMICON 2013, pp. 1–5, 2013.

[۵] جواد جاویدان و سپیده فاضل، «طراحی تقویت‌کننده توان دوبانده همزمان با سوئیچ فعال در ۰/۹/۲/۴ GHz در پروسه µm RF CMOS ۰/۱۸»، مجله مهندسی برق دانشگاه تبریز، دوره ۴۶، شماره ۴، صفحه ۸۵-۹۴، ۱۳۹۵.

[6] I. Bahl, *Lumped Elements for RF and Microwave Circuits*, vol. 53, no. 9. Artech House Publishing 2013.

[7] "Phase shifter design tutorial," *RF, RFIC Microw.* theory , Des., pp. 1–12.

[8] B. Floydi and A. Hajimiril, "International Solid-State Circits Conference," pp. 202–204, 2007.

[9] K. Kwang-Jin and G. M. Rebeiz, "A 0.13-um CMOS Digital Phase Shifter for K-band Phased Arrays," Radio Freq. Integr. Circuits Symp. 2007 IEEE, no. 2, pp. 383–386, 2007.

[10] K. J. Koh and G. M. Rebeiz, "0.13-µm CMOS phase shifters for X-, Ku-, and K-band phased arrays," IEEE J. Solid-State Circuits, vol. 42, no. 11, pp. 2535–2546, 2007.

[11] A. Asoodeh and M. Atarodi, "A full 360° vector-sum phase shifter with very low rms phase error over a wide bandwidth," IEEE Trans. Microw. Theory Tech., vol. 60, no. 6 PART 1, pp. 1626–1634, 2012.

[12] You Zheng and C. E. Saavedra, "Full 360 Vector-Sum Phase-Shifter for Microwave System Applications," IEEE Trans. Circuits Syst. I Regul. Pap., vol. 57, no. 4, pp. 752–758, 2010.

[13] B.Razavi, *RF microelectronics*, Second Edi. New York, 2011.

[14] B.Razavi, *Design Of Analog CMOS Integrated Circuit*. 2001.

[15] E. V. Balashov and I. A. Rumyancev, "A fully integrated 6-bit vector-sum phase shifter in 0.18 um CMOS," 2015 Int. Sib. Conf. Control Commun. SIBCON 2015 - Proc., 2015.

[16] M. Meghdadi, M. Azizi, M. Kiani, A. Medi, and M. Atarodi, "A 6-Bit CMOS phase shifter for S - Band," IEEE Trans. Microw. Theory Tech., vol. 58, no. 12 PART 1, pp. 3519–3526, 2010.

[17] B. Cetindogan, E. Ozeren, B. Ustundag, M. Kaynak, and Y. Gurbuz, "A 6 Bit Vector-Sum phase shifter with a decoder based control circuit for X-band phased-arrays," IEEE Microw. Wirel. Components Lett., vol. 26, no. 1, pp. 64–66, 2016.