

# انسداد میدان الکتریکی جانبی از نواحی درین و سورس جهت بهبود اثرات کانال کوتاه در افزاره Nano-SOI

محمد کاظم انوری فرد<sup>۱</sup>، استادیار

دانشکده فنی و مهندسی شرق گیلان - دانشگاه گیلان - رودسر - واجارگاه - ایران - m.anvarifard@guilan.ac.ir

**چکیده:** در این مقاله روش جدیدی برای بهبود اثرات کانال کوتاه بدون پیچیدگی در فرآیند ساخت افزاره‌های سیلیسیم روی عایق در مقیاس نانو ارائه شده است. فکر اساسی در این مقاله تحقق اکسید U شکل با استفاده از ماده  $\text{Si}_3\text{N}_4$  در داخل اکسید مدفون و ناحیه کانال است. مسیر میدان الکتریکی جانبی از سمت درین و سورس پس از برخورد به اکسید تعبیه شده منحرف شده و مقدار کمتری از خطوط میدان الکتریکی توانایی کافی برای عبور از اکسید و رسیدن به ناحیه کانال را پیدا می‌کنند. افزایش رسانش مؤثر حرارتی ساختار پیشنهادی توانایی مضاعفی به ساختار جدید جهت کار در دماهای بالاتر می‌دهد. مقایسه ساختار ارائه شده با افزاره مرسوم نشان می‌دهد که پارامترهای مهمی همچون اثرات کانال کوتاه، دمای شبکه، میدان الکتریکی، تحرک پذیری الکترون، کندوکتانس درین و جریان نشستی به‌طور مؤثری بهبود یافته است که نمایانگر برتری ساختار پیشنهادی است. ساختارهای تحت مطالعه در این مقاله با استفاده از نرم‌افزار ATLAS که خود یکی از محصولات تجاری SILVACO است شبیه‌سازی شده است.

**واژه‌های کلیدی:** مقیاس نانو، نیتراید سیلیسیم، اثرات کانال کوتاه، میدان الکتریکی.

## Blockage of Lateral Electric Field from Source/Drain Regions to Improve Short Channel Effects in Nano-SOI device

M. K. Anvarifard, Assistant Professor

Faculty of Technology and Engineering, East of Guilan, University of Guilan, Rudsar- Vajargah, Iran, Email: m.anvarifard@guilan.ac.ir

**Abstract:** This paper has presented a new method for the improvement of short channel effects with no complexity in the fabrication flow of Nanoscale silicon-on-insulator (SOI) devices. The basic idea in this paper is realization of a U-shaped oxide using  $\text{Si}_3\text{N}_4$  material inside the buried oxide and channel region. The lateral electric field lines path from source/drain deviates after meeting with the embedded oxide. As a result, less electric field lines will get the ability to go through the oxide and to reach the channel region. A double ability is caused by increase in effective thermal conduction of the proposed structure in high temperature applications. A comparison between the proposed structure and conventional structure shows that the important parameters such as short channel effects, lattice temperature, electric field, electron mobility and drain conductance have been effectively improved promising the superiority of the proposed device. The structures under study in this paper have been simulated by ATLAS simulator which is one of the commercial products of SILVACO family.

**Keywords:** Nanoscale,  $\text{Si}_3\text{N}_4$ , short channel effects, electric field.

تاریخ ارسال مقاله: ۱۳۹۵/۱۱/۲۳

تاریخ اصلاح مقاله: ۱۳۹۶/۰۲/۱۰

تاریخ پذیرش مقاله: ۱۳۹۶/۰۷/۰۴

نام نویسنده مسئول: محمد کاظم انوری فرد

نشانی نویسنده مسئول: ایران - رشت - دانشگاه گیلان - دانشکده فنی و مهندسی شرق گیلان

## ۱- مقدمه

پیچیدگی‌های ساخت ساختار ارائه شده در [۱۳] بسیار بیشتر از ساختار ارائه شده در مقاله حاضر است.

در مطالعه‌های دیگر ساختار دوگیتی نوینی با پنجره اکسید درین به منظور کاربرد در تکنولوژی نانو ارائه شده است [۱۴]. ساختار پیشنهادی که به OW-DG SOI معروف است باعث کاهش جریان نشتی می‌شود. قرار دادن اکسید در داخل ناحیه اکسید باعث ایجاد پیک‌های اضافی در داخل ناحیه کانال شده که منجر به بهبود اثرات کانال کوتاه می‌شود.

استفاده از موادی مانند اکسید هافنیوم و سیلیسیم ژرمانیوم می‌تواند اثرات کانال کوتاه را به مقدار قابل ملاحظه‌ای کاهش دهد [۱۵]. درج اکسید هافنیوم در گوشه بالایی کانال نزدیک درین باعث کاهش پیک میدان الکتریکی بحرانی شده و DIBL بهبود می‌یابد. همچنین ساختار با ایجاد دیود تونلی از جنس سیلیسیم ژرمانیوم در ناحیه سورس، مسیر فرعی برای تخلیه حفره‌های اضافی تولید شده باز می‌کند که منجر به بهبود اثرات بدنه شناور می‌شود.

در این مقاله بر روی دو موضوع مهم یکی اثرات کانال کوتاه و دیگری دمای شبکه به‌طور هم‌زمان تاکید شده است. هدف از نگارش این مقاله پیشنهاد روشی مؤثر جهت بهبود عملکردهای الکتریکی و حرارتی افزاره‌های SOI در مقیاس نانو است. ساختار پیشنهادی شامل یک اکسید اضافی جدید از ماده  $\text{Si}_3\text{N}_4$  است که در داخل افزاره به شکل U شکل گنجانده می‌شود. بخشی از ناحیه کانال و اکسید مدفون توسط این اکسید U شکل اشغال می‌شود. خطوط میدان الکتریکی جانبی نمی‌توانند از سد محکمی که توسط این اکسید ایجاد شده است عبور کرده و به داخل کانال نفوذ کنند. بنابراین اثرات کانال کوتاه به‌طور مؤثری بهبود می‌یابد. همچنین به علت رسانش حرارتی بالای  $\text{Si}_3\text{N}_4$  نسبت به  $\text{SiO}_2$  گرمای تولید شده در شبکه به‌آسانی در کل افزاره توزیع شده و دمای بحرانی کاهش می‌یابد.

در ادامه، مقاله در ۴ بخش مهم سازماندهی شده است. بخش دوم اسکلت ساختار پیشنهادی و پارامترهای مورد نیاز برای شبیه‌سازی آن را به خود اختصاص می‌دهد. بخش بعدی طراحی برای دستیابی به عملکرد بهینه افزاره پیشنهادی را شرح می‌دهد. سپس نتایج شبیه‌سازی و بحث درباره آن‌ها در بخش سوم ارائه شده و با نتیجه‌گیری جامع از کل این کار در بخش نهایی خاتمه می‌یابد.

## ۲- ساختار پیشنهادی

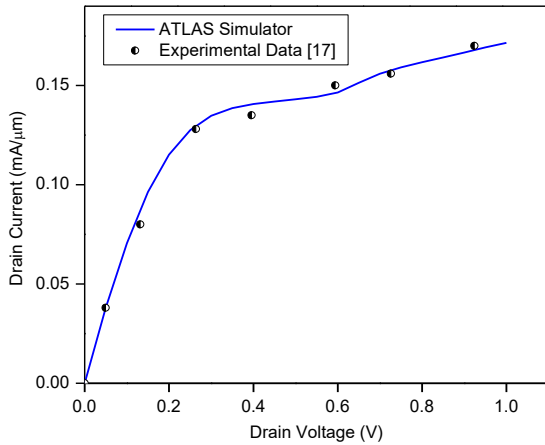
نمایی از ساختار پیشنهادی این مقاله در شکل (۱) نشان داده شده است. همان طوری که در شکل ملاحظه می‌شود ساختار شامل یک اکسید U شکل با ماده  $\text{Si}_3\text{N}_4$  است. اکسید U شکل با سه پارامتر عمق اکسید در داخل اکسید مدفون ( $D_{bo}$ )، طول اکسید در داخل ناحیه کانال ( $L_c$ )، و عمق اکسید در داخل ناحیه کانال ( $D_c$ ) توصیف می‌شود. این پارامترها می‌توانند نقش مهمی در عملکرد الکتریکی افزاره ایفا کنند که در بخش بعدی این موضوع به تفصیل شرح داده می‌شود.

افزاره‌های MOSFET بخش مهمی از مدارات مجتمع امروزی را تشکیل می‌دهند. با این وجود وقتی این افزاره‌ها به سمت مقیاس نانو هدایت می‌شوند اثرات نامطلوبی رخ می‌دهد که قابلیت اعتماد آن‌ها را به شدت کاهش می‌دهد. فناوری سیلیسیم روی عایق (SOI) به علت ایزولاسیون قوی توسط اکسید مدفون، مزایایی را همچون کاهش خازن‌های پارازیتی، مصونیت در برابر جریان قفل‌شدگی و کاهش اثرات کانال کوتاه دارد که باعث شده در حال حاضر تحقیقات زیادی روی آن انجام گیرد و رقیب مهم افزاره‌های MOSFET قلمداد گردد [۸-۱].

مهندسی اختلاف تابع کار به‌عنوان روشی جالب، توزیع پتانسیل پله‌ای شکل در کانال افزاره SOI-MOSFET ایجاد کرده و باعث می‌شود میدان الکتریکی بحرانی به‌طور قابل ملاحظه‌ای کاهش یابد. روش مهندسی تابع کار در بسیاری از افزاره‌های نوین به‌عنوان یک رهگشا برای بهبود اثرات کانال کوتاه در مقیاس نانو معرفی می‌شود [۱۰-۹]. یکی از روش‌های مؤثر دیگر برای کاهش اثرات کانال کوتاه مهندسی اختلاف ولتاژ است. تقسیم کردن گیت به دو تکه و قرار دادن یک منبع تغذیه ثابت بین آن‌ها، باعث شده که توزیع میدان الکتریکی در داخل کانال تغییر کرده و میدان الکتریکی بحرانی کاهش یابد. این روش باعث می‌شود اثرات کانال کوتاه به طرز چشمگیری کاهش یابد [۱۱].

در مطالعه‌ای [۱۲] ساختار نوینی برای بهبود عملکرد الکتریکی افزاره‌های سیلیسیم روی عایق نانومقیاس ارائه شده است. تمامی ناحیه اکسید مدفون زیر کانال و نواحی سمت چپ کانال و انتهای ناحیه سورس با ماده  $\text{Si}_3\text{N}_4$  جایگزین شده است که باعث بهبود اثرات کانال کوتاه می‌شود. در مقاله حاضر سعی شده است تا با دو تغییر مهم در روش به کار گرفته شده در مقاله [۱۲] بهبود عملکرد الکتریکی افزاره تحقیق یابد. یکی از تغییرات اضافه نمودن  $\text{Si}_3\text{N}_4$  در دو سمت راست و چپ کانال بوده و دیگری جایگزینی بخشی از ناحیه اکسید زیر گیت با ماده  $\text{Si}_3\text{N}_4$  است. این عمل باعث می‌شود که توزیع بین گیت و بستر تا حدودی نسبت به ساختار ارائه شده در مقاله [۱۲] کاهش یابد. همچنین اضافه نمودن اکسید اضافی در سمت راست کانال، سدی محکم در برابر نفوذ میدان الکتریکی جانبی ایجاد می‌کند که بسیار مطلوب است.

همچنین در مقاله‌ای دیگر [۱۳] با استفاده از مهندسی اختلاف ولتاژ و ناخالصی و همچنین تغییر در جنس اکسید مدفون عملکرد الکتریکی بهبود یافته است. در ساختار ارائه شده از سه روش مستقل برای بهبود عملکرد الکتریکی استفاده می‌شود که یکی قرار دادن اختلاف ولتاژ بین دو گیت اصلی و جانبی بوده و دیگری توزیع ناخالصی دوزنقه‌ای شکل در جهت عمق کانال است. روش سوم جایگزینی بخشی از اکسید مدفون با  $\text{Si}_3\text{N}_4$  بوده که با بهره‌گیری از روش‌های فوق عملکرد الکتریکی و حرارتی افزاره بهبود می‌یابد. با این وجود

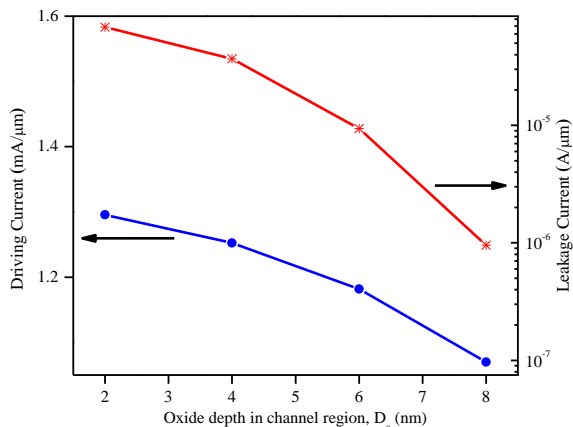


شکل ۲: منحنی کالیبراسیون ATLAS با کار تجربی

برای رسیدن به بهترین عملکرد الکتریکی، بهینه سازی می شوند. باین وجود برای سادگی فرآیند ساخت افزار، مقدار  $D_{bo}$  برابر با نصف ضخامت اکسید مدفون انتخاب می شود. بنابراین ساختارهای زیادی با متغیرهای اساسی  $D_c$  و  $L_c$  شبیه سازی شده و مقادیر بهینه انتخاب می گردند.

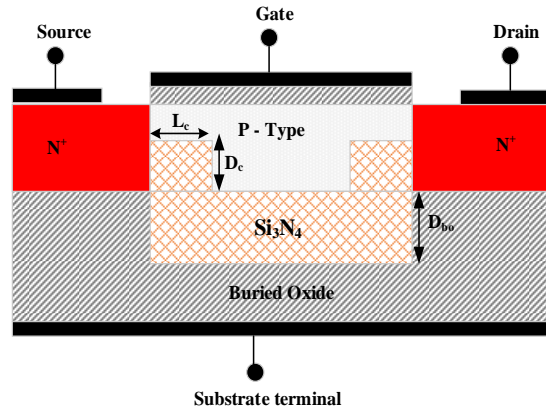
در ابتدا متغیر  $L_c$  برابر با 2nm ثابت نگه داشته می شود و پارامتر  $D_c$  تغییر می کند و متغیرهای مهمی همچون جریان راه انداز، جریان نشتی و کاهش سد پتانسیل تو سطر درین (DIBL) مورد ارزیابی قرار می گیرند.

شکل (۳) منحنی های جریان راه انداز و جریان نشتی را بر حسب  $D_c$  های گوناگون نشان می دهد. برای ارزیابی جریان راه انداز، ولتاژهای کاری گیت و درین برابر با 0.7 V تنظیم شده اند. جریان نشتی برابر با جریان درین در ولتاژ درین 0.7 V و ولتاژ گیت 0 V تعریف می شود. همان طوری که در شکل ملاحظه می شود با افزایش  $D_c$  جریان راه انداز به علت افزایش مقاومت مؤثر کانال کاهش می یابد. همچنین جریان نشتی برای  $D_c$  های بزرگ تر روند کاهشی داشته که به علت افزایش سد پتانسیل ایجاد شده توسط اکسید U شکل است.



شکل ۳: جریان راه انداز و نشتی بر حسب  $D_c$

با این وجود هنوز نمی توان به مقدار بهینه مورد نظر برای پارامتر  $D_c$  دست یافت. بنابراین پارامتر مهم دیگری همچون DIBL مورد ارزیابی



شکل ۱: نمایی از ساختار پیشنهادی

طراحی افزاره در فناوری 22 nm انجام شده است. ضخامت اکسید گیت و لایه سیلیسیم فعال به ترتیب برابر با 1 nm و 10 nm می باشد. اکسید مدفون ضخامتی برابر با 100 nm داشته و مقدار  $D_{bo}$  برای سادگی شبیه سازی برابر با 50 nm فرض می شود. تابع کار فلز گیت برابر با 4.6 eV است. نواحی کانال و سورس/درین به ترتیب با غلظت ناخالصی برابر با  $1 \times 10^{16} \text{ cm}^{-3}$  و  $1 \times 10^{19} \text{ cm}^{-3}$  آلاینده می شوند. برای مقایسه صحیح، همه پارامترهای ساختار مرسوم با پارامترهای افزاره پیشنهادی در این مقاله یکسان در نظر گرفته شده است.

نتایج به دست آمده با استفاده از نرم افزار ATLAS که خود مجموعه ای از خانواده بزرگ SILVACO می باشد، شبیه سازی شده است [۱۶]. مدل های فیزیکی متنوع و دقیقی در این نرم افزار برای مدل کردن عملکرد الکتریکی و حرارتی افزاره ها وجود دارد. در این مقاله معادله پیوستگی جریان همراه با موازنه انرژی HCTE و معادله پواسن برای استخراج پتانسیل و جریان درین استفاده می شود. در SILVACO از مدل ترمودینامیکی قدرتمند و اچوتکا برای شبیه سازی گرمای شبکه استفاده می شود که گرمای ژول، گرمای تولید شده به علت تولید و باز ترکیب حامل ها و اثرات پلتیر و تامسون در آن گنجانده شده است. برای لحاظ کردن دمای شبکه، مدل lat.temp در دستور model فعال می شود. مدل های مهمی همچون باز ترکیب شاکلی رید هال، مدل تونل زنی استاندارد، تزریق الکترون داغ، یونیزاسیون برخوردی، اثر باریک شدن نوار ممنوعه و ... برای تجزیه و تحلیل دقیق ساختارهای تحت مطالعه در نظر گرفته شده است. همچنین مدل پتانسیل کوانتوم بوهم که جایگزین مناسبی برای روش گرادیان چگالی است، برای به حساب آوردن محدودیت کوانتومی در افزاره ها استفاده می شود. منحنی کالیبراسیون نرم افزار با یک کار آزمایشگاهی که در شکل (۲) نشان داده شده است، اثبات می کند که نتایج به دست آمده در این مقاله از اعتبار کافی برخوردار است. [۱۷].

### ۳- طراحی بهینه ساختار پیشنهادی

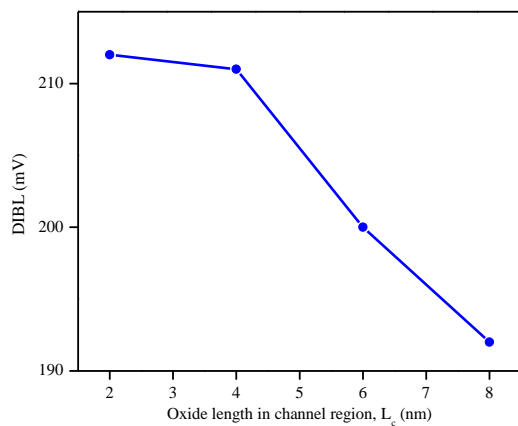
قلب افزاره پیشنهادی، اکسید تعبیه شده U شکل است که نقش مهمی بر روی عملکرد الکتریکی آن ایفا می کند. پارامترهای  $D_c$  و  $L_c$ ،  $D_{bo}$

مقدار DIBL برای  $L_c$  های بزرگتر از 4 nm بالا بوده که بسیار مطلوب است. با این وجود برای اینکه با قاطعیت بالاتری مقدار بهینه به دست آید، ولتاژ آستانه برحسب ضخامت لایه سیلیسیم فعال برای دو پارامتر  $L_c = 4$  nm و  $L_c = 6$  nm استخراج شده است که در شکل (۷) نشان داده می شود. برای  $L_c = 6$  nm بخش بزرگتری از کانال با اکسید احاطه شده و باعث می شود ضخامت مؤثر لایه سیلیسیم کاهش یابد که منجر به افزایش خازن تخلیه شده و در نتیجه ولتاژ آستانه افزایش می یابد. یکی از نتایج مهمی که از این شکل استنباط می شود این است که برای ضخامت لایه سیلیسیم بزرگتر از 10 nm ولتاژ آستانه برای  $L_c$  ها برابر بوده که نشان دهنده این است که تخلیه کانال در عمق کوچکتری از لایه سیلیسیم اتفاق می افتد و مستقل از پارامتر  $L_c$  است. به عنوان یک نتیجه مهم دیگر، تغییرات ولتاژ آستانه برای حالت  $L_c = 6$  nm بیشتر از حالت  $L_c = 4$  nm است. با توجه به شکل های (۵) و (۷) و انجام مصالحه بین آن ها مقدار بهینه  $L_c = 4$  nm برای ساختار پیشنهادی انتخاب می شود.

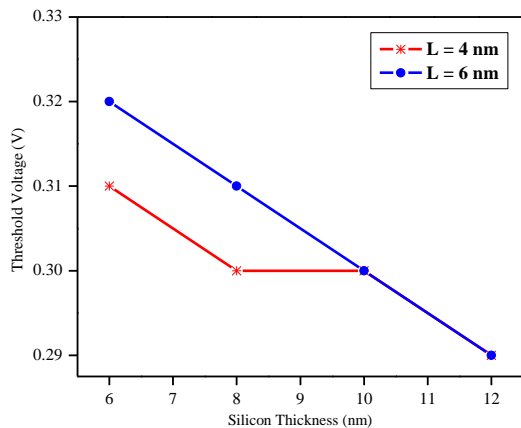
#### ۴- نتایج استخراج شده و بحث درباره آن ها

در این بخش پارامترهای ساختاری  $L_c$  و  $D_c$  برابر با مقادیر بهینه شده آن ها یعنی 4 nm فرض می شود.

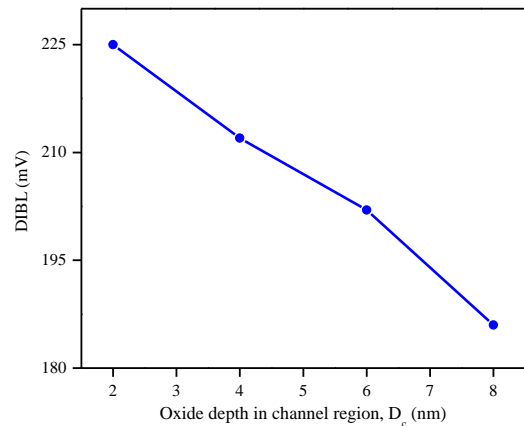
برای اینکه نقش نیتراید سیلیسیم بر روی عملکرد الکتریکی ساختار پیشنهادی به وضوح روشن شود، کانتورهای میدان الکتریکی



شکل ۴: منحنی DIBL برحسب  $L_c$



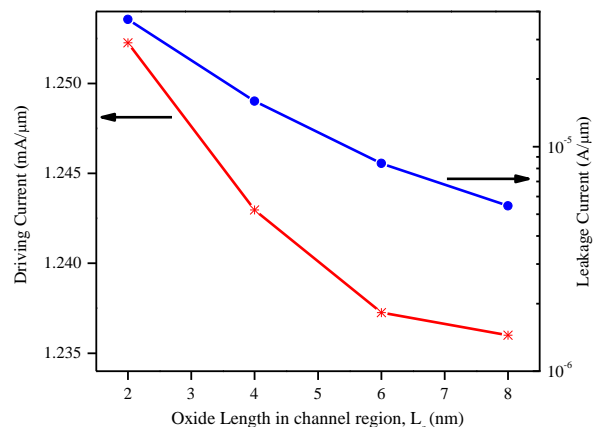
شکل ۷: ولتاژ آستانه برحسب ضخامت لایه سیلیسیم



شکل ۴: منحنی DIBL برحسب  $D_c$

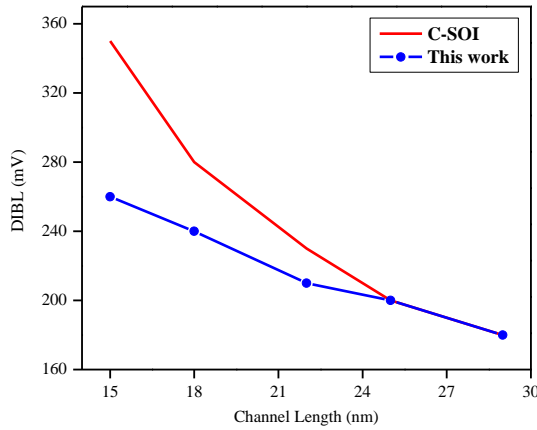
قرار می گیرد. شکل (۴) منحنی DIBL را برحسب  $D_c$  های گوناگون نشان می دهد. مطابق شکل مشهود است که مقدار DIBL با افزایش  $D_c$  کاهش می یابد که بسیار مطلوب است. افزایش  $D_c$  باعث می شود تا حجم بیشتری از کانال توسط اکسید U شکل احاطه شده و میدان الکتریکی مانع بزرگی بر سر راه خود نفوذ به کانال ببیند و در نهایت منجر به کاهش DIBL شود. با توجه به شکل های (۳) و (۴) و انجام مصالحه بین جریان راه انداز، جریان نشتی و DIBL مقدار بهینه  $D_c = 4$  nm برای ساختار پیشنهادی منظور می شود.

پس از دستیابی به مقدار بهینه برای پارامتر  $D_c$  روند بهینه سازی متغیر  $L_c$  آغاز می شود. در این قسمت مقدار  $D_c$  برابر با مقدار بهینه آن یعنی 4 nm فرض شده و ساختارها با  $L_c$  های گوناگون تجزیه و تحلیل می شوند. در شکل (۵) جریان راه انداز و نشتی برحسب  $L_c$  نشان داده شده است. برطبق شکل جریان راه انداز و جریان نشتی با افزایش  $L_c$  کاهش یافته که منجر به افزایش مقاومت مؤثر کانال و افزایش سد پتانسیل می شود.

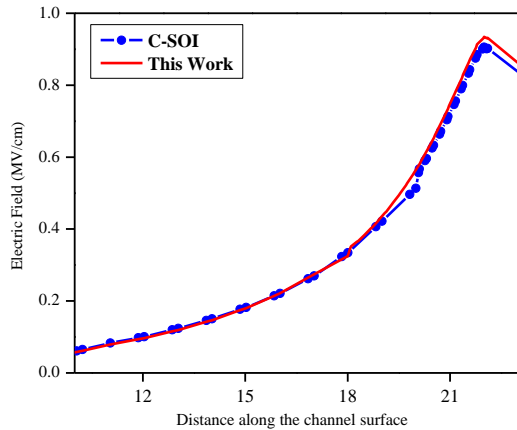


شکل ۵: جریان راه انداز و نشتی برحسب  $L_c$

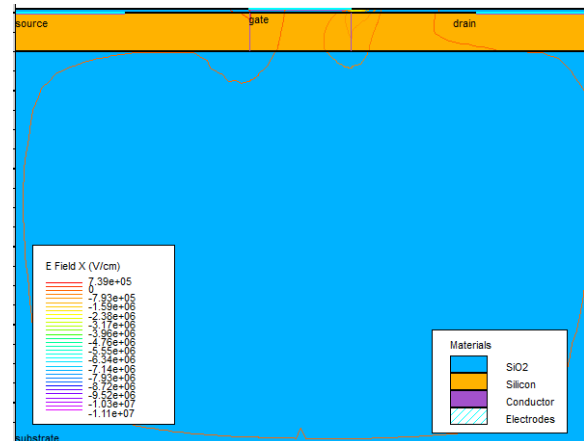
DIBL که پارامتر مهمی در ارزیابی قابلیت اطمینان افزاره های نانومقیاس است، برحسب تابعی از متغیر  $L_c$  در شکل (۶) نشان داده شده است. در این مقاله برابر با اختلاف ولتاژ آستانه در ولتاژهای درین برابر با 0.05 V و 0.3 V است. همان طوری که از شکل برداشت می شود DIBL برای  $L_c$  های بزرگتر روند نزولی دارد. شیب کاهش



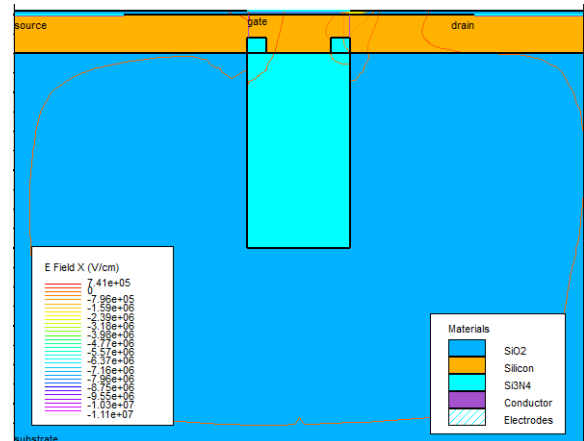
شکل ۹: منحنی DIBL بر حسب طول کانال



شکل ۱۰: میدان الکتریکی در امتداد سطح کانال



(الف)



(ب)

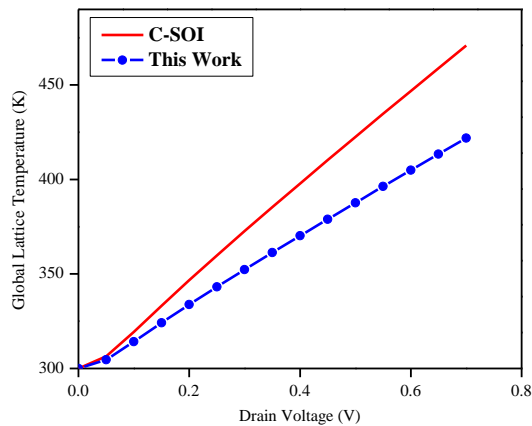
شکل ۸: کانورهای میدان الکتریکی برای (الف) ساختار مرسوم (ب) ساختار پیشنهادی

حامل های داغ به عنوان یکی دیگر از آثار مخرب در افزاره های نانومقیاس معرفی شده اند که باعث افزایش دمای الکترون شده و جریان گیت را افزایش می دهند. میدان الکتریکی جانبی برای ساختارهای مورد مطالعه در شکل (۱۰) نشان داده شده است. ولتاژ درین برابر با  $V_D = 0.7 V$  و ولتاژ گیت  $V_g = 0.15 V$  است. واضح است که ساختار پیشنهادی، پیک میدان الکتریکی کمتری در مقایسه با ساختار مرسوم دارد که در نهایت منجر به کاهش اثر حامل داغ در افزاره پیشنهادی می شود.

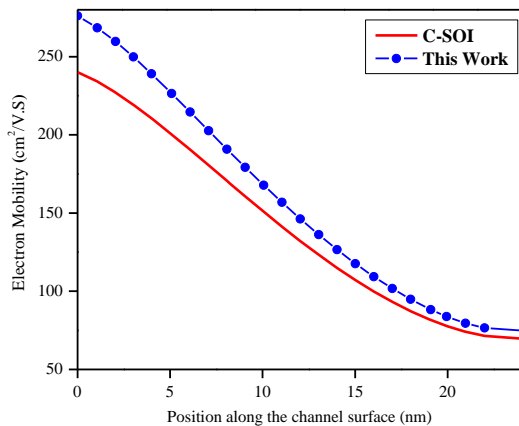
یکی از مشکلاتی که افزاره های مبتنی بر تکنولوژی SOI از آن رنج می برند، دمای شبکه بحرانی است. انتقال حرارت در این افزاره ها به علت تعبیه اکسید مدفون در بستر به راحتی MOSFET ها انجام نمی شود و این موضوع در مدارات مجتمع خیلی فشرده می تواند بر عملکرد افزاره اثر منفی بگذارد. در ادامه توزیع دوبعدی دمای شبکه در کل افزاره برای ساختارها در ولتاژهای  $V_d = V_g = 0.7 V$  نمایش داده می شود. همان طوری که در شکل (۱۱) دیده می شود، دمای شبکه در ناحیه فعال کانال کاهش قابل ملاحظه ای در مقایسه با آن در ساختار مرسوم پیدا کرده است. ملاحظه می شود که کانورهای دمای شبکه در ساختار پیشنهادی به سمت پایین افزاره خم شده که نشان دهنده تبادل راحت تر دمای شبکه با محیط است. در حقیقت ماده اکسید با

در همه نقاط برای افزاره پیشنهادی و مرسوم در شکل (۸) رسم شده است. ولتاژهای درین و گیت به ترتیب برابر با  $V_g = 0.15 V$  و  $V_d = 0.7 V$  فرض شده اند. همان طوری که در شکل ملاحظه می شود، میزان نفوذ خطوط میدان الکتریکی در افزاره پیشنهادی کمتر از آن در ساختار مرسوم است. در حقیقت خطوط میدان الکتریکی که از درین شروع می شوند پس از برخورد با نیتراید سیلیسیم با توزیع شده و به سمت درین هدایت می گردند و باعث شده تا بخش کمتری از کانال تحت کنترل میدان الکتریکی درین قرار گیرد. یکی از مهم ترین دستاوردهای این پدیده، کاهش کنترل پذیری کانال توسط درین بوده که منجر به کاهش اثر DIBL می شود.

DIBL به عنوان یکی از پارامترهای مهمی که نقش بسزایی در قابلیت اطمینان افزاره های نانومقیاس مبتنی بر SOI دارد در شکل (۹) برای هر دو ساختارهای پیشنهادی و مرسوم مورد ارزیابی قرار گرفته است. مطابق شکل ساختار پیشنهادی DIBL کمتری نسبت به ساختار مرسوم دارد که به علت جادهی مناسب اکسید داخل ناحیه کانال است که از ورود میدان الکتریکی جانبی از سمت درین و سورس جلوگیری می کند.



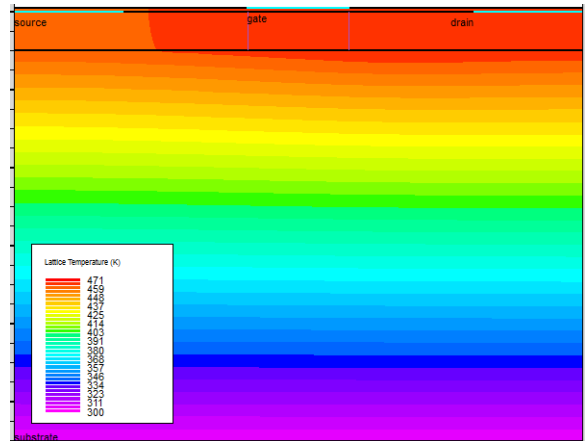
شکل ۱۲: دمای شبکه بر حسب ولتاژ درین



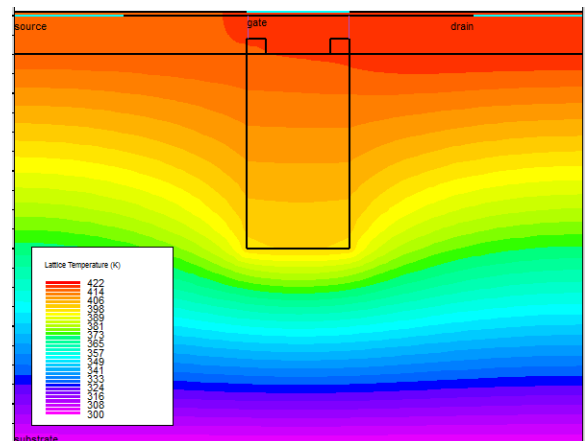
شکل ۱۳: جریان درین بر حسب ولتاژ گیت

برای ساختارهای پیشنهادی و مرسوم برای شرایط بایاس  $V_d = V_g = 0.7$  V در شکل (۱۳) نشان داده شده است. ملاحظه می‌شود، تحرک پذیری ساختار پیشنهادی بیشتر از آن برای ساختار مرسوم است که برتری ساختار پیشنهادی را نشان می‌دهد. تعبیه نیتراید اکسید در داخل ناحیه کانال مقاومت مؤثر کانال را افزایش داده و در نهایت می‌تواند منجر به تقلیل جریان درین شود. با این وجود باز توزیع میدان الکتریکی و همچنین کاهش دمای بحرانی شبکه در ساختار پیشنهادی منجر به افزایش تحرک پذیری الکترون می‌شود که نتیجه آن می‌تواند افزایش جریان درین باشد. این دو اثر در خلاف یکدیگر بوده و باعث می‌شود ساختار پیشنهادی دارای جریان تقریباً برابری با ساختار مرسوم باشد که در ادامه مقاله نشان داده خواهد شد.

جریان درین بر حسب ولتاژ گیت برای هر دو ساختار در شکل (۱۴) رسم شده است. ولتاژ درین برابر با  $V_d = 0.2$  V در نظر گرفته شده است. همان طوری که از شکل اقتباس می‌شود دو ساختار، جریان راه‌انداز تقریباً مشابهی با یکدیگر دارند. اما در ولتاژ گیت زیرآستانه، ساختار پیشنهادی جریان درین کمتری نسبت به ساختار مرسوم دارد. در حقیقت با کاهش اثرپذیری کانال توسط درین، سد پتانسیل در انتهای سورس افزایش یافته و باعث می‌شود الکترون‌های کمتری از کانال وارد ناحیه مذکور گردند و در نتیجه شیب زیرآستانه و جریان نشستی کاهش می‌یابد. باید توجه شود که کاهش جریان نشستی فقط به علت باز توزیع میدان الکتریکی نبوده بلکه دمای شبکه نیز بر روی آن اثر



(الف)

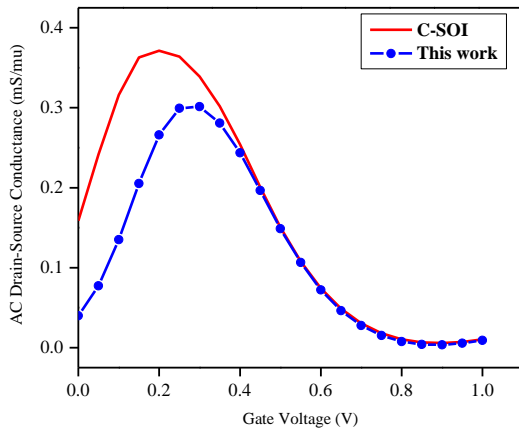


(ب)

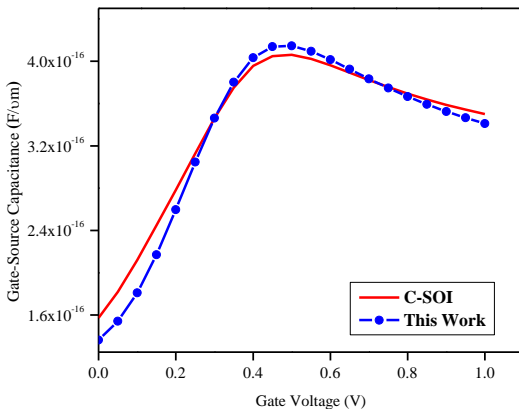
شکل ۱۱: توزیع دمای شبکه در ساختارهای (الف) ساختار مرسوم (ب) ساختار پیشنهادی

رسانش حرارتی بالا در داخل اکسید مدفون یک مسیر فرعی برای انتقال گرمای تولید شده در شبکه ایجاد می‌کند و با کاهش گرادیان دمای شبکه در کل افزاره باعث می‌شود افزاره با محیط به راحتی تبادل حرارتی انجام دهد. یکی دیگر از چالش‌های بحرانی در افزاره‌ها مبتنی بر SOI وابستگی شدید دمای شبکه به بایاس درین است. در ولتاژهای درین بالا توان حرارتی تولید شده منجر به کاهش رسانش حرارتی افزاره‌ها می‌شود. بنابراین دمای شبکه به مقدار قابل ملاحظه‌ای نسبت به دمای محیط افزایش می‌یابد که بسیار مخرب است. بدین منظور دمای شبکه بر حسب تابعی از ولتاژ درین برای دو ساختار تحت مطالعه برای ولتاژ گیت  $V_g = 0.7$  V اندازه‌گیری شده است که در شکل (۱۲) مشاهده می‌شود. همان طوری که از شکل مشهود است به علت تعبیه  $\text{Si}_3\text{N}_4$  رسانش حرارتی مؤثر ساختار پیشنهادی افزایش یافته که منجر به کاهش دمای شبکه می‌شود. بنابراین افزاره ادعایی مقاله می‌تواند با قابلیت اطمینان بالاتری نسبت به رقیب آن یعنی افزاره مرسوم در مدارات مجتمع دیجیتال کار نماید.

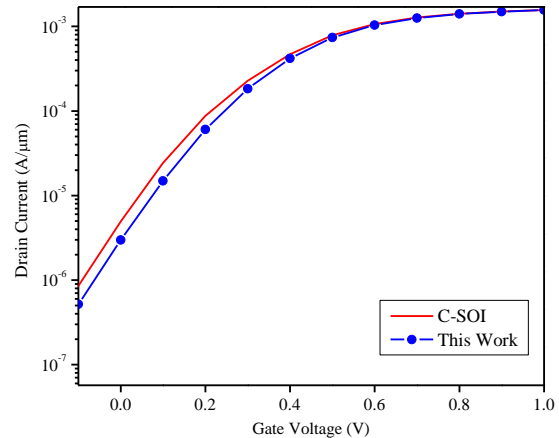
تحرک پذیری حامل‌ها نقش مهمی بر روی عملکرد الکتریکی افزاره‌ها دارد. افزایش تحرک پذیری الکترون‌ها منجر به افزایش جریان راه‌انداز می‌شود. تحرک پذیری مؤثر الکترون‌ها در امتداد سطح کانال



شکل ۱۵: کندوکتانس درین بر حسب ولتاژ گیت



شکل ۱۶: خازن گیت-سورس بر حسب ولتاژ گیت



شکل ۱۴: جریان درین بر حسب ولتاژ گیت

می گذارد. معادله (۱) وابستگی جریان نشتی به دمای شبکه را نشان می دهد.

$$I_{off} = 100 \frac{W}{L} e^{-\frac{qV_{th}}{\eta KT}} \quad (1)$$

که  $L$  و  $W$  به ترتیب طول مؤثر کانال و پهناي گیت هستند. همچنین  $V_{th}$  ولتاژ آستانه و  $T$  دمای شبکه است. از آنجایی که بخشی از اکسید مدفون با ماده نیتراید سیلیسیم که دارای رسانش حرارتی به مراتب بالاتری نسبت به اکسید سیلیسیم دارد، جایگزین شده است رسانش حرارتی مؤثر ساختار پیشنهادی افزایش یافته که منجر به تنزل دمای شبکه می شود. با در نظر گرفتن کاهش دمای شبکه و مراجعه به معادله (۱) در نهایت جریان نشتی ساختار پیشنهادی از جریان نشتی ساختار مرسوم کمتر خواهد شد. کندوکتانس درین که میزان ایزولاسیون خروجی از ورودی افزارها را نشان می دهد در شکل (۱۵) نشان داده شده است. همان طوری که در شکل مشاهده می شود ساختار پیشنهادی کندوکتانس درین کمتری نسبت به ساختار مرسوم دارد که باعث می شود مقاومت خروجی افزاره زیاد شده و در کاربردهای تقویت کنندگی با عملکرد بالاتری کار نماید. یکی از دلایلی که باعث کاهش کندوکتانس درین ساختار پیشنهادی شده است کاهش اثرات کانال کوتاه بوده که منجر به تنزل اثر مدولاسیون کانال می شود و در نهایت مقاومت خروجی افزاره شده افزایش می یابد.

یکی دیگر از مزایای ساختار پیشنهادی نسبت به سایر ساختارها بهبود عملکرد الکتریکی بدون تضعیف مشخصات فرکانسی است. یکی از پارامترهای مهمی که معمولاً برای ارزیابی عملکرد فرکانسی افزارها مورد بررسی قرار می گیرد خازن گیت-سورس است. در شکل (۱۶) خازن گیت-سورس بر حسب ولتاژ گیت در فرکانس 100 MHz برای هر دو ساختار مورد نظر رسم شده است. ولتاژ درین برابر با  $V_d = 0.7$  V است. ملاحظه می شود که دو ساختار دارای خازن گیت-سورس مشابه بوده و اختلاف بسیار ناچیزی در مقادیر خازن ها مشاهده می شود که در نهایت منجر به عدم افزایش زمان تأخیر در افزاره پیشنهادی می گردد.

## ۵- نتیجه گیری

عملکرد الکتریکی و حرارتی افزاره SOI نانومقیاس با اضافه کردن یک اکسید U شکل در داخل ناحیه کانال و اکسید مدفون ارتقا یافته است. اکسید تعبیه شده به منزله سد محکم از نفوذ بیشتر میدان الکتریکی از سوی درین/سورس جلوگیری کرده و باعث کاهش اثرات کانال کوتاه می شود. همچنین افزایش مؤثر رسانش حرارتی ساختار پیشنهادی در مقایسه با ساختار مرسوم باعث می شود تا دمای شبکه به مقدار قابل ملاحظه ای کاهش یابد. با انجام دادن بهینه سازی بر روی ساختار پیشنهادی و مقایسه آن با ساختار مرسوم پارامترهای مهمی همچون DIBL، اثر حامل داغ، تحرک پذیری حامل ها، دمای شبکه، جریان نشتی و کندوکتانس درین بهبود یافته اند. با توجه به قابلیت اطمینان بالاتر ساختار پیشنهادی انتظار می رود این افزاره به عنوان جایگزین مناسبی برای افزاره مرسوم به حساب آید و نتایج تجربی آن توسط محققان استخراج گردد.

## مراجع

- [1] J.P. Colinge, *Silicon-on-insulator Technology: Materials to VLSI*, third ed., Kluwer Academic Publishers, 2004.
- [2] E. Arnold, *Silicon-on-insulator devices for high voltage and power IC applications*, J. Electro Chem. Soc. vol. 141, no. 7, pp. 1983-1988, 1994.

- Materials Science in Semiconductor Processing, vol. 16, pp. 1672-1678, 2013.
- [12] M. Zareiee, A novel high performance nano-scale MOSFET by inserting Si<sub>3</sub>N<sub>4</sub> layer in the channel, Superlattices and Microstructures, vol. 88, pp. 254-261, 2015.
- [13] H. Shahnazarisani, S. Mohammadi, Simulation analysis of a novel fully depleted SOI MOSFET: Electrical and thermal performance improvement through trapezoidally doped channel and silicon-nitride buried insulator, Physica E: Low-dimensional Systems and Nanostructures, Vol. 69, pp. 27-33, 2015
- [۱۴] مهسا مهرداد، میثم زارعی، «ارائه ساختار نوین ترانزیستور اثر میدان سیلیسیم روی عایق دو گیتی با پنجره اکسید در درین گسترده شده بهمنظور کاربرد در تکنولوژی نانو»، مجله مهندسی برق دانشگاه تبریز، جلد ۴۷، شماره ۲، صفحات ۸۰-۸۶، ۱۳۹۶.
- [۱۵] حامد نجفعلی زاده، علی لصغر اروجی، « طراحی ساختاری از ترانزیستور ماسفت دوگیتی با به کارگیری دو ماده، اکسید هافنیوم و سیلیسیم ژرمانیوم SiGe در کانالی از جنس سیلیسیم DM-DG»، جلد ۴۷، شماره ۱، صفحات ۷۹-۸۴، ۱۳۹۶.
- [16] ATLAS User's Manual: 2-D Device Simulator, SILVACO International, Santa Clara, CA, USA, 2012.
- [17] J. Chen, J. Luo, Q. Wu, Z. Chai, T. Yu, Y. Dong, and X. Wang, A tunnel diode body contact structure to suppress the floating-body effect in partially depleted SOI MOSFETs, *IEEE Electron Device Lett.*, vol. 32, no. 10, pp. 1346-1348, 2011.
- [3] H. Aghababa, B. Ebrahimi, M. Saremi, V. Moalemi, B. Forouzandeh, G4-FET modeling for circuit simulation by adaptive neuro-fuzzy training systems, *IEICE Electron.* vol. 9, no. 10, pp. 881-887, 2012.
- [4] S. Rajabi, M. Saremi, H. J. Barnaby, A. Edwards, M. N. Kozicki, M. Mitkova, D. Mahalanabis, Y. Gonzalez-Velo, A. Mahmud, Static impedance behavior of programmable metallization cells, *Solid State Electron.* vol. 106, pp. 27-33, 2015.
- [5] Mohammad K. Anvarifard, Increase in the scattering of electric field lines in a new high voltage SOI MESFET, *Superlattices Microstruct.* vol. 97, pp. 15-27, 2016.
- [6] J. Ervin, A. Balijepalli, P. Joshi, V. Kushner, J. Yang, T.J. Thornton, CMOS compatible SOI MESFETs with high breakdown voltage, *IEEE Trans. Electron Devices*, vol. 53, pp. 3129-3135, 2006.
- [7] J. Ervin, A. Balijepalli, P. Joshi, V. Kushner, J. Yang, T.J. Thornton, CMOS compatible SOI MESFETs with high breakdown voltage, *IEEE Trans. Electron Devices*, vol. 53, pp. 3129-3135, 2006.
- [8] M. Rahimian, Ali A. Orouji, A novel nanoscale MOSFET with modified buried layer for improving of AC performance and self-heating effect, *Mater. Sci. Semicond. Process.* vol. 15, pp. 445-454, 2012.
- [9] M. Jagadesh Kumar, Anurag Chaudhry, Two-Dimensional Analytical Modeling of Fully Depleted DMG SOI MOSFET and Evidence for Diminished SCEs, *IEEE Trans. Electron Dev.* vol. 51, pp. 569-574, 2004.
- [10] W. Long, H. Ou, J.-M. Kuo, and K. K. Chin, Dual material gate (DMG) field effect transistor, *IEEE Trans. Electron Devices*, vol. 46, pp. 865-870, 1999.
- [11] Mohammad K. Anvarifard, Ali A. Orouji, Voltage difference engineering in SOI MOSFETs: A novel side gate device with improved electrical performance,