

# ارائه ساختاری جدید از ترانزیستورهای اثرمیدان در مقیاس نانو به منظور بالا بردن قابلیت اطمینان

مهسا مهرداد<sup>۱</sup>، استادیار؛ میثم زارعی<sup>۲</sup>، استادیار

۱- دانشکده فنی و مهندسی - دانشگاه دامغان - دامغان - ایران - mmehrad@du.ac.ir

۲- دانشکده فنی و مهندسی - دانشگاه دامغان - دامغان - ایران - mzareiee@du.ac.ir

**چکیده:** ترانزیستورهای ماسفت با تکنولوژی سیلیسیم روی عایق کاربرد وسیعی در صنعت الکترونیک دارند. اما وجود لایه عایق در این ساختارها باعث مشکلاتی مانند اثر بدنه شناور و اثر خود گرمایی می‌گردند. به منظور بالا بردن عملکرد الکتریکی، در این مقاله یک ترانزیستور ماسفت سیلیسیم روی عایق در مقیاس نانو ارائه می‌گردد. ساختار پیشنهادی با نام QSZ-MOSFET ارائه می‌گردد که در آن چهار ناحیه سیلیسیم در کانال و در اکسید مدفون در نظر گرفته می‌شوند. نواحی نوع N در کانال یک ناحیه تخلیه ایجاد می‌کنند که قابلیت جریان دهی ترانزیستور را افزایش می‌دهند. علاوه بر این، اکثر حفره‌های ایجاد شده توسط اثر بدنه شناور، توسط این نواحی تخلیه می‌گردند. نواحی نوع P در اکسید مدفون کمک به کاهش دمای شبکه می‌کنند و راهی برای عبور گرما از قسمت فعال ترانزیستور به زیر لایه ایجاد می‌کنند. عملکرد ساختار پیشنهادی و ساختار ماسفت مرسوم توسط نرم افزار ATLAS شبیه سازی می‌شوند و نشان داده می‌شود که ترانزیستور پیشنهادی دارای عملکرد بهتری نسبت به ساختار متداول از نظر قابلیت جریان دهی، ماکزیمم دمای الکترون در کانال، میدان الکتریکی، جریان حالت خاموش، دمای شبکه و قابلیت تحرک الکترون می‌باشد. در کنار مزایای ذکر شده، جایگزینی بخشی از اکسید مدفون با سیلیسیم موجب افزایش خازن پارازیتی می‌گردد.

**واژه‌های کلیدی:** ترانزیستورهای اثرمیدان فلز-اکسید-نیمه‌هادی (ماسفت)، تکنولوژی سیلیسیم روی عایق، اثر بدنه شناور، دمای شبکه، میدان الکتریکی.

## A Novel Nano MOSFET for Increasing the Device Reliability

M. Mehrad<sup>1</sup>, Assistant Professor; M. Zareiee<sup>2</sup>, Assistant Professor

1- School of Engineering, Damghan University, Damghan, Iran, Email: mmehrad@du.ac.ir

2- School of Engineering, Damghan University, Damghan, Iran, Email: mzareiee@du.ac.ir

**Abstract:** In this paper, a novel nano MOSFET is presented to enhance the electrical performance of the device. The name of the new structure is QSZ-MOSFET which includes 4 silicon zones in the channel and buried oxide. The N type silicon zones in the channel create the depletion regions that increase the current capability of the device. Moreover, the majority of the created holes by the floating body effect are absorbed by these zones. The P silicon zones in the buried oxide have more conductivity than oxide and help to reduce the lattice temperature and make a path for passing the heat from the active region of the transistor to the substrate. The proposed and conventional structures performances are simulated by ATLAS simulator which shows the advantages of the proposed structure.

**Keywords:** Metal oxide semiconductor field effect transistor (MOSFET), silicon on insulator technology (SOI), floating body effect, lattice temperature, electric field.

تاریخ ارسال مقاله: ۱۳۹۵/۱۲/۰۲

تاریخ اصلاح مقاله: ۱۳۹۶/۰۴/۰۹، ۱۳۹۶/۰۶/۲۵ و ۱۳۹۶/۰۷/۲۸

تاریخ پذیرش مقاله: ۱۳۹۶/۰۹/۰۳

نام نویسنده مسئول: میثم زارعی

نشانی نویسنده مسئول: ایران - دامغان - دانشگاه دامغان - دانشکده فنی مهندسی - گروه مهندسی برق.

## ۱- مقدمه

ترانزیستورهای اثر میدان فلز-اکسید-نیمه‌هادی<sup>۱</sup> (ماسفت) نقش مهمی در صنعت الکترونیک بازی می‌کنند که اثرات آن‌ها به‌ویژه در طراحی و ساخت مدارات مجتمع مشهود می‌باشد [۳-۱]. گرایش برای دستیابی به مدارات مجتمعی با ابعاد بسیار کوچک، محققان را به سمت طراحی ماسفت‌هایی با ابعاد بسیار کوچک در مقیاس نانو سوق داده است [۴-۶]. اما کوچک کردن ابعاد ماسفت‌ها برای کار در مقیاس نانو مشکلاتی همچون اثرات مخرب کانال کوتاه<sup>۲</sup> دارد [۷]. این اثرات عملکرد مطلوب ترانزیستورها را با مشکلاتی روبرو می‌کنند. در سال‌های اخیر، تلاش‌های بسیاری برای غلبه بر این اثرات انجام پذیرفته است [۸-۱۰].

عملکرد ترانزیستورها می‌تواند با استفاده از تکنولوژی سیلیسیم روی عایق<sup>۳</sup> بهینه گردد. این تکنولوژی شامل سه لایه می‌باشد. در لایه بالایی که از جنس سیلیسیم می‌باشد، قسمت فعال ترانزیستور شکل می‌گیرد. لایه میانی یک عایق عموماً از جنس اکسید سیلیسیم می‌باشد. در نهایت، لایه زیرین که زیرلایه نامیده می‌شود از جنس سیلیسیم می‌باشد [۱۱، ۱۲]. این تکنولوژی مزایای زیادی دارد که از جمله آن می‌توان به کاهش خازن‌های پارازیتی و جریان نشتی<sup>۴</sup>، حذف پدیده قفل‌شدگی<sup>۵</sup> و کاهش مصرف توان اشاره نمود [۱۳، ۱۴]. اما در کنار این مزایا، معایبی نیز وجود دارد. حفره‌های ایجادشده توسط یونیزاسیون برخوردی، در ناحیه کانال باقی می‌مانند و به دلیل وجود لایه عایق، راهی برای رسیدن به زیرلایه پیدا نمی‌کنند. تجمع این حفره‌ها در ناحیه فعال ترانزیستور باعث ایجاد اثر مخربی به نام اثر بدنه شناور<sup>۶</sup> می‌گردد که تأثیری منفی بر عملکرد ترانزیستور می‌گذارد [۱۵]. عیب دیگر تکنولوژی سیلیسیم روی عایق، اثر خود گرمایی<sup>۷</sup> می‌باشد [۱۶]. وجود لایه عایق، باعث عدم خروج گرمای ایجاد شده در ناحیه فعال ترانزیستور می‌گردد. روش‌های زیادی تاکنون برای کاهش این اثرات مخرب ارائه شده است [۱۷-۲۲]. اما روش‌های موجود ممکن است پروسه ساخت پیچیده‌ای داشته باشند یا اینکه ممکن است به برخی دیگر از پارامترهای ترانزیستور آسیب برسانند.

در این مقاله یک ساختار جدید برای ترانزیستورهای ماسفت با تکنولوژی سیلیسیم روی عایق در مقیاس نانو پیشنهاد شده که می‌تواند اثر بدنه شناور و دمای شبکه<sup>۸</sup> را بهبود بخشد. در ساختار جدید، ۴ ناحیه در نظر گرفته شده است که دو ناحیه از نوع N و دو ناحیه دیگر از نوع P می‌باشند. بنابراین، ساختار جدید، نانو ماسفت با چهار ناحیه سیلیسیم (QSZ-MOSFET) نامیده می‌شود. نواحی P در داخل اکسید مدفون<sup>۹</sup> و نواحی N در داخل کانال قرار گرفته‌اند. رسانایی این نواحی بیشتر از اکسید سیلیسیم می‌باشد، بنابراین گرمای ایجاد شده در قسمت فعال ترانزیستور می‌تواند از طریق این نواحی به زیر لایه راه یابد. همچنین حفره‌های ایجاد شده در کانال، می‌تواند از این مسیر به زیرلایه بروند. با توجه به این توضیحات، دمای شبکه و اثر بدنه شناور

بهبود می‌یابد که باعث بالارفتن قابلیت اطمینان ترانزیستور می‌گردد. شبیه‌سازی توسط نرم‌افزار ATLAS [۲۳] نشان می‌دهد که ساختار جدید دارای جریان درین بیشتری می‌باشد و باعث یکنواخت‌تر شدن میدان الکتریکی و کاهش دمای شبکه، تجمع حفره‌های کانال و جریان حالت خاموش<sup>۱۰</sup> می‌گردد. همچنین ایجاد نواحی سیلیسیم در لایه اکسید مدفون و کانال ترانزیستور موجب یکنواخت‌تر شدن میدان الکتریکی می‌گردد. این پدیده باعث می‌شود تا حامل‌ها در میدان الکتریکی به بیشینه مقدار نرسند و انرژی لازم را برای وارد شدن به اکسید گیت کسب نکنند. در کنار مزایای ذکر شده، جایگزینی بخشی از اکسید مدفون با سیلیسیم موجب افزایش خازن پارازیتی می‌گردد.

چنانچه ساختار پیشنهادی این مقاله را با تعدادی از ساختارهایی که در گذشته در این راستا منتشر شده، مقایسه کنیم، به این نتیجه می‌رسیم که ماکزیمم دمای الکترون در کانال، دمای شبکه و جریان حالت خاموش به نحو قابل توجهی بهبود یافته است [۲۴-۲۶]. ادامه مقاله حاضر بدین شرح می‌باشد. در بخش ۲، ساختار و مکانیسم ترانزیستور پیشنهادی بیان می‌گردد. در نتایج استخراج شده از شبیه‌سازی این ترانزیستور در بخش ۳ بحث می‌گردد. در نهایت، نتیجه‌گیری در مورد ساختار پیشنهادی در بخش ۴ بیان می‌گردد.

## ۲- ساختار و مکانیزم ترانزیستور پیشنهادی

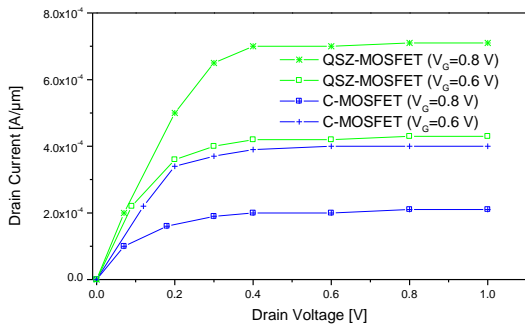
ساختار ترانزیستور پیشنهادی در شکل ۱ نشان داده شده است. همان گونه که در این شکل مشاهده می‌شود، ۴ ناحیه سیلیسیم در ناحیه کانال و اکسید مدفون در نظر گرفته شده‌اند. نواحی سیلیسیم نوع N در کانال ترانزیستور و در محل اتصال با اکسید مدفون قرار گرفته‌اند. چگالی ناخالصی این نواحی برابر  $1 \times 10^{15} \text{ cm}^{-3}$  می‌باشد. نواحی سیلیسیم نوع P در لایه اکسید مدفون قرار گرفته‌اند و چگالی ناخالصی آن‌ها برابر  $1 \times 10^{15} \text{ cm}^{-3}$  می‌باشد. طول نواحی نوع N و P برابر می‌باشند و با  $L_{t-SZ}$  نشان داده می‌شوند. عمق ناحیه نوع N با  $D_{t-SZ}$  نشان داده می‌شود. همچنین، عمق ناحیه نوع P برابر با عمق لایه اکسید مدفون می‌باشد و با  $t_{BOX}$  نشان داده می‌شود. کلیه پارامترهای ساختار پیشنهادی مورد استفاده در شبیه‌سازی، در جدول ۱ آورده شده‌اند. ذکر این نکته مهم می‌باشد که پارامترهای ساختار پیشنهادی (QSZ-MOSFET) و ساختار متداول (C-MOSFET) همانند هم می‌باشند به‌جز نواحی نوع N و P که در ساختار متداول وجود ندارند.

در شبیه‌سازی انجام شده، از حل معادلات رانشی-نفوذی<sup>۱۱</sup> استفاده شده است. همچنین مدل‌های مربوط به وابستگی قابلیت تحرک حامل‌ها<sup>۱۲</sup> به میزان چگالی وارد شده، میدان الکتریکی و سرعت اشباع<sup>۱۳</sup> فعال شده است. بر این اساس و با توجه به مدل‌های در نظر گرفته شده و جدول قابلیت تحرک حامل‌ها، مقادیر  $\mu_{no}=1076 \text{ cm}^2/\text{Vs}$  و  $\mu_{po}=460.9 \text{ cm}^2/\text{Vs}$  که به ترتیب مربوط به قابلیت تحرک الکترون و حفره می‌باشد و همچنین مقدار  $\tau_n=\tau_p=1 \times 10^{-7} \text{ s}$  که عمر حامل‌های الکترون و حفره هستند در نظر گرفته شده‌اند. علاوه بر این موارد،

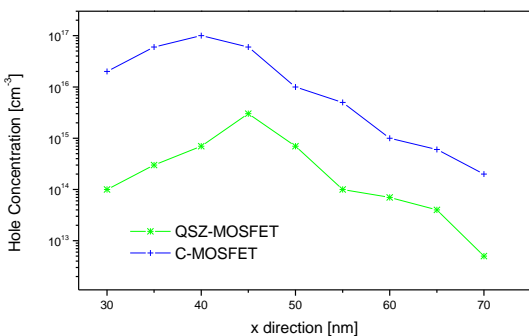
می‌دهد. در ساختار جدید به دلیل در نظر گرفتن نواحی سیلیسیومی، حفره‌های کانال می‌توانند به سمت زیرلایه حرکت کنند و از چگالی حفره‌ها در ناحیه کانال کاسته شود. از این شکل مشخص می‌باشد که چگالی حفره‌های ساختار پیشنهادی به میزان چشمگیری کاهش یافته و بهبود اثر بدنه شناور رخ خواهد داد [۲۶-۲۹].

جدول ۱: پارامترهای ترانزیستور پیشنهادی که در شبیه‌سازی مورد استفاده قرار گرفته‌اند.

مقادیر	پارامترهای ترانزیستور QSZ-MOSFET
40 nm	طول کانال
30 nm	ضخامت لایه سیلیسیم روی عایق
7 nm	طول ناحیه سیلیسیم نوع (L <sub>t-sz</sub> ) N
20 nm	ضخامت اکسید مدفون (t <sub>BOX</sub> )
5 nm	عمق ناحیه سیلیسیم نوع (D <sub>t-sz</sub> ) N
1 nm	ضخامت اکسید گیت (t <sub>ox</sub> )
30 nm	طول سورس/درین
1×10 <sup>17</sup> cm <sup>-3</sup>	چگالی ناخالصی مناطق سیلیسیومی N و P
1×10 <sup>19</sup> cm <sup>-3</sup>	چگالی ناخالصی سورس/درین
1×10 <sup>16</sup> cm <sup>-3</sup>	چگالی ناخالصی کانال

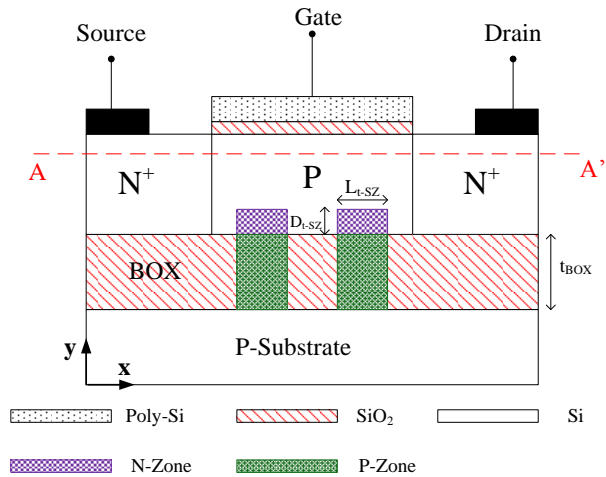


شکل ۲. جریان درین در برابر ولتاژ درین برای هر دو ساختار پیشنهادی و متداول



شکل ۳. چگالی حفره‌های کانال برای ساختارهای پیشنهادی و متداول در V<sub>D</sub>=0.8 V و V<sub>G</sub>=0.8 V

مدل‌های فیزیکی مربوط به وابستگی قابلیت تحرک حامل‌ها به دما و میدان الکتریکی در شبیه‌ساز ATLAS فعال شده است. مدل باز ترکیب شاکلی رید هال<sup>۱۴</sup> و آوگر<sup>۱۵</sup> و همچنین مدل قابلیت تحرک لمباردی<sup>۱۶</sup> در این شبیه‌سازی در نظر گرفته شده است. لازم‌به‌ذکر است که مدل قابلیت تحرک لمباردی در ناحیه وارونگی برای محاسبه تغییرات قابلیت تحرک حامل‌ها در فصل مشترک بین نیمه‌هادی و عایق که دارای پراکندگی سطحی بالاست استفاده می‌شود. همچنین با توجه به این‌که افزاره در ابعاد نانومتر می‌باشد، از مدل کوانتومی بوهر<sup>۱۷</sup> در این راستا استفاده شده است.

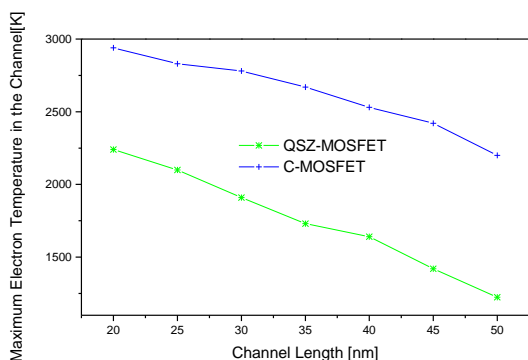


شکل ۱. نمای ساختار پیشنهادی QSZ-MOSFET

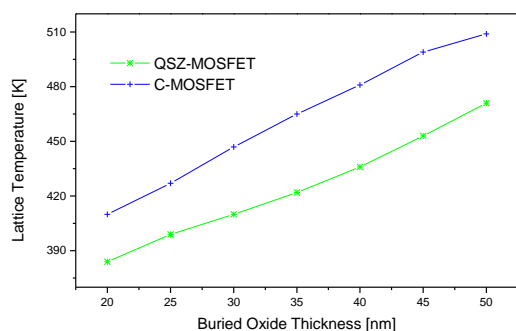
### ۳- بحث بر نتایج حاصل از شبیه‌سازی

در این بخش در مورد نتایج شبیه‌سازی ترانزیستور پیشنهادی توسط شبیه‌ساز ATLAS بحث می‌گردد. در شکل ۲، جریان درین با تغییرات ولتاژ درین برای هر دو ساختار پیشنهادی و متداول رسم گردیده است. کاملاً مشهود می‌باشد که قابلیت جریان‌دهی<sup>۱۸</sup> ترانزیستور پیشنهادی به میزان قابل توجهی افزایش یافته است. دو دلیل فیزیکی اصلی در افزایش جریان‌دهی ساختار پیشنهادی وجود دارد. یکی از این دلایل کاهش اثر بدنه شناور می‌باشد. در ساختار جدید پیشنهادی نواحی سیلیسیومی در نظر گرفته شده از تجمع حفره‌ها در داخل کانال می‌کاهد. دلیل فیزیکی دیگر کاهش مقاومت ناحیه کانال با در نظر گرفتن لایه سیلیسیومی نوع N در این ناحیه می‌باشد [۱۳].

در شکل ۳، چگالی حفره‌ها در طول کانال و در امتداد خط برش AA' (در شکل ۱ نشان داده شده است) که در فاصله ۱۰ نانومتری از سطح افزاره قرار دارد، رسم شده است. برای هر دو ساختار مطالعه‌شده در این مقاله رسم گردیده است. در ترانزیستور متداول که در تکنولوژی سیلیسیم روی عایق شکل می‌گیرد، به علت وجود لایه اکسید مدفون، حفره‌ها راهی برای انتقال به سمت زیرلایه ندارند و اثر بدنه شناور رخ



شکل ۵. بیشینه دمای الکترون در کانال برای ساختارهای متداول و پیشنهادی



شکل ۶. تغییرات دمای شبکه با افزایش ضخامت اکسید مدفون برای هر دو ساختار متداول و پیشنهادی  $V_D=1\text{ V}$  و  $V_G=0.6\text{ V}$

جریان حالت خاموش، پارامتر دیگری می باشد که رفتار افزاره را در دماهای بالا نشان می دهد. شکل ۷، جریان حالت خاموش را برای ساختارهای پیشنهادی و متداول نشان می دهد. همان گونه که در این شکل مشخص می باشد، جریان حالت خاموش در ساختار پیشنهادی به میزان قابل توجهی کاهش یافته است که دلیل این امر در نظرگیری نواحی سیلیسیمی در کانال و کاهش دمای شبکه می باشد. رابطه بین جریان حالت خاموش با دما به صورت زیر می باشد:

$$I_{off} = 100 \frac{W}{L} e^{\frac{-qV_{th}}{nkT}} \quad (1)$$

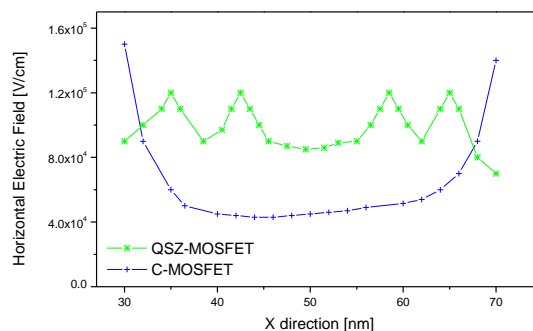
همان طور که مشخص است، کاهش دما در کاهش جریان حالت خاموش نقش بسزایی دارد. در رابطه (۱-۱)،  $L$  و  $W$  به ترتیب پهنا و طول کانال می باشند.  $q$ ،  $V_{th}$  و  $T$  بیانگر بار الکترون، ولتاژ آستانه و دما بر حسب کلونین می باشند. همچنین  $k$  و  $\eta$  به ترتیب ثابت بولتزمن و ضریب بده می باشد.

لازم به ذکر است با توجه به ضخامت کم نواحی سیلیسیومی در نظر گرفته شده، پدیده تونل زنی محتمل می باشد. اما نتایج شبیه سازی نشان می دهد که لایه سیلیسیم روی عایق با ضخامت زیاد موجب شده این پدیده اثر قابل توجهی بر روی جریان حالت خاموش ترانزیستور نداشته باشد.

شکل ۴ میدان الکتریکی را در کانال برای هر دو ساختار متداول و پیشنهادی در امتداد خط برش AA' نشان می دهد. همان گونه که در شکل مشخص می باشد، ساختار متداول، دارای دو پیک اصلی می باشد. وجود پیک در میدان الکتریکی و نداشتن میدان الکتریکی یکنواخت، باعث می شود حامل ها انرژی زیادی را کسب کنند و در میدان الکتریکی بیشینه به الکترون داغ تبدیل شوند. از پیامدهای دیگر عدم یکنواختی میدان الکتریکی افزایش انرژی حامل ها و افزایش میزان برخورد آن ها می باشد. در این حالت تعدادی از حامل ها از قرارگیری در مسیر اصلی جریان بازمی ماندند و به سمت گیت حرکت می کنند. اما در ساختار پیشنهادی، با در نظرگیری دو ناحیه سیلیسیمی در کانال، چهار پیک جدید در محل لبه های این نواحی ایجاد می گردند که باعث کوچک شدن پیک های اصلی و در نتیجه یکنواخت تر شدن میدان شوند.

کنترل دما در افزاره، مسئله بسیار مهمی می باشد. بدین معنی که لازم است افزاره در دماهای بالا نیز به درستی کار کند. برای ارزیابی قابلیت اطمینان ترانزیستور پیشنهادی، بیشینه دمای الکترون ها<sup>۱۹</sup> در کانال، در شکل ۵ رسم شده است. این شکل به وضوح نشان می دهد که ساختار پیشنهادی دارای بیشینه دمای الکترون پایین تری نسبت به ساختار متداول می باشد. همان گونه که پیش تر گفته شد، این مسئله به دلیل در نظرگیری ناحیه نوع N در داخل کانال می باشد که یکنواخت تر شدن میدان الکتریکی می گردد.

پارامتر مهم دیگری که لازم است بررسی گردد، دمای شبکه می باشد. تغییرات دمای شبکه در ضخامت های مختلف اکسید مدفون برای هر دو ساختار مورد مطالعه در این مقاله در شکل ۶ رسم گردیده است. همان گونه که در شکل مشخص می باشد، با افزایش ضخامت اکسید مدفون، دمای شبکه در هر دو ساختار افزایش می یابد. این مسئله به علت پایین بودن قابلیت هدایت الکتریکی اکسید سیلیسیم می باشد که به صورت سدی مانع از عبور گرما از قسمت فعال ترانزیستور به زیر لایه می گردد. در ساختار پیشنهادی، به علت وجود نواحی سیلیسیمی نوع P در داخل کانال، گرمای ایجاد شده در قسمت فعال ترانزیستور می تواند از طریق این نواحی به زیر لایه انتقال یابد. بنابراین، دمای شبکه در ساختار پیشنهادی نسبت به ساختار متداول به میزان قابل توجهی کاهش می یابد.



شکل ۴. نمودار میدان الکتریکی افقی در کانال برای هر دو ساختار متداول و پیشنهادی در  $V_D=1/4\text{ V}$

جدول ۲: مقایسه سه پارامتر مختلف در ساختار پیشنهادی و ساختارهای متداول.

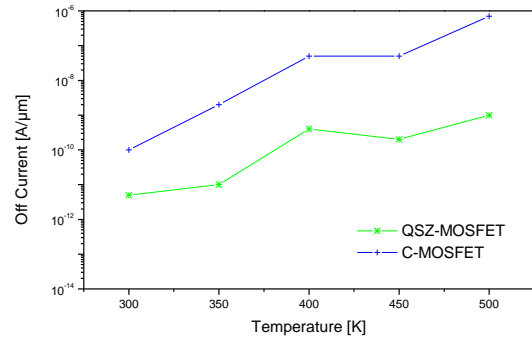
ساختار پارامتر	ساختار پیشنهادی در این مقاله	ساختار مرجع [۲۴]	ساختار مرجع [۲۵]	ساختار مرجع [۲۶]
دمای شبکه (در ولتاژ درین یک ولت)	۴۷۱ کلوین	۵۰۷ کلوین	۴۵۱ کلوین	۴۶۵ کلوین
جریان حالت خاموش	۹×۱۰ <sup>-۱۱</sup> آمپر بر میکرومتر	۸×۱۰ <sup>-۹</sup> آمپر بر میکرومتر	۸/۴×۱۰ <sup>-۱۰</sup> آمپر بر میکرومتر	۶/۳×۱۰ <sup>-۱۰</sup> آمپر بر میکرومتر
ماکزیمم دمای الکترون در کانال	۱۶۲۱ کلوین	۱۹۴۲ کلوین	۱۷۵۲ کلوین	۱۸۲۴ کلوین

#### ۴- نتیجه گیری

در این مقاله، یک ماسفت با چهار لایه سیلیسیمی در مقیاس نانو با قابلیت اطمینان بالا پیشنهاد گردید که دارای رفتار ویژه‌ای در مقایسه با ساختار متداول در دماهای بالا می‌باشد. نواحی سیلیسیمی نوع N و P در کانال و در لایه اکسید مدفون قرار گرفته‌اند که باعث بالارفتن قابلیت جریان‌دهی، کاهش اثر بدنه شناور و کاهش دما می‌گردند. شبیه‌سازی با نرم‌افزار ATLAS نشان می‌دهد که ساختار پیشنهادی دارای جریان حالت خاموش پایین‌تر، قابلیت تحرک الکترون بالاتر و دمای الکترون قابل قبول می‌باشد.

#### مراجع

- [1] J. P. Colinge, Silicon-on-insulator technology: materials to VLSI, 3<sup>rd</sup> ed., Kluwer Academic Publishers, 2004.
- [2] J. Baek, J. Kim, S. G. Kim, J. K. Moon, Y. H. Lee, "A novel technique for fabricating trench MOSFET employing oxide spacers and self-align techniques," Materials Science and Engineering: B, vol. 97, pp. 123-128, 2003.
- [3] M. Yoshimi, H. Hazama, M. Takahashi, S. Kambayashi, T. Wada, K. Kato, et al., "Two-dimensional simulation and measurement of high-performance MOSFETs made on a very thin SOI film," IEEE Transaction on Electron Devices, vol. 36, pp. 493-503, 1989.
- [4] M. Saremi, A. A. Kusha, S. Mohammadi, "Ground plane fin-shaped field effect transistor (GP-FinFET): a FinFET for low leakage power circuits," Microelectronic Engineering, Vol. 95, pp. 74-82, 2012.
- [5] M. Saremi, B. Ebrahimi, A. A. Kusha, "Process variation study of Ground Plane SOI MOSFET," 2<sup>nd</sup> Asia Symposium on Quality Electronic Design (ASQED), pp. 66-69, 2010.
- [6] حامد نجفعلی زاده و علی اصغر اروچی، «طراحی ساختاری از ترانزیستور ماسفت دو گیتی با به کارگیری دو ماده، اکسید هافنیم (HfO<sub>2</sub>) و سیلیسیم-ژرمانیوم (SiGe) در کانالی از جنس سیلیسیم (DG-DM)»، مجله مهندسی برق دانشگاه تبریز، جلد ۴۷، شماره ۱، صفحات ۲۹۹-۳۰۴، ۱۳۹۶.

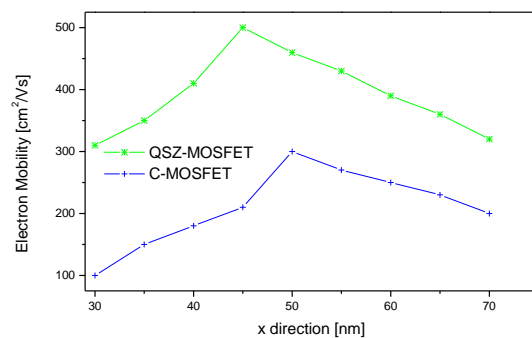


شکل ۷. تغییرات جریان حالت خاموش با افزایش دما برای هر دو ساختار متداول و پیشنهادی.

نتایج شبیه‌سازی نشان می‌دهند که قابلیت تحرک الکترون در کانال ترانزیستور پیشنهادی نسبت به ساختار متداول افزایش یافته است. قابلیت تحرک الکترون رابطه مستقیمی با دما دارد. این رابطه در معادله ۲ آورده شده است:

$$\mu(T) = \mu(T_0) \left( \frac{T}{T_0} \right)^{-n} \quad (2)$$

در این معادله،  $T$  دما برحسب کلوین،  $T_0$  دمای محیط و  $n$  مقداری ثابت بین ۱/۶ تا ۲/۴ می‌باشد [۱]. این بدین معنی می‌باشد که دمای بالا، قابلیت تحرک حامل‌ها را کاهش می‌دهد. همان‌گونه که در شکل ۸ دیده می‌شود، پایین‌تر بودن دمای شبکه در ساختار پیشنهادی، باعث افزایش قابلیت تحرک الکترون در ناحیه کانال می‌گردد.



شکل ۸. قابلیت تحرک الکترون در کانال برای ساختارهای متداول و پیشنهادی  $V_D=0.8V$  و  $V_G=0.8V$

به‌منظور مشخص‌نمودن قابلیت ساختار پیشنهادی، در جدول ۲ دمای شبکه، بیشینه دمای الکترون در کانال و جریان حالت خاموش ساختار QSZ-MOSFET با ساختارهای گذشته مقایسه شده است. لازم‌به‌ذکر است به‌منظور مقایسه دقیق‌تر ساختار پیشنهادی با کارهای قبلی، یکسان‌سازی شرایط از قبیل طول کانال، بایاسینگ و ... در ساختارهای گذشته و ساختار پیشنهادی صورت گرفته است. همان‌طور که از جدول ۲ مشخص می‌باشد، ساختار پیشنهادی در این مقاله دارای نتایج قابل قبولی می‌باشد.

- [19] J. Luo, J. Chen, Q. Wu, Z. Chai, J. Zhou, T. Yu, ... , X. Wang, "A tunnel diode body contact structure for high-performance SOI MOSFETs," *IEEE Transactions on Electron Devices*, vol. 59, pp. 101-107, 2012.
- [20] Z. Qiuming, L. Qi, T. Ning, L. Yongchang, "A high-voltage SOI MOSFET with a compensation layer on the trench buried oxide layer," *Journal of Semiconductors*, vol. 34, 2013.
- [21] H. Jeon, B. H. Lee, B. C. Jang, S. Y. Choi, Y. K. Choi, "Experimental study on quantum mechanical effect for insensitivity of threshold voltage against temperature variation in strained SOI MOSFETs," In *SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)*, 2015.
- [22] W. Chen, R. Cheng, D. W. Wang, H. Song, X. Wang, H. Chen, ... , Y. Zhao, "Electrothermal Effects on Hot-Carrier Reliability in SOI MOSFETs—AC Versus Circuit-Speed Random Stress," *IEEE Transactions on Electron Devices*, vol. 63, pp. 3669-3676, 2016.
- [23] Device simulator ATLAS, Silvaco International; 2007.
- [24] A. Orouji, M. K. Anvarifard, "SOI MOSFET with an insulator region (IR-SOI): A novel device for reliable nanoscale CMOS circuits," *Materials Science and Engineering B*, vol. 178, pp. 431-437, 2013.
- [25] M. K. Anvarifard, Ali A. Orouji, "Improvement of self-heating effect in a novel nanoscale SOI MOSFET with undoped region: a comprehensive investigation on DC and AC operations," *Superlattices and Microstructures*, vol. 60, pp. 561-579, 2013.
- [26] A. Orouji, M. K. Anvarifard, "Novel reduced body charge technique in reliable nanoscale SOI MOSFETs for suppressing the kink effect," *Superlattices and Microstructures*, vol. 72, pp. 111-125, 2014.
- [27] J. Chen, L. Jiexin, W. Qingqing, C. Zhan, H. Xiaolu, W. Xing, W. Xi, "Extra source implantation for suppression floating-body effect in partially depleted SOI MOSFETs," *Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms*, Vol. 272, pp. 128-131, 2012.
- [28] A. Orouji, A. Abbasi, "Novel partially depleted SOI MOSFET for suppression floating-body effect: An embedded JFET structure," *Superlattices and Microstructures*, Vol. 52, no. 3, pp. 552-559, 2012.
- [29] Der, P. Ghedini, J. A. Martino, E. Simoen, C. Claeys, "Impact of the twin-gate structure on the linear kink effect in PD SOI nMOSFETs," *Microelectronics journal*, Vol. 37, no. 8, pp. 681-685, 2006.
- [7] S. Cristoloveanu, S. Li, "Electrical characterization of silicon-on-insulator materials and devices," Springer, 1995.
- [8] S. Deb, N. B. Singh, N. Islam, S. K. Sarkar, "Work function engineering with linearly graded binary metal alloy gate electrode for short-channel SOI MOSFET," *IEEE Transactions on Nanotechnology*, vol. 11, pp. 472-478, 2012.
- [9] B. Manna, S. Sarkhel, N. Islam, S. Sarkar, S. K. Sarkar, "Spatial composition grading of binary metal alloy gate electrode for short-channel SOI/SON MOSFET application," *IEEE Transactions on Electron Devices*, vol. 59, pp. 3280-3287, 2012.
- [10] Q. Xie, C. J. Lee, J. Xu, C. Wann, J. Y. C. Sun, Y. Taur, "Comprehensive analysis of short-channel effects in ultrathin SOI MOSFETs," *IEEE Transactions on Electron Devices*, vol. 60, pp. 1814-1819, 2013.
- [11] S. Selberherr, *Analysis and simulation of semiconductor devices*, Springer-Verlag, Wien-New York, 1984.
- [۱۲] علی اصغر اروجی، زینب رضائی و عاطفه رحیمی فر، «ترانزیستور اثر میدان فلز-نیمه‌هادی در تکنولوژی سیلیسیم روی عایق با استفاده از یک تکه اکسید اضافی در کانال برای کاربردهای توان و فرکانس بالا»، *مجله مهندسی برق دانشگاه تبریز*، جلد ۴۶، شماره ۴، صفحات ۱-۶، ۱۳۹۵.
- [13] S. Cristoloveanu, "Silicon on insulator technologies and devices: from present to future," *Solid State Electronics*, vol. 45, pp. 1403-1411, 2001.
- [14] Ali A. Orouji, S. E. Jamali Mahabadi, P. Keshavarzi, A novel partial SOI LDMOSFET with a trench and buried P layer for breakdown voltage improvement, *Superlattices and Microstructures*, vol. 50, pp. 449-460, 2011.
- [15] M. Mehrad, "Controlling floating body effect in high temperatures: L-shape SiGe region in nano-scale MOSFET," *Superlattices and Microstructures*, vol. 85, pp. 573-580, 2015.
- [16] A. Orouji, S. Heydari, M. Fathipour, "Double step buried oxide (DSBO) soi-mosfet: a proposed structure for improving self-heating effects," *Physica E*, vol. 41, pp. 1665-1668, 2009.
- [17] X. Luo, T. F. Lei, Y. G. Wang, G. L. Yao, Y. H. Jiang, K. Zhou, ... , R. Ge, "Low on-resistance SOI dual-trench-gate MOSFET," *IEEE Transactions on Electron Devices*, vol. 59, pp. 504-509, 2012.
- [18] Ohata, Y. Bae, C. Fenouillet-Beranger, S. Cristoloveanu, "Mobility enhancement by back-gate biasing in ultrathin SOI MOSFETs with thin BOX," *IEEE Electron Device Letters*, vol. 33, pp. 348-350, 2012.

## زیر نویس ها

<sup>16</sup> Lombardi mobility<sup>17</sup> The Bohr quantum potential model<sup>18</sup> Current capability<sup>19</sup> Maximum electron temperature<sup>1</sup> Metal Oxide Semiconductor Field Effect Transistor (MOSFET)<sup>2</sup> Short Channel Effect<sup>3</sup> Silicon On Insulator<sup>4</sup> Leakage current<sup>5</sup> Latch up<sup>6</sup> Floating body effect<sup>7</sup> Self-heating effect<sup>8</sup> Lattice temperature<sup>9</sup> Buried Oxide<sup>10</sup> Off current<sup>11</sup> drift diffusion equation<sup>12</sup> Mobility<sup>13</sup> velocity saturation<sup>14</sup> Shockley-Read-Hall<sup>15</sup> Auger