

## آینه جریان سریع و مقاوم در برابر ناهمجوری ترانزیستورها

حسن فرجی بگتاش<sup>۱</sup>، استادیار

۱- دانشکده مهندسی برق - دانشگاه صنعتی سهند - تبریز - ایران - hfaraji@sut.ac.ir

**چکیده:** در این مقاله، یک ساختار جدید برای آینه جریان معرفی شده است که ضمن ارائه پهنای باند فرکانسی وسیع، مقاومت بالایی را نیز در برابر تغییرات تصادفی پروسه ساخت و ناهمجوری ترانزیستورها از خود نشان می‌دهد. پاسخ فرکانسی و همچنین دقت و صحت انتقال جریان مدار پیشنهاد شده با این دو مشخصه آینه جریان ساده مقایسه شده است. برای بررسی اثرات تغییر پارامترهای ناشی از فرایند ساخت و ناهمجوری ترانزیستورها از شبیه‌سازی Monte Carlo بهره گرفته شده است. برای مقایسه عملکرد مدار پیشنهادی با آینه جریان ساده، پارامتر انحراف معیار از میانگین، به‌عنوان معیار سنجش دقت و صحت آینه جریان‌ها مورد استفاده قرار گرفته است. نتایج شبیه‌سازی‌ها نشان می‌دهد در شرایطی که انحراف معیار از میانگین جریان خروجی قابل قبول برابر با ۵/۵ درصد باشد، مدار پیشنهادی حداقل ۲/۵ برابر سریع‌تر از آینه جریان ساده عمل می‌کند. شرایط شبیه‌سازی برای هر دو مدار کاملاً یکسان انتخاب شده است.

**واژه‌های کلیدی:** آینه جریان، سرعت عملکرد بالا، خطای انتقال جریان کم، پهنای باند فرکانسی زیاد، مقاوم در برابر تغییرات ناشی از فرایند ساخت.

## Mismatch Tolerant, Wide Bandwidth Current Mirror

H. Faraji Baghtash<sup>1</sup>, Assistant Professor

1- Faculty of Electrical Engineering, Sahand University of Technology, Tabriz, Iran, Email: hfaraji@sut.ac.ir

**Abstract:** In this paper, A new structure for current mirror is presented, which beside the wide operating frequency bandwidth, it shows high resilient against transistor mismatch and technology process uncertainties, as well. The frequency characteristic of proposed current mirror and its robustness against mismatch and process variations are compared with that's of simple current mirror. To investigate the effects of mismatch on current transfer accuracy, we used Monte Carlo simulations. To compare the robustness of the two current mirror structures, we used standard deviation as a reliable merit. The simulation results prove that the proposed structure operates at least 2.5 times faster than the simple current mirror at standard deviation of 5.5 %. At all the simulations the biasing condition of two structures have chosen to be equal.

**Keywords:** Current mirror, fast frequency response, low current transfer error, wide frequency bandwidth, process tolerant.

تاریخ ارسال مقاله: ۱۳۹۵/۰۷/۲۸

تاریخ اصلاح مقاله: ۱۳۹۵/۱۰/۰۷ و ۱۳۹۶/۰۴/۱۲

تاریخ پذیرش مقاله: ۱۳۹۶/۰۵/۰۹

نام نویسنده مسئول: حسن فرجی بگتاش

نشانی نویسنده مسئول: ایران - تبریز - شهر جدید سهند - دانشگاه صنعتی سهند - دانشکده مهندسی برق.

## ۱- مقدمه

روند کوچک شدن اجزاء در تکنولوژی ساخت قطعات نیمه‌هادی، مزیت‌های بسیاری را در عملکرد مدارهای مجتمع آنالوگ و دیجیتال ایجاد کرده است. واضح است که کوچک‌تر شدن ابعاد ترانزیستورها باعث افزایش سرعت کار مدارها می‌شود اما کاهش ولتاژ تغذیه مدار که در راستای کاهش ابعاد ترانزیستورها انجام می‌گیرد، هرچند سبب کاهش توان مصرفی مدارها می‌شود اما، معمولاً مشخصات مدارهای آنالوگ نظیر گستره دینامیکی و مقاومت خروجی را خراب‌تر می‌کند. از طرف دیگر طراحی مدارهای با توان مصرفی کم و مخصوصاً مدارهایی که در وسایل قابل حمل استفاده می‌شوند، محدودیت‌های بیشتری را بر روی عملکرد ساختارهای مداری مختلف اعمال می‌کند. آینه‌های جریان نیز به‌عنوان یکی از اصلی‌ترین و پرکاربردترین مدارهای آنالوگ از این امر مستثنی نیستند. مشخصه‌هایی نظیر خطای انتقال جریان و مقاومت ورودی بسیار کم، مقاومت خروجی بسیار زیاد، پهنای باند فرکانسی و گستره دینامیکی بزرگ همواره در طراحی آینه‌های جریان مورد انتظار می‌باشند. هر اندازه ساختار در برآوردن این نیازها موفق‌تر باشد، آینه جریان طراحی شده رفتار نزدیک‌تری را به رفتار یک آینه جریان ایده‌آل از خود نشان خواهد داد. متأسفانه، امروزه محدودیت‌های ناشی از رشد تکنولوژی، رسیدن به این نیازمندی‌ها را تا حد زیادی با مشکل مواجه کرده است. کارهای بسیاری را می‌توان یافت که در زمینه رفع مشکلات ناشی از کاهش ولتاژ در مدارهای آینه جریان تلاش کرده‌اند [۱-۴]. همچنین بعضی روش‌های مناسب برای ولتاژهای کاری پایین از جمله روش‌های رانش بدنه، گیت شناور، زیرآستانه، و خود-ستونی در منابع مختلف پیشنهاد شده‌اند [۵-۹].

یکی از ساختارهای پرکاربرد آینه جریان برای کار در ولتاژهای پایین، آینه جریان معروف به آینه جریان ستونی کم ولتاژ است. این مدار مشخصاتی نظیر ولتاژهای ورودی و خروجی نسبتاً پایین، مقاومت خروجی نسبتاً بالا و مقاومت ورودی و خطای انتقال جریان نسبتاً پایین ارائه می‌دهد. سادگی این مدار در کنار مشخصه‌های مداری نسبتاً خوب، این آینه جریان را به یک مدار پر استفاده در کاربردهای مختلف تبدیل کرده است. در کنار این آینه جریان، کارهای بسیار دیگری را نیز می‌توان یافت که هر یک به‌نوعی در راستای بهبود مشخصه‌های آینه‌های جریان کوشیده‌اند [۱۰-۱۳]. به‌طور عمده هدف نهایی اکثر کارها کاهش خطای انتقال جریان بوده است به‌طوری‌که هر یک به روشی کوشیده است خطاهای ساختاری و سیستماتیک انتقال جریان را در مدار خود به حداقل برساند.

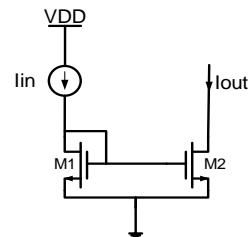
در کنار خطاهای سیستمی انتقال جریان، که به خطای سیستماتیک طراحی مرتبط هستند، نوع دیگری از خطا نیز وجود دارد که عمدتاً به دلیل تصادفی بودن فرایند ساخت قطعات نیمه‌سازا ایجاد می‌شود. از جمله این خطاها می‌توان به ناهمجوری ابعاد ترانزیستورها، سطح ناخالصی‌ها، و ضخامت اکسید گیت اشاره کرد. خطاهای ناشی از

فرایند ساخت در نهایت به ناهمجوری در پارامترهای الکتریکی نظیر ناهمجوری ولتاژ آستانه، هدایت خروجی و هدایت انتقالی، و اندازه جریان ترانزیستورها ترجمه شده و صحت و دقت انتقال جریان را محدود می‌سازند. میزان این خطاها بسیار وابسته به تکنولوژی ساخت است [۱۴]. اما نکته مهم این است که میزان خطاهای ناشی از فرایند ساخت در قطعات کوچک‌تر و تکنولوژی‌های جدیدتر با امکان ساخت المان‌های کوچک‌تر بیشتر است [۱۴]. به‌عنوان مثال انحراف معیار طول کانال در تکنولوژی ۴۰۰ نانومتر حدود ۲۰ نانومتر [۱۵] و در تکنولوژی ۳۵ نانومتر حدود ۴ نانومتر [۱۶] گزارش شده است. همچنین میزان انحراف معیار برای پارامتر ولتاژ آستانه یک ترانزیستور با ابعاد کمینه حدود ۱۰ میلی‌ولت در تکنولوژی ۹۰ نانومتر، حدود ۳۰ میلی‌ولت در تکنولوژی ۵۰ نانومتر و حدود ۴۰ میلی‌ولت در تکنولوژی ۲۵ نانومتر گزارش شده است [۱۷]. به‌علاوه میزان تغییرات حدود ۰/۱ آنگستروم برای ضخامت اکسید ۱۰ آنگستروم گزارش شده است [۱۸]. که این میزان خطا می‌تواند حدود ۱۰ میلی‌ولت ولتاژ آستانه ترانزیستور را جابجا کند [۱۹].

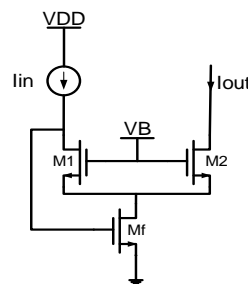
به‌دلیل وجود این نوع خطا، حتی در صورتی‌که به فرض بتوان طراحی ارائه داد که خطاهای سیستماتیک را به صفر برساند، هنوز مقدار خطای انتقال جریان به دلیل خطاهای ناشی از فرایند ساخت قابل توجه خواهد بود. به‌رغم کارهای فراوانی که در زمینه کاهش خطاهای سیستمی انجام شده [۱۱، ۱۲]، متأسفانه کارهای بسیار کمی را می‌توان یافت که در زمینه کاهش خطاهای ناشی از فرایند ساخت کوشیده باشند. این در حالی است که با روند جاری تکنولوژی ساخت قطعات نیمه‌سازا که به سمت کوچک‌تر شدن هر چه بیشتر ابعاد قطعات حرکت می‌کند، خطاهای ناشی از فرایند ساخت و عدم قطعیت المان‌ها در تکنولوژی‌های جدیدتر بیشتر از تکنولوژی‌های قدیمی‌تر بوده و اثر مخرب‌تری را بر روی عملکرد مدار ایجاد می‌کنند [۱۴].

در [۲۰-۲۲] پیشنهادهایی برای بهبود یکسانی ترانزیستورها ارائه شده است. این روش‌ها عمدتاً به روش‌های جانمایی اشاره دارند و با ارائه ساختارهای هم‌مرکز در جانمایی ترانزیستورها کوشیده‌اند خطاهای ناشی از عدم قطعیت را به حداقل برسانند. اما روش‌های مذکور در اکثر موارد به پیچیدگی جانمایی طرح اضافه کرده و موارد استفاده محدودی دارند. متداول‌ترین روشی که توسط اکثر طراحان برای تخفیف اثر ناهمجوری ترانزیستورها مورد استفاده قرار می‌گیرد، انتخاب ابعاد بزرگ‌تر برای ترانزیستورها است. در این حالت معمولاً و برحسب این‌که چه مقدار خطای انتقال جریان قابل تحمل باشد، طول ترانزیستورها ۲، ۳ و یا چند برابر حداقل طول قابل ساخت در تکنولوژی انتخاب شده، و اندازه سایر پارامترها و المان‌های مدار بر اساس آن طراحی می‌شود. این روش تا اندازه زیادی کارآمد بوده و پاسخگوی بسیاری از نیازمندی‌های مدار است اما، نکته‌ای که در این خصوص وجود دارد این است که در روش مذکور ابعاد ترانزیستورها و در نتیجه خازن‌های پارازیتی آن‌ها افزایش یافته و در نتیجه آن، فرکانس قطع مدار کاهش می‌یابد. از این‌رو،

در کاربردهایی که در آن‌ها هم‌زمان نیاز به سرعت و دقت زیاد است، استفاده از این روش چندان مؤثر نخواهد بود. در مقاله حاضر ساختاری برای آینه جریان پیشنهاد شده است که ضمن کاهش مشهود در مقدار خطای انتقال جریان، در مقایسه با روش‌های دیگر، عملکرد فرکانسی بهتری نیز از خود نشان می‌دهد. مدار پیشنهاد شده با جدا کردن خازن بزرگ مربوط به گیت-سورس ترانزیستورهای آینه از ورودی مدار و در نتیجه کاهش امپدانس ورودی آینه جریان، امکان افزایش اندازه ترانزیستورهای آینه به منظور دستیابی به ناهم‌جوری کمتر با حداقل افزایش در امپدانس ورودی مدار را میسر ساخته و در نتیجه امکان بهبود هم‌زمان دقت و پاسخ فرکانسی مدار را فراهم می‌سازد.



شکل ۱: شمای آینه جریان ساده [۲۳]



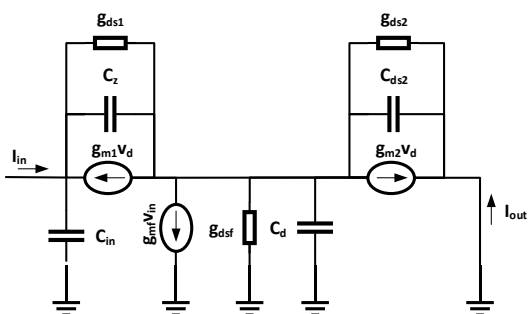
شکل ۲: شمای آینه جریان پیشنهادی

### ۳- تحلیل پاسخ فرکانس بالای مدار پیشنهادی

با در نظر گرفتن شکل ۱ می‌توان نشان داد که به‌طور تقریبی پاسخ فرکانسی مدار آینه جریان ساده از رابطه زیر قابل محاسبه است:

$$A_i(s) = \frac{I_{out}}{I_{in}} = \frac{g_{m2}}{g_{m1}} \left( \frac{1-s \frac{c_{gd2}}{g_{m2}}}{1+s \frac{2c_{gs1,2}}{g_{m1}}} \right) \quad (1)$$

با دقت در رابطه (۱) می‌توان دریافت که آینه جریان ساده یک قطب در فرکانس  $f_{T/2}$  (نصف فرکانس قطع ترانزیستور) و یک صفر سمت راست در فرکانس‌های بالاتر دارد. با فرض اندازه یکسان برای ترانزیستورهای M1-M2 می‌توان گفت که صفر تابع تبدیل در فرکانس‌هایی حدود چهار برابر فرکانس قطب مدار اتفاق می‌افتد. حال با در نظر گرفتن مدار پیشنهادی (شکل ۲) می‌توان مدار معادل سیگنال کوچک و فرکانس بالای آن را مطابق شکل ۳ به دست آورد.



شکل ۳: مدار معادل سیگنال کوچک و فرکانس بالای آینه جریان پیشنهادی

در کاربردهایی که در آن‌ها هم‌زمان نیاز به سرعت و دقت زیاد است، استفاده از این روش چندان مؤثر نخواهد بود. در مقاله حاضر ساختاری برای آینه جریان پیشنهاد شده است که ضمن کاهش مشهود در مقدار خطای انتقال جریان، در مقایسه با روش‌های دیگر، عملکرد فرکانسی بهتری نیز از خود نشان می‌دهد. مدار پیشنهاد شده با جدا کردن خازن بزرگ مربوط به گیت-سورس ترانزیستورهای آینه از ورودی مدار و در نتیجه کاهش امپدانس ورودی آینه جریان، امکان افزایش اندازه ترانزیستورهای آینه به منظور دستیابی به ناهم‌جوری کمتر با حداقل افزایش در امپدانس ورودی مدار را میسر ساخته و در نتیجه امکان بهبود هم‌زمان دقت و پاسخ فرکانسی مدار را فراهم می‌سازد.

### ۲- تشریح عملکرد مدار

شمای یک آینه جریان ساده (SCM) در شکل ۱ نشان داده شده است. در این آینه جریان خطای ناشی از فرایند ساخت به‌طور مستقیم به یکسانی و هم‌جوری ترانزیستورهای M1-M2 بستگی دارد. از این رو، با انتخاب ترانزیستورهای با طول بزرگ‌تر می‌توان به مقدار قابل توجهی خطای انتقال جریان را کاهش داد. اما با انتخاب ترانزیستورهای بزرگ‌تر، متأسفانه میزان خازن گره ورودی هم بزرگ‌تر می‌شود. به‌طوری‌که عملاً با دو برابر شدن ابعاد ترانزیستورهای ورودی، خازن ورودی چهار برابر خواهد شد. این امر پاسخ فرکانسی مدار را به شدت تحت تأثیر قرار می‌دهد. با این پیش‌فرض می‌توان گفت اگر به طریقی بتوان وابستگی خازن ورودی به ابعاد ترانزیستورهای آینه را حذف و یا حداقل تأثیر آن را کم کرد، می‌توان امیدوار بود که ضمن حفظ عملکرد فرکانسی مدار، خطای انتقال جریان نیز کاهش می‌یابد.

شکل ۲ شمای آینه جریان پیشنهاد شده (PCM) برای رسیدن به این هدف را نشان می‌دهد. عملکرد این مدار بسیار شبیه عملکرد مدار آینه جریان ستونی کم ولتاژ است. با این تفاوت که سورس ترانزیستورهای ستونی به یکدیگر متصل شده و ترانزیستورهای آینه

توضیح است که اگرچه قطب‌های مدار پیشنهادی در فرکانس‌های بالاتر از قطب آینه جریان ساده اتفاق می‌افتد، اما در مجموع به دلیل شیب بیشتر افت بهره، که به دلیل وجود قطب‌های مزدوج رخ می‌دهد، فرکانس قطع 3-dB مدار پیشنهادی زودتر از فرکانس قطع 3-dB آینه جریان ساده اتفاق خواهد افتاد.

حال حالت دیگری را در نظر بگیریم که  $c_d = 9c_{in}$  و  $c_z \ll c_d$ . این شرایط زمانی رخ می‌دهد که برای کاهش خطای ناشی از ناهمجوری ترانزیستورها، سطح ترانزیستورهای M1-M2 را ۹ برابر سطح ترانزیستور Mf انتخاب کرده باشیم. در این شرایط می‌توان نشان داد که رابطه (۸) به صورت رابطه (۱۰) ساده می‌شود.

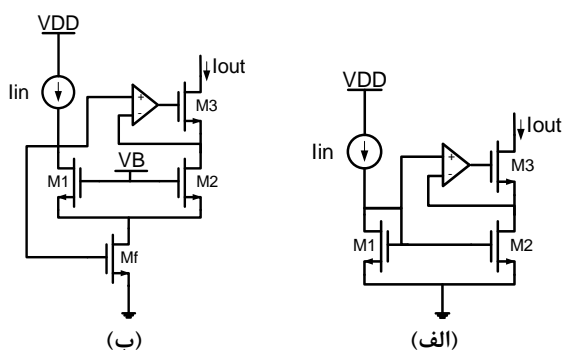
$$p_{1,2} = -\frac{gm1}{c_d}(1 \pm j\sqrt{17}) \quad (10)$$

رابطه (۱۰) نشان می‌دهد که در شرایط یاد شده اندازه فرکانس قطب‌های مزدوج آینه جریان پیشنهادی ۴/۲۴ برابر اندازه فرکانس قطب آینه جریان ساده است.

از این رو، با توجه به روابط (۹) و (۱۰) می‌توان نتیجه گرفت که، در صورتی که نیاز به همجوری بالایی بین ترانزیستورهای آینه مطرح نبوده و تنها سرعت عملکرد بالای مدار مورد نیاز باشد، استفاده از آینه جریان ساده با کمترین طول کانال بهترین انتخاب خواهد بود. چراکه در شرایط یاد شده این آینه جریان بهترین عملکرد فرکانسی را از خود نشان خواهد داد. اما در صورتی که همجوری بیشتر و در نتیجه خطای انتقال جریان کمتر مورد نیاز باشد، آینه جریان پیشنهادی عملکرد بهتری را هم از لحاظ همجوری ترانزیستورها و هم از لحاظ رفتار فرکانسی از خود نشان خواهد داد.

#### ۴- نتایج شبیه‌سازی

نتایج شبیه‌سازی که در تکنولوژی TSMC 0.18μm CMOS، با استفاده از شبیه‌ساز SPECTRE RF، و در ولتاژ تغذیه ۱/۸ V انجام گرفته در زیر آورده شده است. در انجام شبیه‌سازی‌ها، به منظور حذف اثر غیر ایده‌آل‌هایی نظیر مدولاسیون طول کانال، از مدار نشان داده شده در شکل ۴ استفاده شده است.



شکل ۴: ساختار استفاده شده برای انجام شبیه‌سازی‌ها (الف) آینه جریان ساده (ب) آینه جریان پیشنهادی

برای مدار نشان داده شده در شکل ۳ می‌توان روابط تابع تبدیل فرکانس بالا را به شرح زیر نوشت:

$$A_i(s) = \frac{I_{out}}{I_{in}} = \frac{(gm2 + g_{ds2} + s c_{ds2})(gm_f - g_{ds2} - s c_z)}{(gm_f - g_{ds1} - s c_z)(gm1 + g_{ds1} + s c_z) + Z_2} \quad (2)$$

که در آن  $Z_2$  از رابطه (۳) داده می‌شود.

$$z_2 = ((c_{in} + c_z)s + g_{ds1}) \quad (3)$$

$$(gm1 + gm2 + g_{ds1} + g_{ds2} + g_{dsf} + (c_d + c_z)s)$$

با در نظر گرفتن پارامترهای مدار و انجام برخی تقریب‌ها می‌توان رابطه (۲) را به صورت رابطه (۴) ساده کرد.

$$A_i(s) = \frac{gm2 gm_f \left(1 + \frac{s c_{ds2}}{gm2}\right) \left(1 - \frac{s c_z}{gm_f}\right)}{gm1 gm_f + (gm_f - gm1)c_z + b s + a s^2} \quad (4)$$

که در آن  $a$  و  $b$  به ترتیب از روابط (۵) و (۶) داده می‌شوند:

$$b = (gm1 + gm2)(c_{in} + c_z) + g_{ds1}(c_d + c_z) \quad (5)$$

$$a = (c_{in} c_d + c_{in} c_z + c_z c_d) \quad (6)$$

با فرض  $gm_f = 2gm1 = 2gm2$  و ساده‌سازی بیشتر رابطه (۴) می‌توان به رابطه (۷) رسید.

$$A_i(s) = \frac{\left(1 + \frac{s c_{ds2}}{gm2}\right) \left(1 - \frac{s c_z}{gm_f}\right)}{1 + \frac{2}{gm_f}(c_{in} + c_z)s + \frac{c_{in} c_d}{gm1 gm_f} s^2} \quad (7)$$

رابطه (۷) نشان می‌دهد که تابع تبدیل مدار پیشنهادی یک صفر سمت راست در فرکانس  $gm_f/c_z$  و یک صفر سمت چپ در فرکانس  $gm2/c_{ds2}$  دارد. همچنین قطب‌های تابع تبدیل از رابطه (۸) داده می‌شوند.

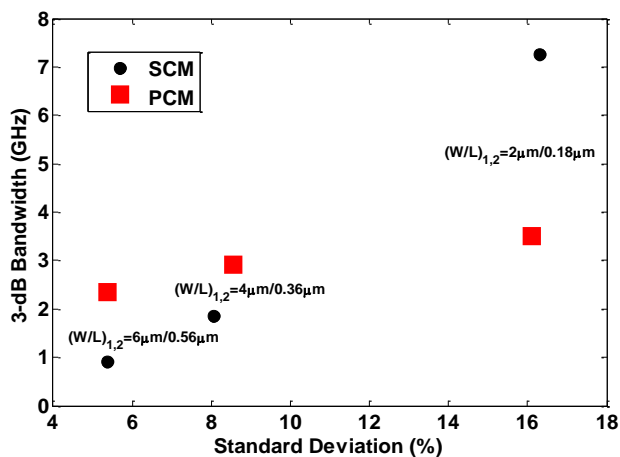
$$p_{1,2} = -\frac{c_{in} + c_z \pm \sqrt{\left(\frac{c_{in} + c_z}{gm_f}\right)^2 - \frac{c_{in} c_d}{gm1 gm_f}}}{\frac{c_{in} c_d}{gm1 gm_f}} \quad (8)$$

رابطه (۸) محل تقریبی قطب‌های مدار پیشنهادی را نشان می‌دهد. حال شایسته است برای درک بهتر از اندازه قطب‌ها و انجام مقایسه بین رفتار فرکانسی مدار پیشنهادی با آینه جریان ساده، ساده‌سازی بیشتری انجام شود. برای این منظور دو حالت خاص را در نظر می‌گیریم. نخست، فرض کنیم  $c_z \ll c_{in} = c_d$  در این صورت خواهیم داشت:

$$p_{1,2} = -\frac{gm1}{c_d}(1 \pm j) \quad (9)$$

با دقت در رابطه (۹) و مقایسه آن با رابطه (۱) مشخص می‌شود که تحت شرایط مفروض، آینه جریان پیشنهادی شده دو قطب مزدوج دارد که اندازه آن‌ها ۱/۴۱ برابر اندازه قطب آینه جریان ساده است. لازم به

ساخت بر روی دقت انتقال جریان است، ندارد. در مقابل، تأثیر مستقیم اندازه آن بر پهنای باند فرکانسی آینه جریان مشهود است. از این رو، پیشنهاد می شود اندازه این ترانزیستور، به منظور رسیدن به پهنای باند بزرگ تر، تا حد ممکن کوچک انتخاب شود. از سوی دیگر، مشاهده می شود که اندازه ترانزیستورهای M1-M2 به صورت مستقیم پارامتر انحراف معیار را تحت تأثیر قرار می دهد. به طوری که انتخاب ابعاد بزرگ تر برای این ترانزیستورها انحراف معیار کوچک تری را نتیجه می دهد. اندازه این ترانزیستورها بر روی پهنای باند فرکانسی مدار نیز تأثیر می گذارد. نکته قابل توجه این است که، طبق انتظار، میزان تأثیر آن در پاسخ فرکانسی مدار پیشنهادی نسبت به تأثیر آن در آینه جریان ساده به مراتب کمتر شده است. برای مقایسه بهتر، خلاصه ای از نتایج این جدول در شکل ۵ به تصویر کشیده شده است. در این شکل، پهنای باند فرکانسی بر حسب شاخص انحراف معیار از میانگین برای هر دو مدار و در سه اندازه مختلف ترانزیستورهای M1-M2 رسم شده است.



شکل ۵: مقایسه نتایج شبیه سازی پهنای باند فرکانسی و انحراف

معیار از میانگین با ازای مقادیر مختلف اندازه ترانزیستورهای M1-M2

شکل ۵ به وضوح نشان می دهد که در مقادیر ناهمجوری یا خطاهای انتقال جریان کمتر، مدار پیشنهادی عملکرد فرکانسی بسیار بهتری را نسبت به آینه جریان ساده یا هر مدار دیگری از خود نشان می دهد. برای بررسی بیشتر، رفتار فرکانسی آینه جریان پیشنهادی در نقاط گوشه فرایند ساخت با عملکرد آینه جریان ساده در این نقاط مقایسه شده است. در این شبیه سازی اندازه ترانزیستور  $M_f$  برابر  $0.118 \mu m$  /  $2 \mu m$  و اندازه ترانزیستورهای M1-M2 مطابق جدول انتخاب شده است.

نتایج این مقایسه در جدول ۲ خلاصه شده است. جانمایی آینه جریان پیشنهادی با اندازه ترانزیستورهای  $M_f$  و M1-M2 به ترتیب برابر  $0.118 \mu m$  /  $4 \mu m$  و  $0.36 \mu m$  /  $4 \mu m$  در شکل ۶ نشان داده شده است. شکل ۶ نشان می دهد که آینه جریان پیشنهادی نسبت به آینه جریان ساده حدود ۳۵٪ مساحت بیشتری را اشغال می کند. کل مساحت مصرفی آینه جریان پیشنهادی برابر با  $22/3 \mu m^2$  است.

در این شکل بندی تقویت کننده ایده آل استفاده شده اثر غیر ایده آلی های ناشی اختلاف ولتاژ درین-سورس ترانزیستورها را حذف کرده و در نتیجه می توان تأثیر ناهمجوری ترانزیستورها، که از فرایند ساخت ناشی می شود، را با دقت و صحت بیشتری مشاهده کرد. البته باید توجه داشت که به دلیل اضافه شدن ترانزیستور M3 و تقویت کننده عملیاتی، نتایج حاصل از شبیه سازی رفتار فرکانسی مدار با نتایج به دست آمده از بخش قبل، که پاسخ فرکانسی مدار را در حالت عدم حضور ترانزیستور M3 و تقویت کننده عملیاتی محاسبه می کند، اندکی متفاوت خواهد بود اما، خوشبختانه این تفاوت چندان زیاد نبوده و تأثیر چندان در نتیجه کلی نخواهد داشت. به طوری که هم نتایج شبیه سازی و هم نتایج تئوری روند و نتیجه یکسانی را پیش بینی کرده و یکدیگر را تصدیق می کنند. برای شبیه سازی تأثیر عدم قطعیت ها و عدم تطابق های ناشی از فرایند ساخت و نیز مشاهده میزان خطای انتقال جریان ناشی از ناهمجوری ترانزیستورها، از شبیه سازی Monte Carlo استفاده شده است. برای این منظور از تکنولوژی فایل MC که تغییرات پروسه ساخت را برای تکنولوژی TSMC مدل می کند استفاده شده است. طبق اسناد ارائه شده توسط TSMC میزان انحراف معیار برای یک ترانزیستور با ابعاد کمینه برای پارامتر ولتاژ آستانه حدود ۱۹ mV و انحراف معیار برای تغییرات نسبی پارامترهای طول و عرض کانال و ضخامت اکسید به ترتیب برابر با ۲/۲۹٪، ۱/۸۶٪، ۰/۵٪ اعلام شده است. هر شبیه سازی Monte Carlo با ۱۰۰ اجرا انجام گرفته و در آن اثر تغییرات پارامترهای تکنولوژیکی و ناهمجوری ابعاد ترانزیستورها هم زمان دیده شده است. همچنین برای بررسی عملکرد فرکانسی مدار از شبیه سازی ac بهره گرفته شده است.

نتایج شبیه سازی ها به ازای ابعاد مختلف ترانزیستورها برای دو مدار آینه جریان ساده و آینه جریان پیشنهادی در جدول ۱ با یکدیگر مقایسه شده است.

جدول ۱: مقایسه نتایج شبیه سازی

	W/L (µm/µm)		Mean Value (µA)	Standard Deviation (µA)	Bandwidth (GHz)
	Mf	M1-M2			
SCM	-	۲ / ۰.۱۸	۹/۸۳	۱/۶۳۰	۷/۲۶
	-	۴ / ۰.۳۶	۹/۸۹	۰/۸۰۵	۱/۸۶
	-	۶ / ۰.۵۶	۹/۹۲	۰/۵۳۶	۰/۹۱
PCM	۴ / ۰.۱۸	۲ / ۰.۱۸	۹/۷۶	۱/۶۱۰	۳/۵۰
		۴ / ۰.۳۶	۹/۹۹	۰/۸۵۵	۲/۹۱
		۶ / ۰.۵۶	۱۰/۰۴	۰/۵۳۷	۲/۳۴
	۸ / ۰.۳۶	۲ / ۰.۱۸	۹/۷۶	۱/۶۱۰	۱/۵۴
		۴ / ۰.۳۶	۹/۹۹	۰/۸۵۵	۱/۵۳
		۶ / ۰.۵۶	۱۰/۰۴	۰/۵۳۷	۱/۴۴
۱۲ / ۰.۵۶	۲ / ۰.۱۸	۹/۷۶	۱/۶۱۰	۰/۸۲	
	۴ / ۰.۳۶	۹/۹۹	۰/۸۵۵	۰/۸۵	
	۶ / ۰.۵۶	۱۰/۰۴	۰/۵۳۷	۰/۸۷	

اطلاعات جدول ۱ نشان می دهد که اندازه ترانزیستور  $M_f$  تأثیری بر روی میزان انحراف معیار، که مشخصه ای برای نمایش تأثیر خطاهای

[8] S. S. Rajput and S. S. Jamuar, "Advanced current mirrors for low voltage analog designs," in *Semiconductor Electronics, 2004. ICSE 2004. IEEE International Conference on*, Malaysia, 2004, p. 6 pp.

[9] S. S. Rajput and S. S. Jamuar, "Low voltage analog circuit design techniques," *IEEE Circuits and Systems Magazine*, vol. 2, no. 1, pp. 24-42, 2002.

[10] S. J. Azhari, K. Monfaredi, and H. F. Baghtash, "A novel ultra low power high performance atto-ampere CMOS current mirror with enhanced bandwidth," *Journal of Electronic Science and Technology*, vol. 8, no. 3, pp. 251-256, 2010.

[11] H. F. Baghtash and S. J. Azhari, "Very low input impedance low power current mirror," *Analog Integrated Circuits and Signal Processing*, vol. 66, no. 1, pp. 9-18, 2011.

[12] S. Javad Azhari, H. Faraji Baghtash, and K. Monfaredi, "A novel ultra-high compliance, high output impedance low power very accurate high performance current mirror," *Microelectronics Journal*, vol. 42, no. 2, pp. 432-439, 2011.

[13] K. Monfaredi, H. F. Baghtash, and S. J. Azhari, "A Novel Ultra-Low-Power Low-Voltage Femto-Ampère Current Mirror," *Circuits, Systems, and Signal Processing*, vol. 31, no. 3, pp. 1-15, 2011.

[14] D. Harris and N. Weste, "CMOS VLSI Design," ed: Pearson Education, Inc, 2010.

[15] A. Misaka, A. Goda, K. Matsuoka, H. Umimoto, and S. Odanaka, "A statistical critical dimension control at CMOS cell level," in *International Electron Devices Meeting. Technical Digest*, USA, 1996, pp. 631-634.

[16] A. Asenov, "Simulation of Statistical Variability in Nano MOSFETs," in *2007 IEEE Symposium on VLSI Technology*, 2007, pp. 86-87.

[17] A. Agarwal, K. Kang, S. Bhunia, J. D. Gallagher, and K. Roy, "Device-Aware Yield-Centric Dual- $V_t$  Design Under Parameter Variations in Nanoscale Technologies," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 15, no. 6, pp. 660-671, 2007.

[18] M. Koh, W. Mizubayashi, K. Iwamoto, H. Murakami, T. Ono, M. Tsuno, T. Mihara, K. Shibahara, S. Miyazaki, M. Hirose, "Limit of gate oxide thickness scaling in MOSFETs due to apparent threshold voltage fluctuation induced by tunnel leakage current," *IEEE Transactions on Electron Devices*, vol. 48, no. 2, pp. 259-264, 2001.

[19] K. Bernstein, D. J. Frank, A. E. Gattiker, W. Haensch, B. L. Ji, S. R. Nassif, E. J. Nowak, D. J. Pearson, N. J. Rohrer, "High-performance CMOS variability in the 65-nm regime and beyond," *IBM Journal of Research and Development*, vol. 50, no. 4.5, pp. 433-449, 2006.

[20] L. Mao-Feng, A. Tammineedi, and R. Geiger, "A new current mirror layout technique for improved matching characteristics," in *Circuits and Systems, 1999. 42nd Midwest Symposium on*, 1999, vol. 2, pp. 1126-1129 vol. 2.

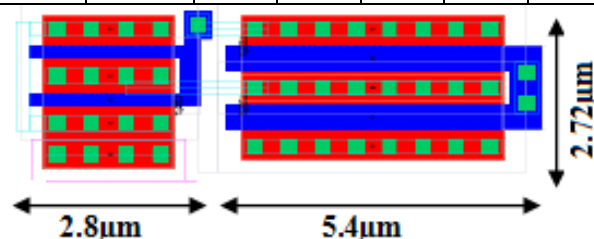
[21] M.-F. Lan, A. Tammineedi, and R. Geiger, "Current Mirror Layout Strategies for Enhancing Matching Performance," *Analog Integrated Circuits and Signal Processing*, journal article vol. 28, no. 1, pp. 9-26, 2001.

[22] I. Mohammed, K. El-Kenawy, and M. Dessouky, "Layout Dependent Effects mitigation in current mirrors," in *2016 Fourth International Japan-Egypt Conference on Electronics, Communications and Computers (JEC-ECC)*, Egypt, 2016, pp. 107-110.

[23] B. Razavi, *Design of analog CMOS integrated circuits*. 2016.

جدول ۲: مقایسه پهنای باند در نقاط گوشه پروسس

	W/L ( $\mu\text{m} / \mu\text{m}$ )	TT@ 27°C	FF@ -20°C	FS@ 27°C	SF@ 27°C	SS@ 85°C
SCM	۲ / -۱۸	۷/۲۸	۹/۳۰	۷/۶۴	۶/۸۹	۷/۲۸
	۴ / -۳۶	۱/۸۶	۲/۲۹	۱/۹۴	۱/۷۸	۱/۵۰
	۶ / -۵۴	-۰/۹۱	۱/۱۲	-۰/۹۵	-۰/۸۸	-۰/۷۵
PCM	۲ / -۱۸	۳/۵۱	۴/۲۲	۳/۷۷	۳/۲۲	۲/۸۲
	۴ / -۳۶	۲/۹۱	۳/۵۱	۳/۱۰	۲/۷۲	۲/۳۷
	۶ / -۵۴	۲/۳۴	۲/۸۲	۲/۴۸	۲/۲۱	۱/۹۱



شکل ۶: جانمایی آینه جریان پیشنهادی

## ۵- نتیجه

در این مقاله، یک آینه جریان با عملکرد فرکانسی بالا با حساسیت کم نسبت به ناهمجواری ترانزیستورها پیشنهاد شد. مشخصات این آینه جریان با مشخصات مربوط به آینه جریان ساده مقایسه شد. نتایج حاصل، عملکرد بهتر مدار پیشنهادی را در مواردی که نیاز به تطابق خوب بین جریان‌های ورودی و خروجی باشد، اثبات می‌کند.

## مراجع

[1] N. Raj, A. K. Singh, and A. K. Gupta, "Low-voltage bulk-driven self-biased cascode current mirror with bandwidth enhancement," *Electronics Letters*, vol. 50, no. 1, pp. 23-25, 2014.

[2] F. Esparza-Alfaro, A. J. Lopez-Martin, J. Ramirez-Angulo, and R. G. Carvajal, "Low-voltage highly-linear class AB current mirror with dynamic cascode biasing," *Electronics Letters*, vol. 48, no. 21, pp. 1336-1338, 2012.

[3] C. Laoudias and C. Psychalinos, "Low-voltage CMOS adjustable current mirror," *Electronics Letters*, vol. 46, no. 2, pp. 124-126, 2010.

[4] S. Lee, H. Lee, J.-K. Woo, and S. Kim, "Low-voltage bandgap reference with output-regulated current mirror in 90 nm CMOS," *Electronics letters*, vol. 46, no. 14, pp. 976-977, 2010.

[5] S. Sharma, S. S. Rajput, L. K. Magotra, and S. S. Jamuar, "FGMOS based wide range low voltage current mirror and its applications," in *Circuits and Systems, 2002. APCCAS '02. 2002 Asia-Pacific Conference on*, 2002, Indonesia, vol. 2, pp. 331-334.

[6] S. S. Rajput and S. S. Jamuar, "A Current Mirror for Low Voltage, High Performance Analog Circuits," *Analog Integrated Circuits and Signal Processing*, journal article vol. 36, no. 3, pp. 221-233, 2003.

[7] S. Sharma, S. Rajput, L. Mangotra, and S. Jamuar, "FGMOS Current Mirror: Behaviour and Bandwidth Enhancement," *Analog Integrated Circuits and Signal Processing*, vol. 46, no. 3, pp. 281-286, 2006.