

# مدل تحلیلی پتانسیل و ولتاژ آستانه ترانزیستور ماسفت دوگیتی با گیت دوماده‌ای بدون آلایش

سید امیر هاشمی<sup>۱</sup>، استادیار

۱- گروه مهندسی برق - دانشکده فنی و مهندسی - دانشگاه شهرکرد - شهرکرد - ایران - ahashemi@aut.ac.ir

**چکیده:** در این مقاله، مدل تحلیلی دوبعدی برای پتانسیل الکتریکی ترانزیستور ماسفت دوگیتی با گیت دوماده‌ای بدون آلایش ارائه شده است که قابل اعمال به ساختارهای متقارن و نامتقارن می‌باشد. پتانسیل دوبعدی با مجموع مؤلفه پتانسیل یک‌بعدی کانال بلند در امتداد طول کانال و مؤلفه تغییرات دوبعدی کانال کوتاه بیان شده است. مؤلفه یک‌بعدی به طول Debye ذاتی وابسته است و به صورت تحلیلی از حل معادله یک‌بعدی پواسون استخراج می‌شود. مؤلفه دوبعدی بر اساس روش جداسازی متغیرها به دست می‌آید. برخلاف مدل‌های موجود که برای محاسبه پاسخ دوبعدی از حل عددی مؤلفه کانال بلند استفاده می‌کنند، مدل پیشنهادی به صورت تحلیلی ارائه شده است. سپس، برای یک ترانزیستور متقارن، با استفاده از مفهوم کاند مجازی و پتانسیل دوبعدی به دست آمده، روابط تحلیلی فرم بسته برای ولتاژ آستانه، کاهش سد پتانسیل با القای درین و تغییرات ولتاژ آستانه استخراج شده است. مدل پیشنهادی در هر نقطه از کانال معتبر است و بر اساس آن می‌توان تأثیر پارامترهای فیزیکی ترانزیستور را بر روی مشخصه‌های الکتریکی آن بررسی کرد. تطبیق مناسب بین نتایج حاصل از مدل و نتایج شبیه‌سازی عددی با نرم‌افزار، دقت مناسب مدل پیشنهادی را نشان می‌دهد.

**واژه‌های کلیدی:** اثرات کانال کوتاه، ترانزیستور ماسفت دوگیتی با گیت دوماده‌ای، کاهش سد پتانسیل با القای درین، معادله پواسون، ولتاژ آستانه.

## Explicit Analytic Model of the Potential and threshold Voltage of an Undoped Dual-Material Double-Gate MOSFET

S.A. Hashemi<sup>1</sup>, Assistant Professor

1- Faculty of Engineering, Shahrekord University, Shahrekord, Iran, Email: ahashemi@aut.ac.ir

**Abstract:** An explicit two dimensional (2D) analytical expression for potential of the channel of an undoped Dual-Material Double-Gate MOSFET has been presented which is applicable to asymmetric and symmetric devices. The 2D potential is based on the sum of 1D long channel potential along the channel and 2D potential variation. The 1D potential term depends on intrinsic Debye length and is analytically extracted from 1D Poisson's equation. The 2D term is achieved by separation of variables method. Despite the existing models which use numerical calculations to achieve the long channel potential, the proposed model has been extracted analytically. For a symmetric device, using the proposed potential model and by means of virtual cathode, analytic expressions for the threshold voltage and drain induced barrier lowering have been derived. Simulations show good agreement between the results of the proposed model and those of TCAD software which guarantees the accuracy of the proposed model.

**Keywords:** Short channel effects, dual-material double-gate MOSFET, drain induced barrier lowering, poisson's equation, threshold voltage.

تاریخ ارسال مقاله: ۱۳۹۵/۰۴/۲۷

تاریخ اصلاح مقاله: ۱۳۹۵/۰۶/۲۲

تاریخ پذیرش مقاله: ۱۳۹۵/۰۸/۱۳

نام نویسنده مسئول: سید امیر هاشمی

نشانی نویسنده مسئول: ایران - شهرکرد - بلوار رهبر - دانشگاه شهرکرد - دانشکده فنی و مهندسی - گروه مهندسی برق.

## ۱- مقدمه

برخی مدل‌های دوبعدی، پتانسیل کانال کوتاه را به صورت مجموع دو مؤلفه پتانسیل کانال بلند یک‌بعدی و مؤلفه دوبعدی تغییرات پتانسیل ارائه می‌کنند. مؤلفه یک‌بعدی از حل معادله پواسون یک‌بعدی با طرف دوم ثابت در امتداد عمود بر کانال به دست می‌آید. مؤلفه دوبعدی نیز پاسخ معادله لاپلاس با طرف دوم صفر است و به صورت مجموع سری‌های نامتناهی بیان می‌شود. سری‌های نامتناهی ممکن است جواب مناسبی داشته باشند، ولی دیدگاه مناسبی از اثرات فیزیکی بر روی رفتار قطعه به دست نمی‌دهند. روابط فرم بسته برای اثرات کانال کوتاه نیز با استفاده از این مدل‌ها ارائه شده‌اند [۱۹-۲۲].

با در نظر گرفتن مدل‌های پتانسیل در شرایط زیر آستانه و صرف نظر از بار متحرک کانال، روابطی برای ولتاژ آستانه ارائه شده است [۶، ۱۱، ۱۸-۱۴]. همچنین، ولتاژ آستانه به صورت ولتاژ گیتی که در آن پتانسیل سطحی به دو برابر پتانسیل فرمی می‌رسد، تعریف شده است [۲۳، ۲۴]. ولی طبق این تعریف، اگر قطعه آلایش کم داشته باشد و حامل‌های متحرک وجود داشته باشند، چگالی حامل‌های سطحی برای روشن شدن قطعه از آلایش کانال بیشتر می‌شود و مفهوم ولتاژ آستانه دچار اشکال خواهد شد [۱۳].

از سوی دیگر، مدل‌های دوبعدی گوناگونی برای تحلیل رفتار ترانزیستورهای دوگیتی با در نظر گرفتن حامل‌های متحرک برای ادوات با کانال بلند و کانال کوتاه ارائه شده است. در مدل‌های کانال کوتاه، پتانسیل به صورت مجموع مؤلفه کانال بلند یک‌بعدی (که از حل معادله یک‌بعدی پواسون در مسیر عمود بر کانال به دست می‌آید) و مؤلفه دوبعدی کانال کوتاه (که از حل معادله دوبعدی لاپلاس در کانال به دست می‌آید) نشان داده می‌شود. چون طرف دوم در معادله دوبعدی لاپلاس مقدار صفر دارد، پاسخ تحلیلی موجود است. ولی برای معادله یک‌بعدی پواسون، به دلیل وابستگی بار طرف دوم به متغیر معادله، پاسخ معادله شبه تحلیلی خواهد بود و برای تعیین ضریب ثابت پاسخ، نیازمند حل عددی رابطه آن ضریب هستیم [۱۳، ۱۹، ۲۷-۲۵]. از آنجایی که پاسخ شبه تحلیلی معادله یک‌بعدی اغلب تابعی متناوب است (تابع کسینوسی یا تانژانتی)، ریشه معادله مورد استفاده برای حل عددی نیز مقداری متناوب دارد. از این رو، انتخاب مقدار مناسب در حل عددی نیازمند تطبیق نمودار نهایی پتانسیل با مقادیر حاصل از نرم افزار است که مدل‌سازی قطعه را با دشواری روبرو می‌سازد.

در این مقاله، مدل دوبعدی تحلیلی برای پتانسیل کانال ترانزیستور ماسفت دوگیتی با گیت دوماده‌ای ارائه شده است. پتانسیل دوبعدی به صورت مجموع دو مؤلفه پتانسیل یک‌بعدی کانال بلند و مؤلفه دوبعدی بیان می‌شود. برخلاف مدل‌های موجود که پتانسیل کانال بلند از حل معادله پواسون یک‌بعدی در مسیر عمود بر کانال به دست می‌آید، در مدل پیشنهاد شده، پتانسیل یک‌بعدی از حل معادله پواسون یک‌بعدی در امتداد طول کانال محاسبه می‌شود. با داشتن شرایط مرزی، استفاده از مفهوم طول Debye ذاتی و کمینه پتانسیل در محل اتصالات سورس/کانال و درین/کانال، رابطه پتانسیل یک‌بعدی

نیاز روز افزون به پهنای باند بزرگ و سرعت زیاد به‌ویژه در سیستم‌های جدید مخابرات نوری، تلاش برای کوچک‌سازی ابعاد هندسی ترانزیستورها را افزایش داده است [۱، ۲]. کوچک‌سازی ترانزیستورها، محدودیت‌های فیزیکی و اثرات ناخواسته‌ای از جمله تغییر ولتاژ آستانه و کاهش سد پتانسیل با القای درین (که در اینجا به اختصار DIBL نامیده می‌شود) را به دنبال خواهد داشت که این آثار با نام اثرات کانال کوتاه شناخته می‌شوند [۳]. برای بهبود این اثرات، ساختارهای جدید از جمله ترانزیستورهای دوگیتی با گیت دوماده‌ای معرفی شده‌اند که مزایایی مانند کاهش جریان نشتی در حالت خاموش و کنترل DIBL را دارند [۴-۸].

ترانزیستور ماسفت دوگیتی، شامل دو گیت روی عایق و یک کانال هدایتی است که این کانال به وسیله الکترودهای گیت در هر دو طرف احاطه شده است. در این ادوات، هر دو گیت وظیفه کنترل جریان را بر عهده دارند. در گیت‌های دوماده‌ای، دو ماده متفاوت با توابع کار مختلف، به صورت جانبی به هم متصل می‌شوند و گیت جلو ترانزیستور را تشکیل می‌دهند. در نتیجه، توزیع میدان الکتریکی در کانال نسبت به گیت‌های یک‌ماده‌ای یکنواخت می‌شود که سبب بهبود جریان الکتریکی در ترانزیستور خواهد شد [۹-۶].

عموماً، کانال این ترانزیستورها با آلایش نسبتاً کم یا بدون آلایش در نظر گرفته می‌شود. کم بودن آلایش بدنه سبب می‌شود که برخورد حامل‌ها با ساختار کانال کاهش و در نتیجه، قابلیت تحرک حامل‌ها افزایش پیدا کند. در این شرایط مقدار بار در کانال ترانزیستور به پتانسیل آن مکان وابسته می‌شود که اصطلاحاً با نام بارهای متحرک کانال نامیده می‌شوند. در نظر گرفتن بارهای متحرک کانال، امکان تحلیل رفتار ترانزیستور را در همه شرایط کاری (زیر آستانه تا آستانه) در اختیار می‌گذارد. در شرایط زیر آستانه، عموماً بار درون کانال ثابت فرض و از حامل‌های متحرک صرف نظر می‌شود.

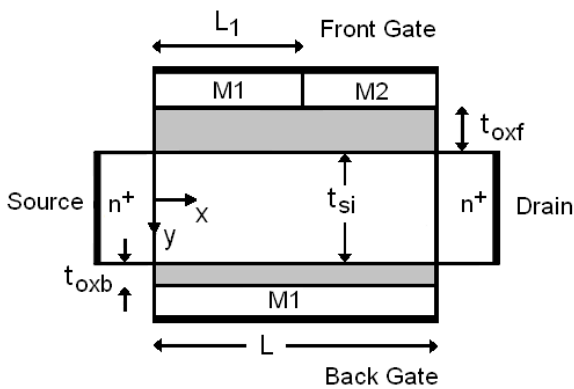
مدل‌سازی ادوات با حل معادله پواسون آغاز می‌شود. در طرف دوم معادله پواسون، بار کانال وجود دارد که در شرایط زیر آستانه و با صرف نظر از حامل‌های متحرک، مقداری ثابت دارد و در غیر این شرایط، به پتانسیل مکان کانال وابسته است. در شرایط زیر آستانه، برای معادله پواسون پاسخ تحلیلی وجود دارد که فرم بسته‌ای برای پتانسیل کانال به دست می‌دهد.

مدل‌های تحلیلی گوناگونی برای بررسی رفتار ترانزیستورهای دوگیتی با صرف نظر از حامل‌های متحرک ارائه شده است که روابط فرم بسته‌ای را برای پتانسیل کانال، ولتاژ آستانه و DIBL در اختیار می‌گذارند. از جمله این روش‌ها، روش مدل سهمی و روش تئوری مقیاس هستند که پتانسیل دوبعدی کانال را بر اساس پتانسیل سطحی یا مرکزی قطعه به دست می‌دهند [۱۳-۱۰]. بر اساس این روش‌ها، اثرات کانال کوتاه نیز به صورت تحلیلی محاسبه شده‌اند [۱۸-۱۴].

است. همچنین، به دلیل آرایش کم کانال، از باریک شدن شکاف باند، یونیزاسیون برخوردی و باز ترکیب حامل‌ها صرف نظر می‌شود. برای حامل‌های کانال، مدل توزیع آماری فرمی-دیراک استفاده و قابلیت تحرک مستقل از آرایش فرض می‌شود. برای انجام شبیه‌سازی، ماژول S-Pisces راه‌اندازی شده است که یک شبیه‌ساز دوبعدی توانمند برای تکنولوژی ادوات سیلیکانی است و معادلات Drift-Diffusion و Energy-Balance Transport را با هم در نظر می‌گیرد. حل عددی معادلات مذکور با روش Newton-Gummel انجام می‌شود.

## ۲- مدل پتانسیل

شکل ۱ ساختار یک ترانزیستور دوگیتی با گیت دوماده‌ای بدون آرایش را نشان می‌دهد.  $t_{si}$  ضخامت کانال است.  $t_{oxb}$  و  $t_{oxf}$  به ترتیب ضخامت‌های لایه اکسید زیر گیت‌های جلو و پشت می‌باشند. گیت جلو از دو ماده متفاوت M1 و M2 با دو تابع کار متفاوت تشکیل شده است. برای سادگی، اندیس‌های  $z = 1$  و  $z = 2$  به ترتیب، برای نمایش کمیت‌های زیر گیت‌های M1 و M2 به کار می‌روند.



شکل ۱: ساختار ماسفت دوگیتی با گیت دوماده‌ای بدون آرایش

پتانسیل دوبعدی کانال در زیر هر گیت، در معادله پواسون رابطه (۱) صدق می‌کند

$$\frac{\partial^2 \varphi_j(x, y)}{\partial x^2} + \frac{\partial^2 \varphi_j(x, y)}{\partial y^2} = \frac{q}{\epsilon_{si}} n_i e^{\beta(\varphi_j - \varphi_F)} \quad (1)$$

که در آن  $\varphi_j(x, y)$  پتانسیل دوبعدی کانال،  $q$  بار الکتریکی،  $\epsilon_{si}$  ثابت گذردهی نیمه‌هادی،  $\beta = q/(KT)$  و  $\varphi_F$  سطح شبه‌فرمی درون نیمه‌هادی هستند. نتایج شبیه‌سازی نشان می‌دهد که سطح فرمی از سورس تا درین در کانال تقریباً ثابت و برابر صفر است و در سمت درین به ولتاژ بایاس درین-سورس می‌رسد [۱۱]. بنابراین، با استفاده از شرایط مرزی زیر در سمت سورس و درین، می‌توان از  $\varphi_F$  در حل رابطه (۱) صرف نظر کرد

$$\begin{cases} \varphi_1(0, 0) = V_{bi} \\ \varphi_2(L_1 + L_2, 0) = V_{bi} + V_{DS} \end{cases} \quad (2)$$

به صورت تحلیلی به دست خواهد آمد. همچنین، بر خلاف مدل‌های موجود که مؤلفه دوبعدی را به صورت معادله لاپلاس با طرف دوم صفر در نظر گرفته‌اند، در مدل پیشنهادی، مؤلفه دوبعدی به صورت معادله پواسون باقی‌مانده با طرف دوم وابسته به بار در نظر گرفته شده است که اثر کامل تری از حضور بارهای متحرک را در شرایط کانال کوتاه به دست می‌دهد. معادله دوبعدی باقی‌مانده با استفاده از روش جداسازی متغیرها حل می‌شود. مدل پتانسیل پیشنهادی در همه نقاط کانال صادق است و به پارامترهای خاص مانند پتانسیل سطحی یا مرکزی وابسته نیست و می‌تواند به ترانزیستورهای با طول کانال کوتاه و بلند و متقارن و نامتقارن اعمال شود. در اینجا منظور از عدم تقارن، برابر نبودن ضخامت اکسید گیت‌های جلو و پشت است.

همچنین، برای محاسبه ولتاژ آستانه، از تعریف کاتد مجازی و مسیر هدایت مؤثر استفاده شده است [۹، ۱۱، ۱۳، ۱۴]. با استفاده از این مفاهیم و مدل دوبعدی پتانسیل پیشنهادی، روابط تحلیلی فرم بسته برای محاسبه ولتاژ آستانه و DIBL برای یک ساختار متقارن ارائه می‌شود.

با استفاده از روابط فرم بسته، اثر پارامترهای فیزیکی ترانزیستور بر روی کمیت‌های محاسبه شده قابل تحلیل و بررسی است که می‌تواند گام اولیه در جهت طراحی ترانزیستور با مشخصات دلخواه را در اختیار قرار دهد.

از آنجا که تمرکز اصلی این مقاله بر روی ارائه مدل تحلیلی و فرم بسته است که پارامترهای فیزیکی در آن لحاظ شده‌اند، برای مقایسه مدل ارائه شده با مدل‌های موجود و بیان مزیت فرم بسته آن، شرایط مشابه همان مدل‌ها، یعنی مدل کلاسیک غیرکوانتومی در نظر گرفته شده است. به طور کلی، اگر میدان الکتریکی عمود بر کانال در زیر گیت بسیار بزرگ باشد، آنگاه تفاوت انرژی بین زیرباندها در کانال زیاد خواهد شد و تراز شبه‌فرمی تعداد حالت‌های کمی را پر می‌کند که با نام محدودیت کوانتومی ساختاری شناخته می‌شود. در ساختار ماسفت‌های دوگیتی، میدان الکتریکی زیر گیت در مجموع ضعیف است و چاه پتانسیل زیر گیت مربعی است که محدودیت کوانتومی کوچکی در حامل‌ها ایجاد می‌کند. همچنین، در زمانی که ضخامت کانال این ترانزیستورها در زیر گیت بزرگتر از ۵ nm باشد، یا آن‌که طول کانال بزرگتر از ۲۰ nm باشد، محدودیت‌های کوانتومی حامل‌ها تأثیر کمی روی ولتاژ آستانه و DIBL خواهند داشت [۳۲-۲۸]. با توجه به ابعاد در نظر گرفته شده برای ترانزیستور در این مقاله، از اثرات کوانتومی در این مقاله صرف نظر و ترانزیستور در شرایط کلاسیک تحلیل و مدل‌سازی شده است.

در نهایت برای بررسی درستی مدل ارائه شده، نتایج حاصل از مدل پیشنهادی با نتایج حاصل از شبیه‌سازی قطعه با نرم‌افزار Atlas [۳۳]، مقایسه شده‌اند و تطبیق خوب بین نتایج، درستی مدل پیشنهادی را نشان می‌دهد. برای شبیه‌سازی با نرم‌افزار، شرایط غیرکوانتومی و کلاسیک در نظر گرفته شده و از تونل‌زنی بین‌باندی صرف نظر شده

که در آن

$$\left\{ \begin{aligned} \varphi_{m j 0} &= V_{bi} - \frac{2}{\beta} \ln \frac{2 + e^{\frac{\beta V_{bi} L_j}{2 \lambda_D}}}{\pi} \\ B_j &= \frac{\pi}{1 + 2e^{-\frac{\beta V_{bi} \lambda_D}{2 L_j}}} \\ \lambda_D &= \sqrt{\frac{2 \varepsilon_{si}}{\beta q n_i}} \end{aligned} \right. \quad (12)$$

و  $\varphi_{m j 0}$  پتانسیل کمینه در اتصالات سورس/کانال و درین/کانال است که تحت تأثیر بایاس گیت قرار نمی‌گیرد. طول Debye ذاتی است [34]. با تقسیم دو طرف بر  $G_j(x)H_j(y)$ ، رابطه (10) به صورت زیر مرتب می‌شود:

$$\frac{\partial^2 G_j(x)}{\partial x^2} \frac{1}{G_j(x)} + \frac{\partial^2 H_j(y)}{\partial y^2} \frac{1}{H_j(y)} = \frac{q n_i}{\varepsilon_{si}} \frac{1}{G_j(x)H_j(y)} e^{\beta \varphi_{m j}} [e^{\beta G_j H_j} - 1] \quad (13)$$

با بسط تیلور جملات نمایی و صرف نظر از مولفه‌های مرتبه بالا، رابطه (13) به معادله دیفرانسیل زیر در زیر هر گیت ساده می‌شود:

$$\frac{\partial^2 G_1(x)}{\partial x^2} \frac{1}{G_1(x)} + \frac{\partial^2 H_1(y)}{\partial y^2} \frac{1}{H_1(y)} = \frac{2B_1^2}{L_1^2} \sec^2 \left[ B_1 \left( \frac{x}{L_1} - \frac{1}{2} \right) \right] \quad (14)$$

$$\frac{\partial^2 G_2(x)}{\partial x^2} \frac{1}{G_2(x)} + \frac{\partial^2 H_2(y)}{\partial y^2} \frac{1}{H_2(y)} = \frac{2B_2^2}{L_2^2} \sec^2 \left[ B_2 \left( \frac{x - L_1}{L_2} - \frac{1}{2} \right) \right] \quad (15)$$

با استفاده از روش جداسازی متغیرها، روابط (14) و (15) به صورت زیر تفکیک می‌شوند:

$$\left\{ \begin{aligned} \frac{1}{H_1(y)} \frac{\partial^2 H_1(y)}{\partial y^2} &= \rho_1^2 \\ \frac{1}{G_1(x)} \frac{\partial^2 G_1(x)}{\partial x^2} &= -\rho_1^2 + \frac{2B_1^2}{L_1^2} \sec^2 \left[ B_1 \left( \frac{x}{L_1} - \frac{1}{2} \right) \right] \end{aligned} \right. \quad (16)$$

و

$$\left\{ \begin{aligned} \frac{1}{H_2(y)} \frac{\partial^2 H_2(y)}{\partial y^2} &= \rho_2^2 \\ \frac{1}{G_2(x)} \frac{\partial^2 G_2(x)}{\partial x^2} &= -\rho_2^2 + \frac{2B_2^2}{L_2^2} \sec^2 \left[ B_2 \left( \frac{x - L_1}{L_2} - \frac{1}{2} \right) \right] \end{aligned} \right. \quad (17)$$

که  $\rho_j$  ثابت جداسازی است. پاسخ  $H_j$  عبارت است از:

$$H_j(y) = A_{j1} e^{\rho_j y} + A_{j2} e^{-\rho_j y} \quad (18)$$

که در آن  $V_{bi}$  پتانسیل درونی پیوندهای اتصال/بدنه (در سمت سورس و درین) و  $V_{DS}$  ولتاژ بایاس درین-سورس هستند.

همچنین، شرایط مرزی برای رابطه (1) در زیر هر گیت عبارتند از:

$$\left. \frac{\partial \varphi_j(x, y)}{\partial y} \right|_{y=\frac{-t_{si}}{2}} = \frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{\varphi_{Sj}(x) - (V_{GSj} - V_{FBj})}{t_{oxf}} \quad (3)$$

$$\left. \frac{\partial \varphi_j(x, y)}{\partial y} \right|_{y=\frac{t_{si}}{2}} = \frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{(V_{GSb} - V_{FBb}) - \varphi_B(x)}{t_{oxb}} \quad (4)$$

که  $V_{FBb}$  و  $V_{FBj}$  به ترتیب ولتاژهای باند تخت گیت‌های جلو و پشت،  $V_{GSb}$  و  $V_{GSj}$  به ترتیب ولتاژهای بایاس گیت‌های جلو و پشت و  $\varphi_B(x)$  و  $\varphi_S(x)$  به ترتیب ولتاژهای سطحی در زیر گیت‌های جلو و پشت هستند. علاوه بر شرایط مرزی بالا، پتانسیل و میدان الکتریکی در محل اتصال دو ماده درون کانال پیوسته هستند. یعنی:

$$\varphi_1(L_1, y) = \varphi_2(L_1, y) \quad (5)$$

$$\left. \frac{\partial \varphi_1(x, y)}{\partial x} \right|_{x=L_1} = \left. \frac{\partial \varphi_2(x, y)}{\partial x} \right|_{x=L_1} \quad (6)$$

با استفاده از موقعیت نشان داده شده برای محورهای مختصات در شکل 1، پتانسیل دوبعدی کانال در زیر هر گیت را می‌توان به صورت زیر بیان کرد:

$$\varphi_j(x, y) = \varphi_{mj}(x) + G_j(x)H_j(y) \quad (7)$$

که  $G(x)$  و  $H(y)$  وابستگی پتانسیل را به تغییرات در جهت  $x$  و  $y$  نشان می‌دهند. با جایگذاری رابطه (7) در رابطه (1)، معادله پواسون به معادله دیفرانسیل زیر تبدیل می‌شود:

$$\frac{\partial^2 \varphi_{mj}(x)}{\partial x^2} + \frac{\partial^2 G_j(x)}{\partial x^2} H_j(y) + \frac{\partial^2 H_j(y)}{\partial y^2} G_j(x) = \frac{q}{\varepsilon_{si}} n_i e^{\beta [\varphi_{mj} + G_j(x)H_j(y)]} \quad (8)$$

معادله دیفرانسیل رابطه (8) به دو بخش یک‌بعدی و دوبعدی به صورت زیر تفکیک می‌شود:

$$\frac{\partial^2 \varphi_{mj}(x)}{\partial x^2} = \frac{q}{\varepsilon_{si}} n_i e^{\beta \varphi_{mj}} \quad (9)$$

$$\frac{\partial^2 G_j(x)}{\partial x^2} H_j(y) + \frac{\partial^2 H_j(y)}{\partial y^2} G_j(x) = \frac{q}{\varepsilon_{si}} n_i e^{\beta \varphi_{mj}} [e^{\beta G_j H_j} - 1] \quad (10)$$

پاسخ بخش یک‌بعدی رابطه (9) در زیر هر گیت عبارت است از:

$$\left\{ \begin{aligned} \varphi_{m1}(x) &= \varphi_{m10} + \frac{1}{\beta} \ln \left[ \sec^2 B_1 \left( \frac{x}{L_1} - \frac{1}{2} \right) \right] \\ \varphi_{m2}(x) &= \varphi_{m20} + \frac{1}{\beta} \ln \left[ \sec^2 B_2 \left( \frac{x - L_1}{L_2} - \frac{1}{2} \right) \right] \end{aligned} \right. \quad (11)$$

$$A_{j1} = \frac{1}{2G_j(0)\rho_j \sinh(\rho_j t_{si})} \frac{\epsilon_{ox}}{\epsilon_{si}} \times \left[ \frac{e^{\frac{\rho_j t_{si}}{2}}}{t_{oxb}} \times [(V_{GSb} - V_{FBb}) - \varphi_B(0)] - \frac{e^{-\frac{\rho_j t_{si}}{2}}}{t_{oxf}} \times [\varphi_{Sj}(0) - (V_{GSfj} - V_{FBfj})] \right] \quad (25)$$

$$A_{j2} = \frac{1}{2G_j(0)\rho_j \sinh(\rho_j t_{si})} \frac{\epsilon_{ox}}{\epsilon_{si}} \times \left[ \frac{e^{-\frac{\rho_j t_{si}}{2}}}{t_{oxb}} \times [(V_{GSb} - V_{FBb}) - \varphi_B(0)] - \frac{e^{\frac{\rho_j t_{si}}{2}}}{t_{oxf}} \times [\varphi_{Sj}(0) - (V_{GSfj} - V_{FBfj})] \right] \quad (26)$$

### ۳- مدل ولتاژ آستانه

در ماسفت دوگیتی با گیت دوماده‌ای شکل ۱، پتانسیل کانال در نقطه‌ای در امتداد x به کمینه مقدار خود می‌رسد که آن نقطه با نام کاند مجازی شناخته می‌شود [۱۴]. برای این ترانزیستور، کاند مجازی در زیر گیت اول و در مجاورت سورس است و مکان آن به صورت زیر محاسبه می‌شود:

$$\left. \frac{\partial \varphi_1(x, y)}{\partial x} \right|_{x=x_{1min}} = 0 \Rightarrow x_{1min} = L_1 \left( \frac{1}{2} - \sqrt{\frac{\alpha_1(\gamma_1 - 1)}{2}} \right) \quad (27)$$

که در آن

$$\begin{cases} \alpha_1 = \frac{5}{2B_1^2} \\ \gamma_1 = \sqrt{1 - \frac{12}{5} \left( 2 - \frac{\rho_1^2 L_1^2}{B_1^2} \right)} \end{cases} \quad (28)$$

با جایگذاری  $x_{1min}$  در  $\varphi_1(x, y)$ ، کمینه پتانسیل در کاند مجازی در زیر گیت اول عبارت است از:

$$\begin{cases} \varphi_1(x_{1min}, y) = \varphi_{m10} + \delta_1 H_1(y) \\ \delta_1 = 1 + \left[ 1 + 2 \ln \left[ \sec \left( \sqrt{\frac{\alpha_1(\gamma_1 - 1)}{2}} \right) \right] - \frac{\rho_1 L_1^2 \alpha_1 (\gamma_1 - 1)}{4} + D_1 \right]^{\frac{1}{2}} \end{cases} \quad (29)$$

در شرایط زیر آستانه تا آستانه، موقعیت  $x_{1min}$  وابستگی کمی به ولتاژ بایاس گیت دارد (شکل ۵). در نتیجه، وابستگی  $\varphi_1(x, y)$  به ولتاژ گیت نیز کم است و می‌توان از کمینه پتانسیل در محل کاند مجازی برای محاسبه ولتاژ آستانه استفاده کرد.

که  $A_{j2}$  و  $A_{j1}$  ضرایبی هستند که با استفاده از شرایط مرزی محاسبه می‌شوند. با در نظر گرفتن رابطه (۲)، پاسخ  $G_1(x)$  و  $G_2(x)$  عبارتند از:

$$\begin{cases} G_1 = 1 + \left[ 1 + 2 \ln \left[ \sec \left( \frac{x-1}{L_1} \right) \right] - \frac{\rho_1 L_1^2}{2} \left( \frac{x-1}{L_1} \right)^2 + D_1 \right]^{\frac{1}{2}} \\ D_1 = \left[ \frac{V_{bi} - \varphi_{m10} - \frac{2}{\beta} \ln \left[ \sec \left( \frac{B_1}{2} \right) \right]}{A_{11} + A_{12}} - 1 \right]^2 - 2 \ln \left[ \sec \left( \frac{1}{2} \right) \right] + \frac{\rho_1 L_1^2}{8} - 1 \end{cases} \quad (19)$$

و به طور مشابه

$$\begin{cases} G_2 = 1 + \left[ 1 + 2 \ln \left[ \sec \left( \frac{x-L_1-1}{L_2} \right) \right] - \frac{\rho_2 L_2^2}{2} \left( \frac{x-L_1-1}{L_2} \right)^2 + D_2 \right]^{\frac{1}{2}} \\ D_2 = \left[ \frac{V_{bi} + V_{DS} - \varphi_{m20} - \frac{2}{\beta} \ln \left[ \sec \left( \frac{B_2}{2} \right) \right]}{A_{21} + A_{22}} - 1 \right]^2 - 2 \ln \left[ \sec \left( \frac{1}{2} \right) \right] + \frac{\rho_2 L_2^2}{8} - 1 \end{cases} \quad (20)$$

با جایگذاری رابطه (۱۱) و روابط (۱۸) تا (۲۰) در رابطه (۷)، پتانسیل دوبعدی کانال ترانزیستور شکل ۱ به دست می‌آید.

برای محاسبه ضرایب  $A_{j2}$  و  $A_{j1}$ ، اعمال شرایط مرزی روابط (۲) تا (۶) به رابطه (۷)، معادلات زیر را نتیجه می‌دهد:

$$\begin{cases} G_j(0)\rho_j \left( A_{j1} e^{-\frac{\rho_j t_{si}}{2}} - A_{j2} e^{\frac{\rho_j t_{si}}{2}} \right) = \frac{\epsilon_{ox}}{\epsilon_{si}} \frac{\varphi_{Sj}(0) - (V_{GSfj} - V_{FBfj})}{t_{oxf}} \\ G_j(0)\rho_j \left( A_{j1} e^{\frac{\rho_j t_{si}}{2}} - A_{j2} e^{-\frac{\rho_j t_{si}}{2}} \right) = \frac{\epsilon_{ox}}{\epsilon_{si}} \frac{(V_{GSb} - V_{FBb}) - \varphi_B(0)}{t_{oxb}} \end{cases} \quad (21)$$

$$\begin{aligned} \varphi_{m1}(L_1) + G_1(L_1)(A_{11} + A_{12}) \\ = \varphi_{m2}(L_1) + G_2(L_1)(A_{21} + A_{22}) \end{aligned} \quad (22)$$

$$\left. \frac{\partial \varphi_{m1}}{\partial x} \right|_{x=L_1} + H_1 \left. \frac{\partial G_1}{\partial x} \right|_{x=L_1} = \left. \frac{\partial \varphi_{m2}}{\partial x} \right|_{x=L_1} + H_2 \left. \frac{\partial G_2}{\partial x} \right|_{x=L_1} \quad (23)$$

و در محل سورس و درین

$$\begin{cases} \varphi_{m1}(0) + G_1(0)(A_{11} + A_{12}) = V_{bi} \\ \varphi_{m2}(L_1 + L_2) + G_2(L_1 + L_2)(A_{21} + A_{22}) = V_{bi} + V_{DS} \end{cases} \quad (24)$$

با استفاده از روابط (۲۱) تا (۲۴)،  $A_{j2}$  و  $A_{j1}$  به صورت زیر محاسبه می‌شوند:

$$V_{THS} = M V_{bi} + V_{FBF1} + \varphi_{S1}(0) - N \quad (34)$$

که در آن

$$M = \frac{\rho_1 \varepsilon_{si} \cosh(3\rho_1 t_{si}/4)}{C_{ox} \sinh(\rho_1 t_{si}/4)}$$

$$N = \frac{\rho_1 \varepsilon_{si} \cosh(3\rho_1 t_{si}/4)}{C_{ox} \sinh(\rho_1 t_{si}/4)} \varphi_{m1} \quad (35)$$

$$- \frac{G_1(0) \cosh(2\rho_1 t_{si}/4)}{\beta \delta_1} \left[ \text{Ln} \left( \frac{Q_{TH}}{n_i t_{si}} \right) - \beta \varphi_{m10} \right]$$

وابستگی ولتاژ آستانه به پتانسیل سطحی، پتانسیل درونی اتصال/کانال و ولتاژ باند تخت از رابطه (34) قابل مشاهده است.

برای محاسبه ولتاژ آستانه، طبق رابطه (32)، مقدار  $H_1(t_{si}/4)$  باید محاسبه شود که خود به مقدار  $Q_{TH}$  وابسته است. با توجه به تعریف استفاده شده برای ولتاژ آستانه، در صورتی که چگالی بار وارونه در کاتد مجازی که پتانسیل کمینه است، به مقدار بار آستانه برسد، آنگاه کمینه جریان لازم برای روشن شدن ترانزیستور فراهم می‌شود. مقدار کمینه جریان و در نتیجه مقدار بار آستانه برای ترانزیستور دوگیتی طبق تعریف ولتاژ آستانه ثابت و برابر  $2/24 \times 10^{10} \text{ cm}^{-2}$  است [9، 18، 34]. باید توجه داشت مکان کاتد مجازی به مشخصات هندسی ترانزیستور وابسته است؛ حال آن که بار آستانه مقداری ثابت دارد.

در ادوات با طول کانال کوتاه، میدان الکتریکی ناشی از بایاس درین، ارتفاع سد پتانسیل بین سورس و کانال را تغییر می‌دهد. در نتیجه حرکت حامل‌ها درون کانال تحت تأثیر قرار می‌گیرد. این پدیده با نام کاهش سد پتانسیل با القای درین (DIBL) نامیده می‌شود. DIBL برابر است با مقدار کاهش ولتاژ آستانه، وقتی ولتاژ درین از یک مقدار کوچک به یک مقدار بزرگ افزایش می‌یابد، یعنی:

$$DIBL = V_{TH}(V_{DSL}) - V_{TH}(V_{DSH}) \quad (36)$$

در اینجا،  $V_{TH}(V_{DSL})$  مقدار ولتاژ آستانه به ازای  $V_{DS}$  کوچکی است که آن  $V_{DS}$  ترانزیستور را در ناحیه خطی قرار می‌دهد. همچنین،  $V_{TH}(V_{DSH})$  مقدار ولتاژ آستانه به ازای  $V_{DS}$  بزرگی است که آن  $V_{DS}$  ترانزیستور را در ناحیه اشباع قرار می‌دهد. برای تحلیل DIBL، عموماً  $V_{DSL} = 0.1V$  و  $V_{DSH} = 1V$  در نظر گرفته می‌شوند. ضریب جداسازی  $\rho_1$  در زیر گیت اول برابر مقدار زیر در نظر گرفته می‌شود:

$$\rho_1 = \frac{B_1 \sqrt{2}}{L_1} + \frac{\varphi_2(L_1, 0)}{L_1} \quad (37)$$

$\varphi_2(L_1, 0)$  در حقیقت پتانسیل انتهای ماده اول (طبق شرط مرزی رابطه (5)) است که به  $V_{DS}$  وابسته می‌باشد. در زمانی که  $V_{DS} \rightarrow 0$  (و در نتیجه آن  $\varphi_2(L_1, 0) \rightarrow 0$ ) میل کند، مقدار  $x_{\min}$  رابطه

ولتاژ آستانه به صورت ولتاژ گیتی تعریف می‌شود که در آن ولتاژ کمینه چگالی بار وارونه به مقدار مناسب و لازم بار آستانه،  $Q_{TH}$ ، برای روشن شدن ترانزیستور برسد [21]. مقدار کمینه چگالی بار وارونه،  $Q_{limv}$ ، به صورت زیر به دست می‌آید:

$$Q_{limv} = 2 \int_0^{t_{si}/2} n_i e^{\beta \varphi_1(x_{\min}, y)} dy \quad (30)$$

$$= 2n_i e^{\beta \varphi_{m10}} \int_0^{t_{si}/2} e^{\beta \delta_1 H_1(y)} dy$$

برای یک عمق مشخص کانال که مسیر هدایت مؤثر نام دارد [18]، رابطه (30) را می‌توان با جایگزینی کمیت انتگرال با مقدارش در این مسیر محاسبه کرد. در ماسفت دوگیتی، این عمق به توزیع بار در کاتد مجازی بستگی دارد و مکان مسیر هدایت مؤثر در  $y = t_{si}/4$  است. در شرایط آستانه، تغییرات بار در جهت عمود بر کانال وابستگی کمی به ولتاژ گیت دارد و تقریب مسیر هدایت مؤثر برای محاسبه رابطه (30) قابل قبول است. بنابراین، رابطه (30) را می‌توان به صورت زیر نوشت:

$$Q_{limv} = 2n_i e^{\beta \varphi_{m10}} \int_0^{t_{si}/2} e^{\beta \delta_1 H_1(t_{si}/4)} dy \quad (31)$$

$$= n_i t_{si} e^{\beta [\varphi_{m10} + \delta_1 H_1(t_{si}/4)]}$$

در شرایط آستانه،  $Q_{limv} = Q_{TH}$ . در نتیجه، رابطه (31) به صورت زیر مرتب می‌شود:

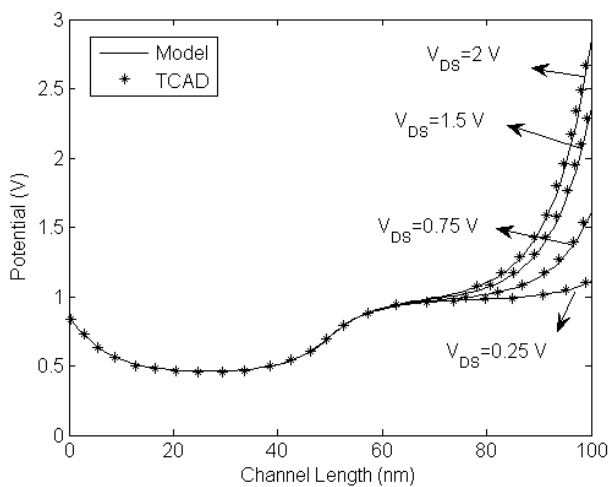
$$H_1(t_{si}/4) = \frac{1}{\beta \delta_1} \left[ \text{Ln} \left( \frac{Q_{TH}}{n_i t_{si}} \right) - \beta \varphi_{m10} \right] \quad (32)$$

در اینجا، برای محاسبه ولتاژ آستانه فرض می‌شود که قطعه متقارن است. یعنی  $t_{oxb} = t_{oxf}$ ،  $V_{GSb1} = V_{GSf1}$  و  $V_{FBb1} = V_{FBf1}$  با در نظر گرفتن شرایط مرزی روابط (21) و (24)، ضرایب  $A_{11}$  و  $A_{12}$  برای قطعه متقارن عبارتند از:

$$\left. \begin{aligned} A_{11} &= \frac{1}{2G_1(0) \cosh(\rho_1 t_{si}/2)} \times \\ &\left[ e^{\rho_1 t_{si}/2} [V_{bi} - \varphi_{m1}(0)] + \frac{C_{ox}}{\varepsilon_{si} \rho_1} [\varphi_{S1}(0) - (V_{GSf1} - V_{FBf1})] \right] \\ A_{12} &= \frac{1}{2G_1(0) \cosh(\rho_1 t_{si}/2)} \times \\ &\left[ e^{-\rho_1 t_{si}/2} [V_{bi} - \varphi_{m1}(0)] - \frac{C_{ox}}{\varepsilon_{si} \rho_1} [\varphi_{S1}(0) - (V_{GSf1} - V_{FBf1})] \right] \end{aligned} \right\} \quad (33)$$

که در آن  $C_{ox} = \varepsilon_{ox} / t_{ox}$  برای محاسبه ولتاژ آستانه  $V_{TH}$  ابتدا  $H_1(t_{si}/4)$  با استفاده از ضرایب رابطه (33) محاسبه می‌شود. سپس مقدار محاسبه شده در رابطه (32) قرار می‌گیرد و در نهایت رابطه حاصل بر اساس  $V_{GSf1}$  مرتب می‌شود. این ولتاژ همان ولتاژ آستانه قطعه کانال کوتاه است و برابر است با:

پتانسیل مرکزی به ازای ولتاژهای  $V_{DS}$  مختلف در شکل ۲ نشان داده شده است. همان گونه که از شکل مشخص است، تطبیق خوبی بین نتایج مدل پیشنهادی و نتایج حاصل از شبیه سازی ترانزیستور با نرم افزار وجود دارد. افزایش  $V_{DS}$  سبب می شود که پتانسیل در سمت درین زیر M2 افزایش یابد، در حالی که پتانسیل در زیر M1 در سمت سورس تقریباً ثابت باقی می ماند. این تفاوت باعث ایجاد یک شکل پله ای در توزیع پتانسیل در محل اتصال دو گیت می شود. این ویژگی برای ساختار گیت دوماده ای منحصر به فرد است و با انتخاب مناسب توابع کار دو ماده به دست می آید. این شکل پله ای، سبب می شود که ناحیه زیر گیت M1 از تغییرات پتانسیل سمت درین مجزا و یک اثر حفاظتی روی جریان کانال در مقابل تغییرات پتانسیل درین ایجاد شود. این بدان معنی است که تأثیر میدان الکتریکی درین بر مقدار پتانسیل کانال نزدیک سورس کاهش می یابد و اثرات کانال کوتاه که ناشی از این میدان هستند، بهبود می یابند. همچنین، با تغییر ولتاژ بایاس درین، محل و ارتفاع پله پتانسیل تقریباً ثابت است. این رفتار اجازه می دهد که بتوان ترانزیستور را در شرایط مصرف توان کم بایاس کرد و در عین حال از مزیت بهبود اثرات کانال کوتاه آن بهره برد.



شکل ۲: پتانسیل مرکزی،  $V_{GS} = 0.75 \text{ V}$

در شکل ۳ تغییرات پتانسیل سطحی نسبت به طول کانال برای طول های مختلف ماده اول ( $L_1$ ) نشان داده شده است. همان گونه که از شکل مشخص است، مقدار کمینه پتانسیل در زیر ماده M1 می باشد و از این رو می توان تعریف کاند مجازی را برای محاسبه ولتاژ آستانه طبق رابطه (۳۴) استفاده کرد. همچنین با افزایش طول  $L_1$ ، مقدار ارتفاع پله ایجاد شده در پتانسیل افزایش می یابد که اثر بایاس درین بر پتانسیل نزدیک سورس را بیشتر کاهش می دهد و اثرات کانال کوتاه بهتر کنترل می شوند. اگر  $L_1$  بزرگ باشد (بیشتر از نصف  $L$ )، طبق شکل، تغییر چندانی در ارتفاع پله پتانسیل ایجاد نمی شود، ولی به دلیل جابجایی پله به سمت درین، بیشینه میدان الکتریکی در سمت درین افزایش می یابد که این رفتار هم حاملهای داغ کانال را افزایش

(۲۷) در  $L_1/2$  اتفاق می افتد که با مدل های کانال بلند موجود مطابقت دارند [۳۴]. همچنین، برای ادوات با کانال بلند،  $\rho \rightarrow 0$  و  $H(y)$  مقدار ثابتی خواهد داشت. بنابراین، پتانسیل کانال بلند قطعه فقط به  $x$  وابسته خواهد شد. در این حالت ولتاژ آستانه کانال بلند با توجه به رابطه (۳۴) برابر خواهد بود با:

$$V_{THL} = \frac{\epsilon_{si}}{C_{ox}} V_{bi} + V_{FBF1} + \phi_{S1}(0) - \left[ \frac{\epsilon_{si}}{C_{ox}} \phi_{m1} - \frac{G_1(0)}{\beta \delta_1} \left[ \text{Ln} \left( \frac{Q_{TH}}{n_i t_{si}} \right) - \beta \phi_{m10} \right] \right] \quad (38)$$

جدول ۱: پارامترهای ترانزیستور شکل ۱

پارامتر	مقدار
تابع کار ماده M1	5.52 eV
تابع کار ماده M2	4.17 eV
$L$	100 nm
$L_1$	50 nm
$t_{oxf}$	2 nm
$t_{oxb}$	2 nm
$t_{si}$	12 nm
آلایش اتصالات سورس/درین	$10^{20} \text{ cm}^{-3}$
کانال از جنس Si بدون آلایش	$n_i = 1.5 \times 10^{10} \text{ cm}^{-3}$

در نهایت تغییرات ولتاژ آستانه (roll-off) با محاسبه اختلاف بین روابط (۳۴) و (۳۸) به دست می آید. یعنی

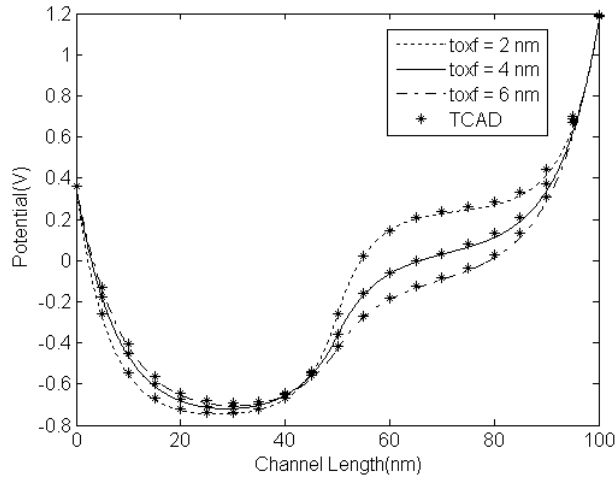
$$\Delta V_{TH} = V_{THL} - V_{THS} \quad (39)$$

#### ۴- نتایج و تحلیل

برای بررسی مدل تحلیلی پیشنهاد شده، ترانزیستور ماسفت دوگیتی با گیت دوماده ای شکل ۱ با پارامترهای جدول ۱ در نظر گرفته شده است. کانال از جنس Si و بدون آلایش در نظر گرفته می شود. اکسیدهای زیر گیت نیز از جنس  $\text{SiO}_2$  هستند.

از آنجا که مدل پیشنهادی ارائه شده در شرایط غیرکوانتومی مورد بررسی قرار می گیرد، طبق بحث بیان شده در بخش مقدمه، مقادیر  $L$  و  $L_1$  به گونه ای انتخاب می شوند که شرایط کلاسیک برقرار باشد. یعنی، ایمن دو مقادیر بزرگ تر از ۲۰ nm انتخاب می شوند. به صورت پیش فرض برابر ۱۰۰ nm انتخاب می شود تا اثرات کوانتومی به اندازه کافی ضعیف باشند. از سوی دیگر، طبق شکل ۳، اگر  $L_1$  کوچک باشد، ارتفاع سد پتانسیل کاهش می یابد که سبب بدتر شدن اثرات کانال کوتاه می شود. همچنین، اگر  $L_1 > L/2$  انتخاب شود، رفتار ترانزیستور به ترانزیستور با گیت ساده نزدیک می شود که دوباره بدتر شدن اثرات کانال کوتاه را به دنبال خواهد داشت. بنابراین، انتخاب  $L_1 = L/2$  یک حالت میانه است که مزیت های بهبود اثرات کانال کوتاه و در عین حال، ضعیف بودن اثرات کوانتومی را همزمان به دنبال دارد.

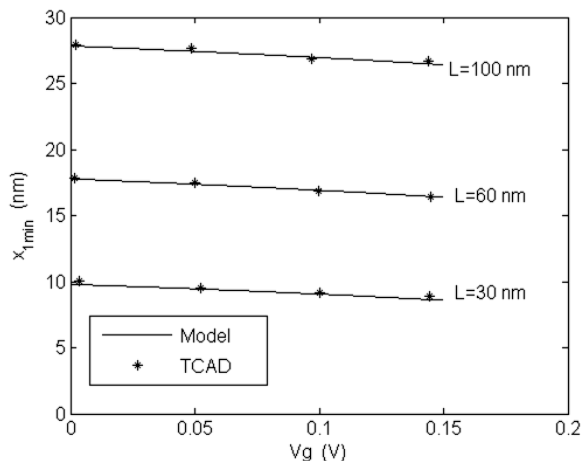
گیت به کانال برسد. به عبارت دیگر، می‌توان ضخامت لایه اکسید را ثابت در نظر گرفت و به جای آن به‌طور هم‌ارز، تابع کار ماده زیر هر کدام از گیت‌ها را تغییر داد. در نتیجه، با کاهش ضخامت لایه اکسید، ارتفاع پله پتانسیل ایجاد شده در کانال افزایش می‌یابد که سبب می‌شود اثرات کانال کوتاه بهتر کنترل شوند.



شکل ۴: تغییرات پتانسیل سطحی به ازای  $t_{ox}$  های گوناگون

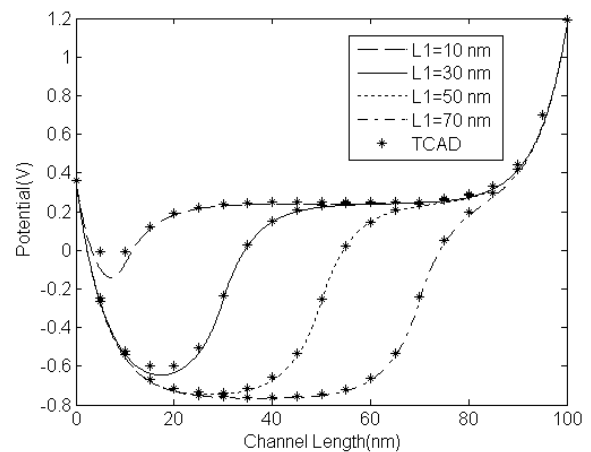
$$V_{DS} = 0.8V \text{ و } V_{GS} = 0.1V$$

شکل ۵ تغییرات  $x_{1min}$  را نسبت به  $V_{GS}$  در شرایط زیر آستانه و آستانه نشان می‌دهد. همان‌گونه که از شکل مشخص است، تغییرات  $V_{GS}$  تأثیر چندانی بر مکان  $x_{1min}$  در کانال ندارد و در نتیجه،  $\phi_1(x_{1min}, y)$  وابستگی کمی به  $V_{GS}$  خواهد داشت. در حقیقت، مقدار  $x_{1min}$  به ساختار هندسی ترانزیستور و طول کانال وابسته است. این رفتار اجازه می‌دهد که بتوانیم از مفهوم مسیر هدایت مؤثر و کاند مجازی برای محاسبه ولتاژ آستانه با دقت مناسب استفاده کنیم. از سوی دیگر، با افزایش طول کانال، مکان  $x_{1min}$  افزایش می‌یابد که به دلیل آن است که با افزایش طول کانال، میدان الکتریکی ناشی از بایاس درین کمتر بر روی کانال اثر می‌گذارد و محلی که در آن میدان الکتریکی افقی به کمترین مقدار خود می‌رسد، در فاصله دورتری از سورس اتفاق می‌افتد.



شکل ۵: تغییرات  $x_{1min}$  نسبت به  $V_{GS}$  برای  $V_{DS} = 0.5V$

می‌دهد و هم سبب کاهش ولتاژ شکست درین خواهد شد و از ویژگی ترانزیستور با گیت دوماده‌ای که بهبود اثرات کانال کوتاه است، کاسته می‌شود. از سوی دیگر، طبق رابطه (۷)، پتانسیل دوبعدی کانال به‌صورت مجموع دو مؤلفه پتانسیل یک‌بعدی (ناشی از اثرات کانال بلند در راستای  $x$ ) و مؤلفه دوبعدی (ناشی از اثرات کانال کوتاه در راستای  $y$ ) در نظر گرفته می‌شود. در این شرایط، فرض می‌شود که میدان الکتریکی ناشی از مؤلفه یک‌بعدی پتانسیل در راستای  $x$  (با نام  $E_{x0}$ )، مستقل از میدان الکتریکی ناشی از مؤلفه دوبعدی (با نام  $\Delta E_{xy}$ ) است. یعنی تغییرات  $E_{x0}$  اثر ناچیزی روی  $\Delta E_{xy}$  دارد. خود  $\Delta E_{xy}$  نیز شامل دو مؤلفه میدان الکتریکی در راستای  $x$  (با نام  $\Delta E_x$ ) و در راستای  $y$  (با نام  $\Delta E_y$ ) است که این دو مؤلفه به هم وابسته‌اند. یعنی تغییرات یکی بر روی دیگری اثر می‌گذارد. با کوچک شدن طول کانال (یا هم‌ارز آن کوچک شدن طول  $L_1$ )، وابستگی  $E_{x0}$  و  $\Delta E_{xy}$  افزایش می‌یابد. همچنین، تغییرات  $\Delta E_x$  نیز بر روی  $\Delta E_y$  اثر بیشتری می‌گذارد. این وابستگی باعث می‌شود که در ابعاد کوچک  $L_1$ ، بار الکتریکی در نزدیک سطح تجمع پیدا کند و مرکز کانال بار کمتری داشته باشد. از آنجا که در نرم‌افزار شبیه‌ساز معادله پواسون به‌طور عددی حل می‌شود، وابستگی میدان الکتریکی عمودی و افقی به یکدیگر به‌طور کامل وجود دارد. بنابراین، با کاهش طول کانال، تجمع بار در سطح افزایش می‌یابد و پتانسیل سطحی حاصل از نرم‌افزار شبیه‌ساز، بزرگ‌تر از پتانسیل سطحی در مدل پیشنهادی است که در طول  $L_1 = 10 \text{ nm}$  در شکل ۳ قابل مشاهده است.

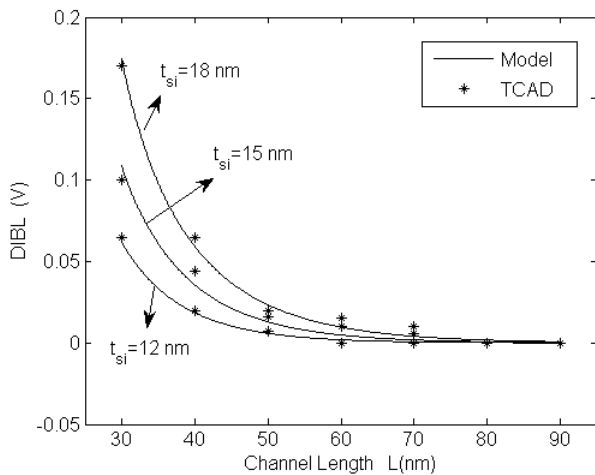


شکل ۳: تغییرات پتانسیل سطحی به ازای طول‌های مختلف گیت اول

$$V_{DS} = 0.8V \text{ و } V_{GS} = 0.1V$$

در شکل ۴ تغییرات پتانسیل سطحی نسبت به طول کانال برای ضخامت‌های مختلف لایه اکسید گیت جلو رسم شده است. همان‌گونه که از شکل دریافته می‌شود، کاهش ضخامت لایه اکسید سبب افت کمتر ولتاژ اعمالی گیت روی آن می‌شود و اثر ولتاژ گیت روی کانال افزایش می‌یابد. با توجه به شرایط مرزی (۳) و (۴)، این مساله همانند آن خواهد بود که ولتاژ باند تخت گیت کاهش یابد و ولتاژ بیشتری از





شکل ۷: DIBL برای  $t_{si}$  های مختلف

### ۵- نتیجه گیری

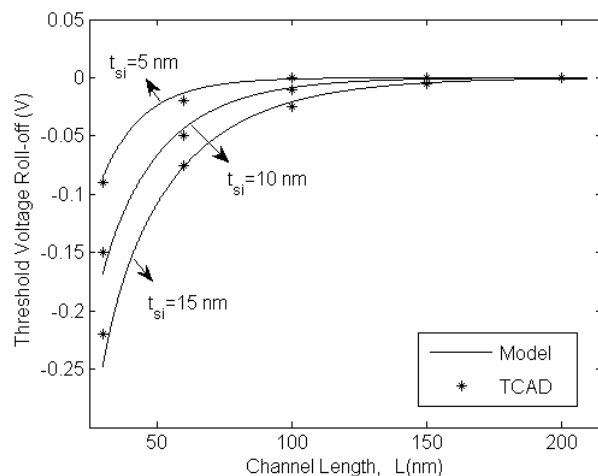
در این مقاله، یک مدل تحلیلی برای پتانسیل کانال، ولتاژ آستانه و DIBL ترانزیستورهای ماسفت دوگیتی با گیت دوماده‌ای بدون آلیاژ استخراج شد که با استفاده از حل تحلیلی معادله پواسون در دوبعد به دست آمده است. بر خلاف مدل‌های موجود که برای محاسبه پاسخ دوبعدی معادله پواسون از حل عددی مؤلفه کانال بلند استفاده می‌کنند، مدل پیشنهادشده کاملاً تحلیلی است و بر اساس آن می‌توان تأثیر پارامترهای فیزیکی قطعه را بر روی مشخصه‌های الکتریکی آن بررسی کرد. همچنین، امکان تحلیل پتانسیل کانال در حالت متقارن یا نامتقارن را در اختیار می‌گذارد. بر اساس مدل پیشنهادی، پتانسیل دوبعدی به صورت مجموع مؤلفه پتانسیل یک‌بعدی کانال بلند در امتداد طول کانال و مؤلفه تغییرات پتانسیل دوبعدی کانال کوتاه بیان می‌شود. مؤلفه یک‌بعدی به طول Debye ذاتی وابسته است و به صورت تحلیلی استخراج می‌شود. مؤلفه دوبعدی بر اساس روش جداسازی متغیرها به دست می‌آید. بنابراین، پتانسیل کانال محدودیت‌های وابستگی به پتانسیل سطحی یا مرکزی یا شکل خاص سهمی را نخواهد داشت. همچنین، برای یک قطعه متقارن، روابط فرم بسته ولتاژ آستانه، تغییرات ولتاژ آستانه و DIBL به صورت تحلیلی به دست آمد. تطبیق مناسب بین نتایج حاصل از مدل پیشنهادی و نتایج حاصل از شبیه‌سازی قطعه با نرم‌افزار، درستی مدل پیشنهادی را نشان می‌دهد.

### مراجع

- [۱] پرویز امیری و همکاران، «طراحی پیش تقویت‌کننده RGC کم نویز مدار مجتمع CMOS با پهنای باند ۲۰GHz و بهره ۶۰dBQ»، مجله مهندسی برق دانشگاه تبریز، دوره ۴۶، شماره ۲، صفحه ۲۳-۱۵، تابستان ۱۳۹۵.
- [۲] اکرم امیری و سیروس طوفان، «مبدل زمان به دیجیتال رزولوشن بالا و توان مصرفی کم مبتنی بر اسیلاتور حلقوی چند

برای ترانزیستور متقارن، نمودار تغییرات ولتاژ آستانه طبق رابطه (۳۹) نسبت به ضخامت‌های مختلف نیمه‌هادی، در شکل ۶ نشان داده شده است. با افزایش ضخامت بدنه،  $t_{si}$ ، حامل‌های اکثریت درون کانال در زیر گیت بیشتر خواهند شد و تخلیه کانال دشوارتر خواهد بود. زیرا طول گیت، آلیاژ کانال و ولتاژ بایاس ثابت می‌ماند و فقط ضخامت لایه نیمه‌هادی تغییر می‌کند. از این رو، جریان زیرآستانه بزرگ‌تری ایجاد خواهد شد و در نتیجه، برای آن‌که کانال شروع به هدایت کند و ترانزیستور در شرایط آستانه قرار گیرد، ولتاژ اعمالی کمتری به گیت مورد نیاز است. یعنی با افزایش  $t_{si}$ ، ولتاژ آستانه کاهش می‌یابد. از طرفی، در شرایط کانال بلند، وابستگی ولتاژ آستانه به ضخامت بدنه نیمه‌هادی کم است، بنابراین، با افزایش  $t_{si}$ ، اختلاف بین ولتاژهای آستانه کانال بلند و کانال کوتاه که همان تغییرات ولتاژ آستانه است، افزایش می‌یابد که در شکل ۶ نیز مشخص است.

شکل ۷ نمودار DIBL را طبق رابطه (۳۶) به ازای  $V_{DSL} = 0.1V$  و  $V_{DSH} = 1V$  نسبت به ضخامت‌های مختلف نیمه‌هادی، نشان می‌دهد. پتانسیل کانال در سمت سورس ناشی از تأثیر بایاس درین و گیت است و این دو بایاس روی ارتفاع سد پتانسیل بین سورس و کانال تأثیر می‌گذارند و به عبارتی، کنترل حرکت حامل‌ها از سورس به کانال تحت تأثیر این دو بایاس قرار دارد. در زمانی که کانال کوتاه باشد، میدان الکتریکی درین در سمت سورس بیشتر القا می‌شود و سبب افزایش DIBL خواهد شد که در شکل ۷ مشخص است. از سوی دیگر، میدان الکتریکی ناشی از بایاس گیت، به نوعی حامل‌های زیر گیت را پس می‌زند و با تغییر در مکان تجمع حامل‌ها در زیر گیت، بر روی سد پتانسیل ایجاد شده توسط بایاس درین تأثیر می‌گذارد و آن را تعدیل می‌کند. بنابراین با افزایش ضخامت کانال، شدت میدان الکتریکی گیت درون کانال کاهش و اثر میدان الکتریکی درین افزایش می‌یابد که سبب افزایش DIBL می‌شود که در شکل ۷ مشخص است.



شکل ۶: تغییرات ولتاژ آستانه برای  $t_{si}$  های مختلف،  $V_{DS} = 0.5V$

- مسیره»، مجله مهندسی برق دانشگاه تبریز، دوره ۴۶، شماره ۳، صفحه ۵۰-۴۵، پاییز ۹۵.
- [3] A. Tsormpatzoglou, C. A. Dimitriadis, R. Clerc, Q. Raffhay, G. Pananakakis and G. Ghibaudo, "Semi-analytical modeling of short-channel effects in Si and Ge symmetrical double-gate MOSFETs," *IEEE Trans. Electron Devices*, vol. 54, no. 8, pp. 1943-1952, 2007.
- [4] S. Saurabh, and M. J. Kumar, "Novel attributes of a dual material gate nanoscale tunnel field-effect transistor," *IEEE Trans. Electron Devices*, vol. 58, no. 2, pp. 404-410, 2011.
- [5] I. Ferain, C. A. Colinge and J. Coling, "Multigate transistors as the future of classical metal-oxide-semiconductor field effect transistors," *Nature*, vol. 479, pp. 310-316, 2011.
- [6] G. V. Reddy and M. J. Kumar, "A new dual-material double-gate (DMDG) nanoscale SOI MOSFET-two-dimensional analytical modeling and simulation," *IEEE Trans. Nanotechnology*, vol. 4, no. 2, pp. 260-268, 2005.
- [7] P. Razavi and A. A. Orouji, "Dual material gate oxide stack symmetric double gate MOSFET: Improving short channel effects of nanoscale double gate MOSFET," *International Biennial Baltic Electronics Conference*, Tallinn, Estonia, October 6-8, pp. 83-86, 2008.
- [8] P. Hashemi, A. Behnam, E. Fathi, A. Afzali-Kusha and M. ElNokali, "2-D modeling of potential distribution and threshold voltage of short channel fully depleted dual material gate SOI MESFET," *Solid-State Electronics*, vol. 49, pp. 1341-1346, 2005.
- [9] S. Mohammadi, A. Afzali-Kusha and S. Mohammadi, "Compact modeling of short-channel effects in symmetric and asymmetric 3-T/4-T double gate MOSFETs," *Microelectronics Reliability*, vol. 51, pp. 543-549, 2011.
- [10] K. Suzuki, T. Tanaka, Y. Tosaka, H. Horie and Y. Arimoto, "Scaling theory for double gate SOI MOSFET's," *IEEE Trans. Electron Devices*, vol. 40, no. 12, pp. 2326-2329, 1993.
- [11] T. K. Chiang, "A new scaling theory for fully-depleted SOI double-gate MOSFET's: including effective conducting path effect (ECPE)," *Solid-State Electronics*, vol. 49, no. 3, pp. 317-322, 2005.
- [12] S. Mohammadi and A. Afzali-Kusha, "Modeling of drain current, capacitance and transconductance in thin film undoped symmetric DG MOSFETs including quantum effects," *Microelectronics Reliability*, vol. 50, pp. 338-345, 2010.
- [13] R. Shankar, G. Kaushal, S. Maheshwaram, S. Dasgupta and S. K. Manhas, "A degradation model of double gate and gate-all-around MOSFETs with interface trapped charges including effects of channel mobile charge carriers," *IEEE Trans. Device Mater. Rel.*, vol. 14, no. 2, pp. 689-697, 2014.
- [14] A. Tsormpatzoglou, I. Pappas, D. H. Tassis, C. A. Dimitriadis and G. Ghibaudo, "Analytical threshold voltage model for short-channel asymmetrical dual-gate material double-gate MOSFETs," *Microelectronic Engineering*, vol. 90, pp. 9-11, 2012.
- [15] J. H. Woo, J. M. Choi and Y. K. Choi, "Analytical threshold voltage model of junctionless Double-Gate MOSFETs with localized charges," *IEEE Trans. Electron Devices*, vol. 60, no. 9, pp. 2951-2955, 2013.
- [16] A. Gnudi, S. Reggiani, E. Gnani and G. Baccarani, "Semianalytical model of the subthreshold current in short-channel junctionless symmetric Double-Gate Field-Effect Transistors," *IEEE Trans. Electron Devices*, vol. 60, no. 4, pp. 1342-1348, 2013.
- [17] A. Tsormpatzoglou, C. A. Dimitriadis, R. Clerc, Q. Raffhay, G. Pananakakis and G. Ghibaudo, "Semi-analytical modeling of short-channel effects in Si and Ge symmetrical double-gate MOSFETs," *IEEE Trans. Electron Devices*, vol. 54, no. 8, pp. 1943-1952, 2007.
- [18] A. Tsormpatzoglou, C. A. Dimitriadis, R. Clerc, G. Pananakakis and G. Ghibaudo, "Threshold voltage model for short-channel undoped symmetrical Double-Gate MOSFETs," *IEEE Trans. Electron Devices*, vol. 55, no. 9, pp. 2512-2516, 2008.
- [19] M. Gholizadeh and S. E. Hosseini, "A 2-D analytical model for double-gate tunnel FETs," *IEEE Trans. Electron Devices*, vol. 61, no. 5, pp. 1494-1500, 2014.
- [20] T. K. Chiang, "A new two-dimensional subthreshold behavior model for the short-channel asymmetrical dual-material double-gate (ADMDG) MOSFET's," *Microelectronics Reliability*, vol. 49, no. 7, pp. 693-698, 2009.
- [21] A. Dey, A. Chakravorty, N. DasGupta and A. DasGupta, "Analytical model of subthreshold current and slope for asymmetric 4-T and 3-T double-gate MOSFETs," *IEEE Trans. Electron Devices*, vol. 55, no. 12, pp. 3442-3449, 2008.
- [22] V. Kumari, M. Saxena, R. S. Gupta and M. Gupta, "Analytical modeling of dielectric pocket double-gate MOSFET incorporating hot-carrier-induced interface charges," *IEEE Trans. Device Mater. Rel.*, vol. 14, no. 1, pp. 390-399, 2014.
- [23] F. Djeflal, Z. Ghoggali, Z. Dibi and N. Lakhdar, "Analytical analysis of nanoscale multiple gate MOSFETs including effects of hot-carrier induced interface charges," *Microelectronics Reliability*, vol. 49, no. 4, pp. 377-381, 2009.
- [24] F. Djeflal, T. Bentrchia, M. A. Abdi and T. Bendib, "Drain current model for undoped gate stack double gate (GSDG) MOSFETs including the hot carrier degradation effects," *Microelectronics Reliability*, vol. 51, no. 3, pp. 550-555, 2011.
- [25] J. He, F. Liu, J. Zhang, J. Feng, J. Hu, S. Yang and M. Chan, "A carrier-based approach for compact modeling of the long-channel undoped symmetric double-gate MOSFETs," *IEEE Trans. Electron Devices*, vol. 54, no. 5, pp. 1203-1209, 2007.
- [26] J. M. Sallese, F. Jazaeri, L. Barbut, N. Chevillon and C. Lallement, "A common core model for junctionless nanowires and symmetric double-gate FETs," *IEEE Trans. Electron Devices*, vol. 60, no. 12, pp. 4277-4280, 2013.
- [27] X. Jin, X. Liu, M. Wua, R. Chuai and J. H. Lee, "A unified analytical continuous current model applicable to accumulation mode (junctionless) and inversion mode MOSFETs with symmetric and asymmetric double-gate structures," *Solid-state Electronics*, vol. 79, pp. 206-209, 2013.
- [28] M. Moreau, D. Munteanu and J. Autran, "Simulation analysis of quantum confinement and short-channel effects in independent double-gate metal oxide semiconductor field-effect transistors," *Japanese Journal of Applied Physics*, vol. 47, no. 9, pp. 7013-7018, 2008.
- [29] D. Munteanu, J. Autran and M. Moreau, "Quantum compact model of drain current in independent double-gate metal-oxide-semiconductor field-effect transistors," *Japanese Journal of Applied Physics*, vol. 50, pp. 3011-3018, 2011.
- [30] M. Balaguer, J. B. Roldan, L. Donetti and F. Gamiz, "Inversion charge modeling in n-type and p-type double-gate MOSFETs including quantum effects: The role of

- semiconductor field effect transistor (DG MOSFET)," *International Journal of the Physical Sciences*, vol. 7, no.28, pp. 5054-5061, 2012.
- [33] *ATLAS user's manual*, Silvaco. Inc., Santa Clara, CA, USA, 2005.
- [34] Q. Chen, E. M. Harrell and J. D. Meindl, "A physical short-channel threshold voltage model for undoped symmetric double-gate MOSFETs," *IEEE Trans. Electron Devices*, vol. 50, no. 7, pp.1631-1637, 2003.
- crystallographic orientation," *Solid-State Electronics*, vol. 67, no. 1, pp. 30-37, 2012.
- [31] S. Shee, G. Bhattacharyya and S. K. Sarkar, "Quantum analytical modeling for device parameters and I-V characteristics of nanoscale dual-material double-gate silicon-on-nothing MOSFET," *IEEE Trans. Electron Devices*, vol. 61, no.8, pp. 2697-2704, 2014.
- [32] R. Hosseini, M. Fathipour and R. Faez, "Quantum simulation study of gate-all-around (GAA) silicon nanowire transistor and double gate metal oxide