

مسیریاب غیروقتی شبکه بر تراشه باقابلیت همزمان تحمل پذیری خرابی و آزمایش برخط اتصالات بین مسیریابها

رضا تقی‌زاده^۱، کارشناس ارشد؛ محمدعلی جبرئیل‌جمالی^۲، استادیار

۱- گروه مهندسی کامپیوتر - واحد تبریز - دانشگاه آزاد اسلامی - تبریز - ایران - reza.taghizadeh@chmail.ir

۲- گروه مهندسی کامپیوتر - واحد شبستر - دانشگاه آزاد اسلامی - شبستر - ایران - m_jamali@itrc.ac.ir

چکیده: از آنجایی که تأمین کیفیت سرویس برای سیستم‌های بحرانی و بلادرنگ امری ضروری است، لذا در طراحی تراشه‌های این سیستم‌ها، آزمایش برخط و تحمل خرابی ضرورت دارد. الگوریتم غالب مسیریابی در شبکه بر تراشه برای سیستم‌های بحرانی و بلادرنگ، الگوریتم مسیریابی قطعی است. زیرساخت ارتباطی شبکه بر تراشه به دلیل اثرات نقص‌های هم‌شنوایی، یکی از محیط‌های مستعد خرابی است. لذا باید مکانیسم‌های آزمایش مؤثری برای کشف خرابی‌ها به صورت برخط و تحمل هم‌زمان خرابی طراحی شود تا زمان تحمل خرابی به حداقل برسد. در این مقاله، روشی برای آزمایش برخط اتصالات بین مسیریاب‌های غیروقتی با الگوریتم‌های مسیریابی قطعی ارائه شده است؛ به طوری که با تعبیه یک مولد الگوی آزمایش و چهار مقایسه‌گر در هر مسیریاب و ایجاد افزونگی اتصالات بین مسیریاب‌ها، نیاز به توقف عملیات معمول سیستم به هنگام آزمایش از بین می‌رود. در معماری پیشنهادی، آزمایش اتصالات با فرکانس تراشه انجام گرفته و هم‌زمان با کشف خرابی در اتصالات، امکان تحمل خرابی نیز فراهم شده است. نتایج شبیه‌سازی نشان می‌دهد که مسیریاب پیشنهادی، کاهش چشم‌گیری در زمان اجرای آزمایش با حداقل سربار مساحت و توان مصرفی را ارائه می‌دهد.

واژه‌های کلیدی: شبکه بر تراشه، آزمایش برخط، تحمل خرابی، هم‌شنوایی.

Non-adaptive Router of Network on Chip with Capabilities of Fault Tolerance and Online Test of Interconnections among Routers

R. Taghizadeh¹, MSc; M.A.J. Jamali², Assistant Professor

1- Department of Computer Engineering, Tabriz branch, Islamic Azad University, Tabriz, Iran, Email: reza.taghizadeh@chmail.ir

2- Department of Computer Engineering, Shabestar branch, Islamic Azad University, Shabestar, Iran, Email: m_jamali@itrc.ac.ir

Abstract: Since providing service quality for critical and real time systems is essential, online test and fault tolerance are considered to be of high significance in designing chips for these systems. The dominant routing algorithm of Network on Chip (NoC) in critical and real time systems is deterministic routing algorithm. Due to the effects of crosstalk, NoC communication infrastructure is highly prone to fault and failure. Thus, effective and efficient testing mechanisms should be designed for detecting faults in the form of both online testing and fault tolerance so that fault tolerance time is minimized. In this paper, a method was proposed for online testing of interconnections among non-adaptive routers with deterministic routing algorithms. Indeed, by embedding a test pattern generator and four comparators in each router and producing interconnection redundancy among routers, the need for stopping usual system operations while testing is obviated. In the proposed architecture, interconnections were tested with chip frequency. As faults and failures are detected, the opportunity for tolerating them is created simultaneously. The results of conduct simulations in this study revealed that the proposed router was able to significantly reduce test execution time with minimum area overhead and power consumption.

Keywords: Network on chip, online test, fault tolerance, crosstalk.

تاریخ ارسال مقاله: ۱۳۹۵/۰۴/۱۸

تاریخ اصلاح مقاله: ۱۳۹۵/۰۶/۲۸

تاریخ پذیرش مقاله: ۱۳۹۵/۰۸/۰۸

نام نویسنده مسئول: محمدعلی جبرئیل‌جمالی

نشانی نویسنده مسئول: ایران - شبستر - دانشگاه آزاد اسلامی شبستر - گروه مهندسی کامپیوتر.

۱- مقدمه

معماری شبکه بر تراشه^۱، راه‌حلی کلی برای مجموعه‌ای از مشکلات و محدودیت‌های طراحان سیستم بر تراشه‌های بزرگ چند هسته‌ای است. یکی از مدل‌های شبکه بر تراشه که در سیستم‌های بحرانی و بلادرنگ می‌تواند مورد استفاده قرار گیرد، مدلی با الگوریتم مسیریابی قطعی^۲ مانند الگوریتم مسیریابی XY در توپولوژی‌های دوبعدی می‌باشد. زیرساخت ارتباطی برای این نوع از شبکه بر تراشه‌ها، شامل مسیریاب‌های غیر وفتی و اتصالات بین آن‌ها است. با وجود تحقیقات گسترده در زمینه‌ی شبکه بر تراشه، هنوز موضوعات فراوانی مانند تحمل‌پذیری خرابی، آزمون‌پذیری، کیفیت سرویس و کاهش توان مصرفی از جمله چالش‌های محققین است [۲، ۱]. بر اساس آمار منتشر شده از ITRS در طول عمر عملیاتی یک تراشه، ۱٪ از تراشه‌ها، یک خرابی را در روز تجربه می‌کنند و در آینده این آمار به نزدیک نرخ خرابی ساخت؛ یعنی حدود 1000 defect/m^2 خواهد رسید [۴، ۳]. بنابراین، به دلیل تراکم بسیار بالای ترانزیستورها، تحمل‌پذیری خرابی یکی از مباحث مهم در شبکه بر تراشه است.

در آزمایش سیستم‌های مبتنی بر شبکه بر تراشه سه مؤلفه از سیستم مورد آزمایش قرار می‌گیرد: ۱- آزمایش هسته‌های ذخیره‌سازی و پردازشی و واسط شبکه متناظر با آن‌ها ۲- آزمایش در سطح تراشه ۳- آزمایش زیرساخت ارتباطی [۵]. از زیرساخت ارتباطی شبکه بر تراشه به‌عنوان مکانیسم دسترسی آزمایش^۳ جهت آزمایش عناصر پردازشی [۶] و از روش‌های پیمایش جزئی مقیاس‌پذیر و بسته‌بندی آزمایش برای آزمایش مسیریاب‌های شبکه بر تراشه استفاده می‌شود [۷]. با توجه به بروز طیف گسترده‌ای از نقص‌ها به دلیل پیچیدگی پروتکل‌های ارتباطی و طراحی سیستم بر تراشه، استفاده از زیرساخت ارتباطی شبکه بر تراشه به‌عنوان مکانیسم دسترسی آزمایش می‌تواند غیروافتی باشد؛ لذا آزمایش زیرساخت ارتباطی بایستی مورد توجه قرار گیرد. برخی از این نقص‌ها نظیر هم‌شنوایی^۴ در اتصالات میانی مسیریاب‌های شبکه بر تراشه می‌توانند از رویه‌های کلاسیک آزمایش بگریزند. روش‌های زیادی در بحث کشف خرابی اتصالات میانی نظیر: خودآزمایی توکار^۵ [۸]، راهبرد کشف عریض [۹]، مکانیسم کشف خرابی نشانه پایه [۱۰] و آزمایش اتصالات میان سوئیچی موازی [۱۱] ارائه شده‌اند. همچنین در بحث تحمل‌پذیری خرابی اتصالات میانی نیز، روش‌هایی مانند: الگوریتم مسیریابی پیکربندی مجدد پویا [۱۲]، انشعاب داده‌ها [۱۳] و الگوریتم‌های مسیریابی وفتی [۱۴] ارائه شده‌اند. بروز خرابی در اتصالات میانی می‌تواند باعث از دست رفتن بسته‌ها و یا حتی خرابی مسیریاب شود [۱۵]. لذا در سیستم‌های بحرانی و بلادرنگ که از مسیریاب‌های غیروفتی استفاده می‌کنند؛ بایستی راه‌حلی برای مواجه شدن با چنین خرابی‌هایی ارائه شود. زمان تحمل‌خرابی در بسیاری از سیستم‌ها، مانند سیستم‌های قدرت و غیره حیاتی است [۱۶] و در مدارات الکترونیکی منحصر نمی‌گردد. در روش‌های متداول آزمایش در محل، برای انجام

آزمایش و کشف خرابی در اتصالات، آزمایش به‌صورت برون‌خطی بوده و تحمل‌پذیری خرابی به‌صورت هم‌زمان مورد توجه واقع نشده است. این مسئله در سیستم‌های بحرانی و بلادرنگ با وظایف حساس، قابل قبول نیست. روش مناسب برای آزمایش چنین سیستم‌هایی آزمایش برخط اتصالات است که در [۱۷] با استفاده از مسیریاب‌های وفتی^۶ با الگوریتم‌های مسیریابی پویا ارائه شده است. ولی از آنجایی که امروزه بحث تأمین کیفیت سرویس در سیستم‌های بلادرنگ با وظایف حساس، موضوعی بسیار حیاتی است؛ لذا استفاده از مسیریاب‌های غیروفتی^۷ با الگوریتم‌های مسیریابی قطعی که قابلیت تضمین کیفیت سرویس در چنین سیستم‌هایی را دارند، امری ضروری است [۱۸]. کیفیت سرویس امروزه بحثی است که در اکثر شبکه‌ها مانند شبکه‌های حسگر بیسیم [۱۹] درباره چگونگی تأمین و بهره‌وری در ارائه آن برای برنامه‌های کاربردی تحقیقات گسترده‌ای صورت می‌گیرد. یکی از معایب اصلی سیستم‌هایی با مسیریاب‌های غیروفتی، عدم تحمل‌پذیری خرابی است که در این مقاله برای رفع این مشکل با افزودن اتصالات میانی، علاوه بر کشف برخط خرابی اتصالات، تحمل‌پذیری خرابی در اتصالات میانی نیز با جایگزینی اتصالات زردو، فراهم شده است. سربر مساحت، توان مصرفی و زمان آزمایش سه معیار ارزیابی مهم در مقیاس‌پذیری و بهره‌وری شبکه بر تراشه است.

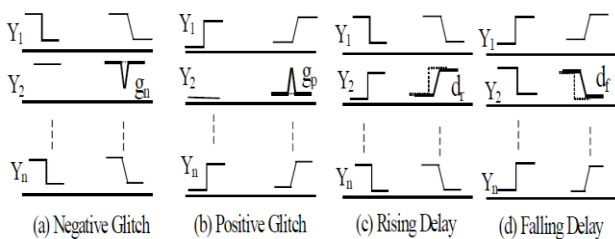
در بخش ۲ مروری بر کارهای پیشین صورت گرفته است. در ادامه به معرفی ساختار معماری پیشنهادی برای آزمایش برخط اتصالات و تحمل هم‌زمان خرابی در اتصالات بر پایه خودآزمایی توکار در بخش ۳ پرداخته شده است. در بخش ۴ و ۵ به ترتیب به تحلیل و مدل‌سازی زمان و مدل‌سازی توان مصرفی در معماری پیشنهادی پرداخته شده است. در بخش ۶ نتایج شبیه‌سازی، سنتز و توان مصرفی ارائه شده است. نتیجه‌گیری کلی نیز در بخش ۷ آمده است.

۲- کارهای پیشین

برای افزایش قابلیت کشف خرابی، استراتژی‌هایی نظیر عملکردی [۲۱، ۲۰]، اسکن [۷] و خودآزمایی توکار، مورد استفاده قرار می‌گیرند. مکانیسم مولد الگوی آزمایش^۸ TPG در معماری BIST برای آزمایش اتصالات شبکه بر تراشه در [۲۲، ۸] مورد بررسی قرار گرفته است. روش BIST، توسط انتقال داده‌های آزمایش به منابع سیستم پیاده‌سازی می‌گردد. به‌طور مثال در معماری سیستم بر تراشه، TPG و تحلیل‌گر جواب آزمایش، هسته‌های سیستم بر تراشه هستند [۲۳]. برای آزمایش اتصالات بین مسیریاب‌های شبکه بر تراشه، TPG در مسیریاب مبدأ و تحلیل‌گر جواب آزمایش در مسیریاب مقصد (همسایه) که به اتصالات تحت آزمایش متصل‌اند جاسازی می‌گردد. از مدل‌های TPG پیشنهادی برای نقص هم‌شنوایی و انواع دیگر خرابی اتصالات، مدل نقص متجاوز حداکثر^۹ MAF [۲۴] و مدل تراکنش چندگانه^{۱۰} MT [۲۵] را می‌توان نام برد. مدل MAF تنها اشکالات ناشی از اتصالات خازنی (Cross-coupled capacitance) بین سیم‌های

۳- رویکرد پیشنهادی

در اتصالات میان هسته‌ها، اثر سیگنال‌های روی دو خط مجاور، موجب تأخیر در انتقال و کاهش یکپارچگی سیگنال‌ها می‌شود. این اثر به‌عنوان هم‌شنوایی شناخته‌شده و در فناوری‌های نانومتر در نظر گرفته می‌شود. در آزمایش‌های خرابی‌های هم‌شنوایی، چندین خط به‌عنوان خطوط قربانی^{۱۳} و سایر خطوط به‌عنوان خطوط متجاوز^{۱۴} به‌شمار می‌آیند. خطی که تحت تأثیر هم‌شنوایی قرار دارد، خط قربانی و خطوط دیگری که به‌صورت مجتمع اثرات هم‌شنوایی را بر قربانی‌ها القا می‌کنند، متجاوز نامیده می‌شوند. اشکالات ناشی از اتصالات خازنی عامل نقص‌های هم‌شنوایی نظیر تأخیر بالارونده، تأخیر پایین‌رونده، اشکالات کوچک مثبت و منفی هستند که به ترتیب با نمادهای D_f ، D_r ، G_p و G_n نشان داده می‌شوند. همان‌طور که در شکل (۱) نشان داده‌شده، برای آشکارسازی هر یک از این نقص‌ها روی خطوط قربانی، دو بردار لازم است. به‌عنوان مثال برای آشکارسازی اشکال مثبت، در ابتدا مقدار خطوط متجاوز بر روی صفر ثابت نگه‌داشته شده و به‌واسطه انتقال صفر به یک در این خطوط، اشکال مثبت روی خط قربانی تحمیل می‌گردد. برای BIST ارائه‌شده در این مقاله، از مدل آزمایش MVT استفاده می‌کنیم که برای آزمایش‌های خرابی‌های هم‌شنوایی پیشنهاد شده است [۲۶].



شکل ۱: خرابی‌های هم‌شنوایی (الف) اشکال منفی (ب) اشکال مثبت (ج) تأخیر بالارونده (د) تأخیر پایین‌رونده [۳۲]



شکل ۲: آزمایش سه خط قربانی در مدل MVT

با در نظرگیری القاء متقابل^{۱۵} بین سیم‌ها علاوه بر کوپلاژ خازنی^{۱۶}، بایستی از مدل آزمایش MVT که دارای پوشش نقص بالایی است، استفاده شود. این مدل تمام انتقال‌های ممکن روی سیم‌ها را در برداشته و هم‌زمان تمام اثرات هم‌شنوایی روی چندین خط قربانی را مورد آزمایش قرار می‌دهد. با توجه به استراتژی انتخاب الگوهای

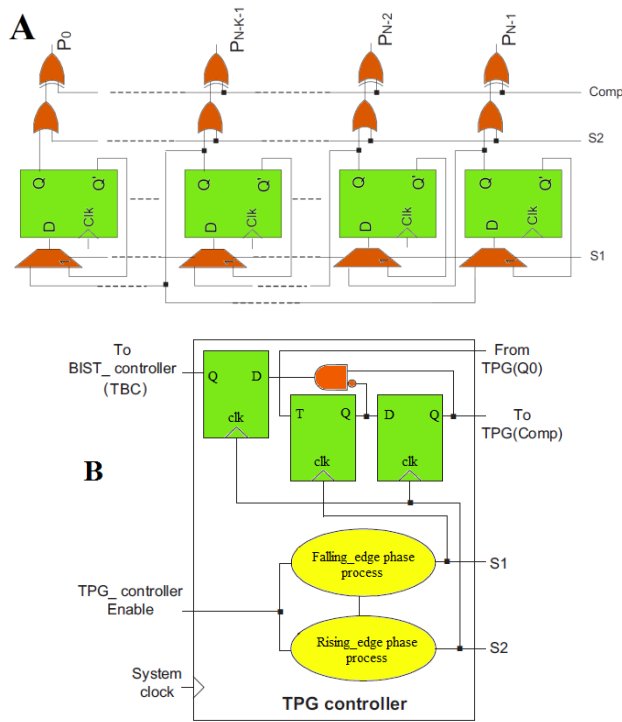
یک گذرگاه ارتباطی را آشکارسازی می‌کند؛ درحالی‌که مدل MT علاوه بر آشکارسازی اشکالات ناشی از اتصالات خازنی، اشکالات ناشی از القاهای متقابل بین سیم‌های یک گذرگاه ارتباطی را نیز لحاظ می‌کند که نتیجه‌ی این مدل علمی‌تر است. با این وجود مدل MT نیاز به میزان زیادی الگوی آزمایش دارد که افزونگی الگوی آن نیز مسئله جدی است. مدل آزمایش چندین قربانی^{۱۱} MVT یک مدل دیگر پیشنهادی در [۲۶] است. این مدل نه تنها آشکارسازی اشکالات ناشی از اتصالات خازنی و القاهای متقابل بین سیم‌های یک گذرگاه ارتباطی را در نظر می‌گیرد، بلکه دنباله‌ایی از بردارهای آزمایش را ارائه می‌دهد که طول آن (تعداد الگوهای آزمایش) در مقایسه با مدل‌های MAF و MT کاهش داشته و بالطبع زمان آزمایش نیز کاهش می‌یابد.

روش‌های ساخت و طراحی بسیاری برای کاهش اثرات هم‌شنوایی و دیگر خرابی‌ها برای اتصالات میانی وجود دارد [۲۸، ۲۷]؛ اما هیچ‌یک از آن‌ها حل مسئله به‌صورت کامل را تضمین نمی‌کنند. در همین راستا به دلیل وجود محدودیت‌های طراحی و ساخت، مانند نقص‌های غیرقابل پیش‌بینی ایجادکننده‌ی نویز و تأخیر، آزمایش اتصالات طی اجرای عملیات برنامه کاربردی داخل هسته‌ها ضروری است. در سال‌های اخیر چندین روش به‌منظور ایجاد آزمایش برای اتصالات میانی در سطح دروازه‌های مدار منطقی توسعه یافته‌اند [۲۹-۳۱]. در [۸] برای آزمایش اتصالات بین مسیریاب‌ها در تراشه‌های مبتنی بر شبکه بر تراشه، معماری BIST ارائه‌شده است. نوآوری روش مزبور، استفاده‌ی مجدد از زیرساخت‌های شبکه بر تراشه برای انتقال داده‌های آزمایش به مؤلفه‌های آن سیستم است.

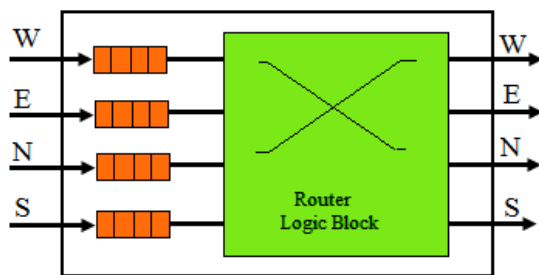
در [۲۶] نیز، از معماری BIST برای آزمایش اتصالات بین مسیریاب‌ها در زیرساخت شبکه بر تراشه استفاده شده است. این استراتژی بر اساس استاندارد IEEE 1149.1 بوده که زمان استفاده از آزمایش را به میزان فراوانی کاهش داده است. اتصالات به دلیل ماهیت زمان اثرات هم‌شنوایی، باید با سرعت عملیاتی تراشه، مورد آزمایش قرار گیرند. برای سیستم‌های فرکانس بالا، استفاده از تجهیزات آزمایش خودکار^{۱۲} با سرعت بالا، پرهزینه است. از سوی دیگر انتقال داده‌های آزمایش از تجهیزات آزمایش خودکار به سیم‌هایی که عمیقاً در سیستم‌ها کار گذاشته شده‌اند، نیازمند مکانیسم دسترسی آزمایشی است که سربار مساحت غیرقابل قبولی را اشغال می‌کند. در مقایسه با این روش‌ها، استراتژی BIST روش مناسبی برای آزمایش سریع نقص‌های اتصالات است. زیرا نیازهای تجهیزات آزمایش خودکار پرهزینه را برطرف می‌نماید. در [۱۷] روشی برای آزمایش برخط اتصالات با توجه به ترافیک شبکه بر پایه معماری BIST پیشنهاد شده که بدون نیاز به توقف عملکرد شبکه، امکان آزمایش را فراهم می‌آورد.

در این مقاله، راه‌حلی بر پایه BIST پیشنهاد شده که به آزمایش برخط و موازی اتصالات در مسیریاب‌های غیروفقی با فرکانس خود تراشه به‌وسیله افزونگی اتصالات می‌پردازد و هم‌زمان تحمل‌پذیری خرابی را در اتصالات مورد توجه قرار می‌دهد.

و چهار پورت دوطرفه غرب، شرق، شمال، جنوب برای ارتباط با مسیریاب‌های جانبی و یک پورت محلی برای ارتباط با هسته است. هر پورت ورودی دارای یک بافر برای ذخیره موقت اطلاعات است. شکل (۴) معماری کلی مسیریاب غیروفتی را نشان می‌دهد.



شکل ۳: (الف) ساختار مولد الگوی آزمایش (ب) کنترل کننده مولد الگوی آزمایش



شکل ۴: معماری مسیریاب غیروفتی

۳-۱ - معماری مسیریاب پیشنهادی

مسیریاب‌های غیروفتی، متشکل از یک بلوک منطقی و بافرها است. وظیفه بلوک منطقی داوری و مسیریابی است. زمانی که اطلاعات از پورت ورودی وارد می‌شود؛ ابتدا در بافرهای ورودی ذخیره شده و بعد از مسیریابی توسط بلوک منطقی به سمت پورت خروجی هدایت می‌شود. ایده‌ی اصلی این مقاله که در شکل (۵) نشان داده شده است؛ افزودن ساختار مولد الگوی آزمایش (بلوک مولد الگوی آزمایش MVT و مقایسه گرها) به مسیریاب و دو برابر کردن اتصالات در هر یک از پورت‌های ورودی و

آزمایش، در مدل MVT، تعداد الگوهای آزمایش در مقایسه با مدل‌های مذکور در [۲۵،۲۴] کم شده و منجر به کاهش زمان اجرای آزمایش می‌شود. در مدل آزمایش MVT، تعداد خطوط متجاوز بین دو خط قربانی به عنوان فاکتور مجاورت K تعریف می‌شود. شکل (۲) سه خط قربانی را از یک گذرگاه ارتباطی ۸ بیتی نشان می‌دهد که به‌طور هم‌زمان آزمایش می‌شوند. همان‌طور که در شکل (۲) نشان داده شده است، هنگامی که $k=2$ است، خطوط قربانی $V1$ ، $V2$ ، $V3$ به ترتیب تحت تأثیر ۲، ۴ و ۳ خط متجاوز قرار می‌گیرند. در جدول (۱) الگوهای تولید شده توسط مولد الگوی MVT برای یک اتصال ۸ بیتی با مقدار $k=2$ نشان داده شده است.

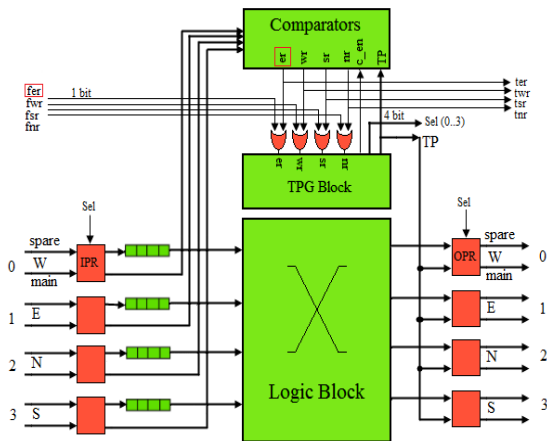
جدول ۱: دو صف آزمایش MVT برای اثرات هم‌شناوبی ($K=2$ ، $N=8$)

P#	For D_r and G_n	For D_r and G_p
1	11111111	00000000
2	00100100	11011011
3	11011011	00100100
4	11111111	00000000
5	01001001	10110110
6	10010010	01001001
7	11111111	00000000
8	10010010	01101101
9	01101101	10010010

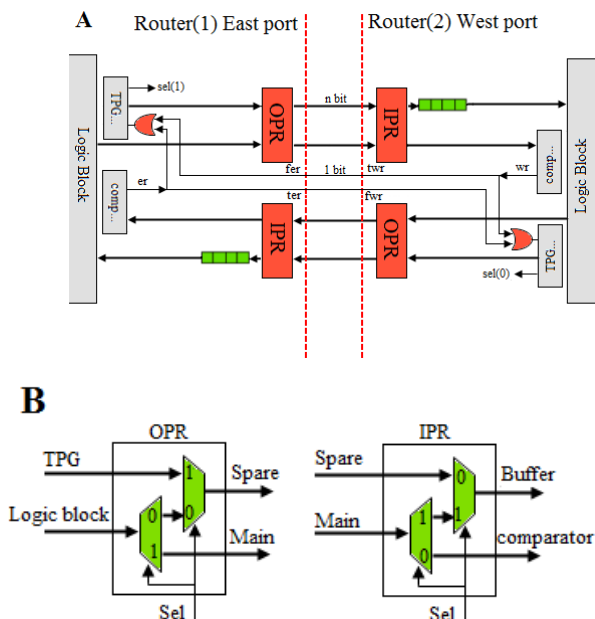
شکل (۳-الف) ساختار مولد الگوی آزمایش را نشان می‌دهد. این TPG شامل دو بخش است: بخش منطقی و بخش کنترل کننده. بخش منطقی متشکل از چهار گام است. گام اول آرایشی از مالتی پلکسرها هستند که توسط سیگنال $S1$ کنترل شده و حالت بعدی را برای گام دوم که از فلیپ‌فلاپ‌های نوع D تشکیل شده، تعیین می‌کنند. در این شیفت رجیستر عملیات تغییر مکان، از باارزش‌ترین بیت به کم‌ارزش‌ترین بیت انجام شده و همچنین یک بازخورد از خروجی فلیپ‌فلاپ مرتبه $N-K-1$ به ورودی فلیپ‌فلاپ مرتبه $N-1$ صورت می‌گیرد. گام سوم آرایشی از دروازه‌های OR با سیگنال کنترل است. گام چهارم نیز، آرایه‌ای از دروازه‌های XOR با سیگنال کنترل Comp است و برای مکمل کردن ترتیب آزمایش به کار می‌رود. بخش کنترل کننده مولد الگوی آزمایش، سیگنال‌های $S1$ و $S2$ را برای کنترل بخش منطقی تولید می‌کند. شکل (۳-ب) کنترل کننده مولد الگوی آزمایش (TPG controller) را نشان می‌دهد که از دو ماشین حالت محدود تشکیل شده و سیگنال‌های $S1$ و $S2$ را تولید می‌کند. همچنین کنترل کننده دارای دو فلیپ‌فلاپ نوع D، یک فلیپ‌فلاپ نوع T و دروازه AND دو ورودی است که وظیفه آن تولید سیگنال Comp برای ایجاد مکمل الگوهای آزمایش اصلی توسط TPG است. همچنین پس از اتمام تولید الگوهای آزمایش، این مؤلفه سیگنالی بنام TBC^{17} را به BIST controller می‌فرستد تا مؤلفه TPG controller را از کار انداخته و عمل آزمایش خاتمه یابد.

در این مقاله برای پیاده‌سازی معماری پیشنهادی از یک مسیریاب غیروفتی نظیر مسیریاب هرمس [۳۳] در توپولوژی مش دوبعدی استفاده شده است. مسیریاب‌های هرمس دارای واحد کنترل مسیریابی

Sel یک بیتی است. سیگنال Sel تعیین کننده مسیر جریان داده نرمال و الگوهای آزمایش (TP) مابین اتصالات اصلی و یدک است. مقدار پیش فرض Sel(0...3) برابر مقدار ۱۱۱۱ است. شکل (۶) معماری ماژول های IPR و OPR و نحوه اتصال دو پورت غرب و شرق برای دو مسیریاب ۱ و ۲ را به یکدیگر نمایش می دهد. سیگنال های کنترلی Sel(0)، Sel(1)، Sel(2) و Sel(3) به ترتیب به پورت های S، N، E، W و S و N متصل هستند.



شکل ۵: معماری مسیریاب پیشنهادی

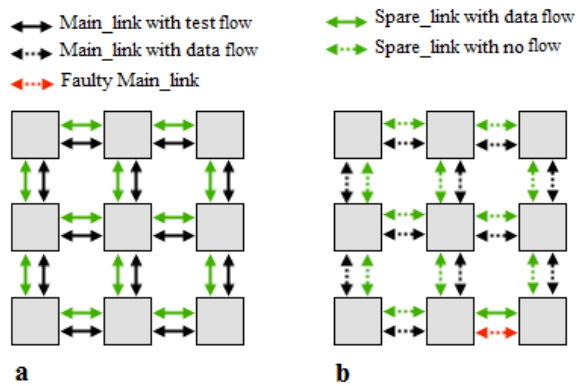


شکل ۶: الف) نحوه اتصال پورت های غرب و شرق ب) معماری IPR و OPR

هنگام شروع آزمایش مقادیر Sel(0...3) برابر صفر می گردد؛ این بدین معناست که داده های نرمال از اتصالات اصلی و الگوهای آزمایش از اتصالات اصلی انتقال داده می شوند. شکل (۷) بلوک دیاگرام TPG block را نشان می دهد که علاوه بر تولید الگوهای آزمایش (TP)، تولید سیگنال های کنترلی Sel(0...3) و فعال ساز

خروجی است. این معماری امکان آزمایش برخط اتصالات اصلی را به طور هم زمان با عبور داده های نرمال از اتصالات یدک، فراهم می سازد. فعال سازی آزمایش، با ارسال سیگنال test_en به مؤلفه BIST controller در بلوک مولد الگوی آزمایش (TPG block) انجام می گردد. در این مقاله زمان بندی ارسال سیگنال test_en از هر ۱۰۰۰ چرخه ساعت فرض شده است. پس از دریافت سیگنال فعال سازی، BIST controller با ارسال سیگنال en به TPG controller و TPG باعث آغاز تولید الگوی آزمایش می گردد. مؤلفه TPG controller سیگنال های مورد نیاز را برای تولید این الگوهای آزمایش فراهم می کند. به دلیل ماهیت یک جهتی اتصالات در NOC، هر مسیریاب اطلاعات را از پورت خروجی ارسال کرده و از پورت ورودی دریافت می کند؛ بنابراین هر اتصال باید در دو جهت مخالف مورد آزمایش قرار گیرد. وقتی به هر پورت مسیریاب، یک اتصال یدک اضافه شود، هنگام آغاز آزمایش، داده های نرمال از اتصال یدک منتقل شده و الگوهای آزمایش از اتصال اصلی خارج می گردند. شکل (۵) مسیریاب پیشنهادی را نشان می دهد که سخت افزار BIST در آن تعبیه شده و تعداد اتصالات پورت ها دو برابر گردیده است. به مجرد اینکه سخت افزار BIST فعال شود، داده های نرمال از طریق اتصالات یدک مسیر خود را طی می کنند و الگوهای آزمایشی که توسط TPG تولید شده اند از طریق اتصالات خروجی اصلی به سوی مسیریاب های مجاور فرستاده می شوند. هم زمان، الگوهای آزمایش تولید شده توسط مسیریاب های مجاور، از درگاه های ورودی این مسیریاب دریافت شده و برای مقایسه با پاسخ های مورد انتظار به comparator هستند که توسط TPG تولید می شوند. در این استراتژی، TPG تعبیه شده در مسیریاب بین تمام اتصالات متصل به مسیریاب به اشتراک گذاشته می شود؛ بنابراین به جفت های TPG و Comparator برای هر اتصالاتی نیاز نیست. باین حال، از دیدگاه کشف خرابی، برای هر اتصال ورودی یک comparator لازم است؛ بنابراین نیاز به چهار comparator در هر مسیریاب وجود دارد. هر comparator پاسخ آزمایش را از اتصال ورودی متناظر دریافت کرده و آن ها را با پاسخ مورد انتظار مقایسه می کند. در مورد اتصال معیوب، خروجی comparator مقدار ۱ خواهد شد و این مقدار به TPG block توسط BIST controller سیگنال های مربوط به آن پورت فرستاده می شود. موجود در داخل TPG block بعد از اطلاع از خرابی، برای تحمل خرابی مسیر عبور داده های نرمال را در اتصالاتی که خرابی کشف شده تغییر نمی دهد و جریان داده های نرمال از اتصالات یدک ادامه پیدا می کند.

معماری پیشنهادی دارای دو فاز است: فاز اول آزمایش برخط اتصالات و فاز دوم، تحمل خرابی در صورت کشف خرابی احتمالی است. در معماری پیشنهادی اتصالات ورودی و خروجی داده بین مسیریاب ها دو برابر شده اند. هر پورت ورودی و خروجی به ترتیب دارای یک ماژول پورت ورودی مسیریاب (Input Port of Router) و پورت خروجی مسیریاب (Output Port of Router) است که دارای سیگنال کنترلی



شکل ۹: الف) شبکه در فاز آزمایش (ب) شبکه بعد از کشف خرابی در اتصالات بین مسیریاب‌ها

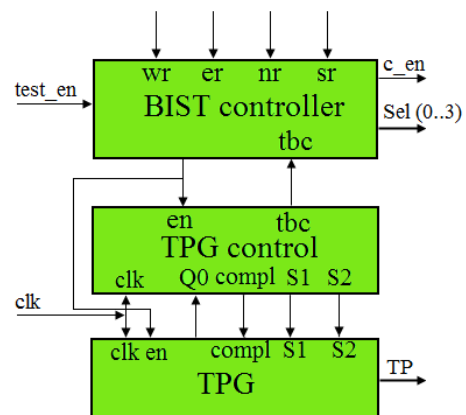
۴- تحلیل و مدل‌سازی زمان آزمایش

با افزایش ابعاد تراشه‌ها، توزیع ساعت سنکرون دشوارتر شده است. لذا اکثر تحقیقات در حوزه توزیع ساعت سنکرون، مربوط به کاهش انحراف و اعوجاج ساعت از طریق بهینه‌سازی روش‌های معمول توزیع ساعت بوده است. ولی از آنجایی که چینش مسیریاب‌ها در NOC منظم و دارای فواصل یکسان است؛ بنابراین می‌توان به‌جای مقابله با انحراف ساعت، از آن بهره‌برداری کرد. روش جدیدی به نام «شبه سنکرون» در جهت استفاده از انحراف ساعت برای توزیع ساعت در [۳۴] ارائه شده است. در این روش، یک سیگنال ساعت مجزا با فرکانس تراشه و اختلاف ثابت در فاز، در سراسر NOC توزیع می‌گردد. در این روش، تراشه به ناحیه‌های ساعت تقسیم گردیده که اختلاف در زمان رسیدن سیگنال ساعت (انحراف) بین هریک از دو ناحیه‌ی ساعت مجاور می‌تواند ثابت و برابر $1T_d$ باشد. سیگنال ساعت، مستقیماً از نقطه‌ای که وارد تراشه می‌شود، بافر شده و به نزدیک‌ترین همسایه‌ها توزیع می‌گردد. به‌مجرد اینکه سیگنال ساعت به نزدیک‌ترین همسایه برسد، ساعت مجدداً بافر شده و ناحیه‌ی ساعت محلی برای واحدهای پردازشی را تغذیه می‌کند. با توجه به این که سیگنال ساعت تقریباً از وسط تراشه وارد گردیده (شکل ۱۰)، حرکت سیگنال در دو جهت مخالف در راستای محور افقی عرض تراشه را خواهد پیمود. در هر ناحیه ساعت، سیگنال بافر شده و مجدداً به جهت دیگر به‌صورت عمودی (بالا و پائین) تقسیم و ارسال می‌گردد. از روش مذکور برای آزمایش برخط و موازی تمام اتصالات بین مسیریاب‌ها استفاده شده است.

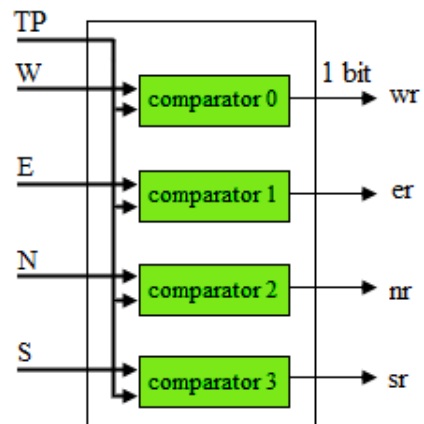
با توجه به اینکه هر مسیریاب سیگنال ساعت را با اختلاف فاز $1T_d$ در مقایسه با مسیریاب‌های مجاور به علت تأخیر در انتقال داده‌ها روی اتصالات دریافت می‌کند؛ بنابراین برای اینکه پاسخ‌های دریافت شده با پاسخ‌های مورد انتظار متناظرشان مقایسه شوند، روش جدیدی بکار رفته است. مسیریاب (۱۱) که در شکل (۱۰) نشان داده شده با چهار مسیریاب مجاورت دارد، مسیریاب (۲۱) (شمال)، مسیریاب (۱۲) (شرق)، مسیریاب (۰۱) (جنوب) و مسیریاب (۱۰)

مقایسه‌گر (C_en) را نیز بر عهده دارد. با فعال‌سازی فاز آزمایش، مقدار سیگنال C_en برای فعال‌سازی بلوک مقایسه‌گر که معماری آن در شکل (۸) نشان داده شده است، یک می‌شود. بلوک مقایسه‌گر جواب مقایسه یعنی سالم بودن اتصال (مقدار ۰) و خرابی اتصال (مقدار ۱) را توسط سیگنال‌های: نتیجه_غرب (wr)، نتیجه_شرق (er)، نتیجه_شمال (nr) و نتیجه_جنوب (sr) به BIST controller ارسال می‌کند. این نتایج به BIST controller های مسیریاب‌های مجاور توسط سیگنال‌های: به_مسیریاب_غرب (twr)، به_مسیریاب_شرق (ter)، به_مسیریاب_جنوب (tsr) و به_مسیریاب_شمال (tnr) ارسال می‌گردد. همچنین مسیریاب دارای سیگنال اضافی در هر پورت خروجی است که به‌منظور گرفتن اطلاع خرابی اتصال خروجی به مسیریاب‌های مجاور (از_مسیریاب_غرب (fwr)، از_مسیریاب_شرق (fer)، از_مسیریاب_شمال (fnr) و از_مسیریاب_جنوب (fsr)) است که BIST controller بااطلاع از این خرابی مقدار Sel مربوط به آن پورت را تغییر نمی‌دهد.

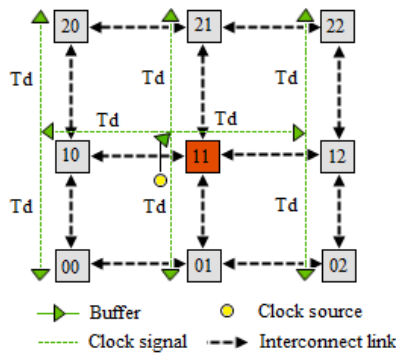
عدم کشف خرابی بیانگر صحت عملکرد اتصالات است. بعد از اتمام الگوی آزمایش توسط TPG control سیگنال TBC به BIST controller ارسال می‌شود و آزمایش متوقف می‌گردد. عملکرد شبکه در فاز آزمایش برخط و کشف خرابی در شکل (۹) نشان داده شده است.



شکل ۷: بلوک مولد الگوی آزمایش در معماری آزمایش برخط



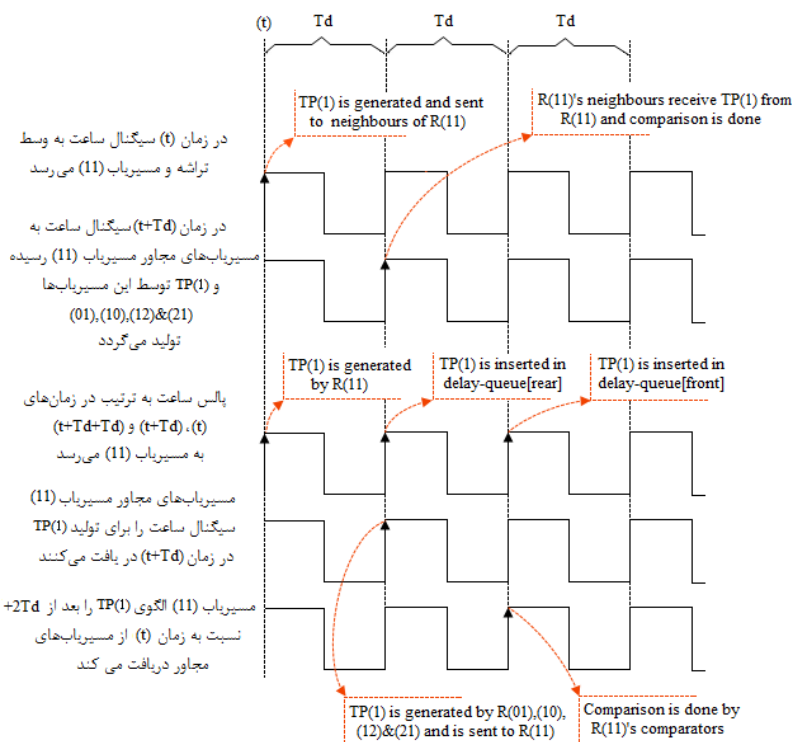
شکل ۸: بلوک مقایسه‌گر



شکل ۱۰: توزیع ساعت به صورت شبه-سنکرون - فاصله دو همسایه در رسیدن ساعت Td است

(غرب). این مسیریاب سیگنال ساعت را با اختلاف فاز Td در مقایسه با مسیریاب‌های مجاور دریافت می‌کند. اگر اتصال به میزان منطقی کوتاه باشد، تأخیر اتصال میان مسیریاب‌ها معمولاً یک چرخه‌ی ساعت است [۳۵]؛ بنابراین در این مثال Td برابر با یک پالس ساعت در نظر گرفته شده است (رجوع شود به شکل ۱۱).

همچنان که مسیریاب (۱۱) سیگنال ساعت را در زمان t دریافت می‌کند، الگوهای آزمایش توسط TPG تولید شده و به درگاه‌های خروجی و مقایسه کننده‌ها ارسال می‌گردند. مسیریاب‌های مجاور سیگنال ساعت را در زمان $t+Td$ دریافت و الگوهای آزمایش را تولید خواهند کرد. زمان t ضربی از Td است و به موقعیت مسیریاب در NOC و به همان نسبت به اندازه‌ی NOC بستگی دارد.



شکل ۱۱: توزیع ساعت از مسیریاب R11

می‌کند. برای جبران این تأخیر و یک مقایسه‌ی صحیح در مسیریاب (۱۱)، پاسخ‌های آزمایش باید در مسیریاب بافر شوند. برای تحقق این هدف، از دو ثبات اضافی هم‌اندازه با TPG که «صف تأخیر» نام‌گرفته استفاده می‌گردد. زمانی که TPG الگوهای آزمایش را تولید می‌کند، در اولین ثبات صف تأخیر بار می‌شوند. همچنان که سیگنال بعدی ساعت می‌رسد، الگوهای آزمایش به ثبات بعد جابه‌جا شده و الگوهای آزمایش جدید جایگزین آن‌ها می‌گردند. سیگنال بعدی ساعت موجب انتقال الگوهای آزمایش از جلوی صف تأخیر به‌سوی مقایسه‌گرهای مسیریاب‌های مجاور خواهد شد.

در این مقاله، برای محاسبه‌ی زمان اجرای آزمایش، دو مؤلفه‌ی مختلف بیان شده است. مؤلفه‌ی اول، زمان تولید مجموعه الگوهای آزمایش^{۱۸} (TPPGT) است که در هر مسیریاب توسط TPG تولید

مسیریاب (۱۱) سیگنال ساعت را در t دریافت کرده و الگوهای آزمایش را از طریق اتصالات یدک به مسیریاب‌های مجاور ارسال می‌کند. همان‌گونه که در شکل (۱۱) نشان داده شده، با توجه به تأخیر اتصالات میانی، پاسخ‌های آزمایش در مسیریاب‌های مجاور در $t+Td$ دریافت شده و با پاسخ‌های مورد انتظار که در همان زمان در مسیریاب‌ها تولید می‌شوند، مقایسه می‌گیرند؛ بنابراین، این مقایسه در زمان درست صورت می‌گیرد. مشکل زمانی نمود پیدا می‌کند که مسیریاب (۱۱) پاسخ‌های آزمایش را از مسیریاب‌های مجاور دریافت می‌کند. از آنجایی که مسیریاب (۱۱) سیگنال ساعت را با اختلاف فاز Td در مقایسه با مسیریاب‌های مجاور دریافت می‌کند، از این‌رو پاسخ‌های آزمایش برای اتصالات مسیریاب‌های مجاور در این مسیریاب برابر است با $t+Td+Td = t+2Td$ که تأخیری برابر با $+2Td$ ایجاد

رابطه‌ی (۵) مصرف توان یک اتصال را در ساختار NOC ارزیابی می‌کند. ظرفیت بار اتصال از طریق حاصل ضرب تعداد سیم‌ها در اتصال (N)، طول اتصال (lineL) و عرض سیم (lineW) به دست می‌آید. در این روش، برای تمام اتصالات مفروض است که دارای طول یکسانی هستند، اگرچه ممکن است در پیاده‌سازی واقعی این‌گونه نباشد. متغیر σ_w فاکتور سوئیچینگ برای سیم است. مقدار σ_w در اتصالات عبور دهنده الگوها تخمین پذیر است، زیرا الگوهای آزمایشی که به یک سیم اتصال اعمال می‌شوند دقیقاً معین هستند (رجوع شود به جدول (۱)) که حدود ۶۰٪ است. در اتصالات عبور دهنده داده نرمال مقدار ثابت ۳۰٪ برای بدترین حالت σ_w فرض شده است.

$$P_{Link} = C_L \times Vdd^2 \times \frac{1}{T} \times \sigma_w \times (Line_l \times Line_w \times N) \quad (5)$$

در معماری پیشنهادی، بین هر جفت مسیریاب چهار اتصال با جهت مخالف وجود دارد که دو اتصال جهت انتقال داده‌های نرمال و دو اتصال برای انتقال الگوی آزمایش بکار رفته است. از سوی دیگر، علاوه بر توان مصرفی هر مسیریاب (P_{Router}) که باید لحاظ شود یک ساختار BIST در هر مسیریاب وجود دارد. توان مصرفی توسط افزودگی ساختار BIST از رابطه (۶) به دست می‌آید. توان کلی که در طی آزمایش تمام اتصالات یک شبکه $n \times m$ مصرف خواهد شد طبق روابط (۷) و (۸) محاسبه می‌شود:

$$P_{Test} = [(2 \times n \times m) - (n + m)] \times P_{Link_Spare} + (n + m) \times P_{BIST} \quad (6)$$

$$P_{Total} = [(2 \times n \times m) - (n + m)] \times (P_{Link_Spare} + P_{Link_normal}) + (n \times m) \times P_{BIST} \quad (7)$$

$$P_{NoC} = \sum (P_{Router}) + P_{Total} \quad (8)$$

به دلیل اجرای آزمایش به صورت برخط و موازی، توان کل موردنیاز برای آزمایش، ممکن است از حد توان شبکه بیشتر باشد؛ بنابراین، برای حل این مشکل می‌توان ساختار NOC را به چند ناحیه‌ی توان تقسیم کرد. در ابتدا توان کل موردنیاز برای آزمایش کل اتصالات را بنا بر رابطه‌ی (۸) محاسبه نموده و اگر این مقدار بیشتر از حد توان شبکه باشد، ساختار NOC را باید به دو ناحیه‌ی مصرف توان تقسیم کرد، شکل (۱۲). متعاقباً، توان کل برای هر ناحیه‌ی توان توزیع شده (x و y) به صورت جداگانه مورد محاسبه قرار گرفته و با حداکثر توان شبکه مقایسه خواهد شد. در این حالت، توان کل ساختار آزمایش برای هر یک از نواحی تقریباً برابر است با:

$$P_x | P_y = P_{Total} - \left[\frac{2 \times m \times n - (m + n)}{2} \pm \left\lfloor \frac{n}{2} \right\rfloor \right] \times P_{Link_Spare} \quad (9)$$

اگر مقدار توان هر ناحیه بیشتر از حد توان شبکه نباشد، در ابتدا BIST controller در ناحیه x و y به نحوی مجدداً پیکربندی شوند که تنها اتصالات ناحیه‌ی x مورد آزمایش قرار گیرد. در این پیکربندی، کنترل‌کننده‌ها BIST در ناحیه‌ی x تنها اتصالات غرب، شرق و جنوب هر مسیریاب را در این ناحیه آزمایش می‌کنند و هم‌زمان، BIST controller ها در ناحیه‌ی y تنها اتصالات شمالی متصل به هر

می‌شوند. مؤلفه بعدی، زمان آماده‌سازی^{۱۹} BIST (T_{BST}) است که زمان لازم جهت فعال کردن BIST، توسط ارسال سیگنال test_en به هر یک از ساختارهای BIST است.

چرخه‌های لازم ساعت برای تولید الگوهای آزمایش برای K های متفاوت برابر است با:

$$T_{TPGT} = 2 \times (9 + (k - 2) \times 3) \quad (1)$$

رابطه (۱) ثابت و مستقل از اندازه‌ی NOC است [۲۴]، زیرا TPG در خروجی تمام مسیریاب‌ها تعبیه شده و آزمایش به صورت هم‌زمان و موازی اجرا می‌گردد.

برای فعال‌سازی BIST، باید به تمام BIST controller های موجود در مسیریاب‌ها، سیگنال فعال‌سازی test_en ارسال شود. سیگنال test_en باید همراه با سیگنال ساعت در سراسر تراشه توزیع گردد. از آنجایی که سیگنال ساعت از وسط تراشه وارد می‌گردد و اختلاف فاز برای دریافت سیگنال ساعت و test_en بین مسیریاب مرکزی و مسیریاب‌های دیگر NOC به اندازه‌ی NOC بستگی دارد؛ بنابراین زمان لازم برای فعال‌سازی BIST برای یک NOC با ابعاد $n \times m$ به صورت رابطه (۲) است:

$$T_{BST} = \left\lceil \frac{n + m + 2}{2} \right\rceil - 2 \quad (2)$$

زمان کل اجرای آزمایش که با روابط (۲) و (۱) محاسبه می‌گردد در رابطه (۳) نشان داده شده است:

$$T_{Total} = T_{TPGT} + T_{BST} \quad (3)$$

۵- مدل‌سازی توان مصرفی

مزیت اصلی معماری پیشنهادی، آزمایش تمام اتصالات بین مسیریاب‌ها به صورت برخط است. از این رو به دلیل هم‌زمان بودن آزمایش تمام اتصالات و انتقال داده‌های نرمال، مسئله توان مصرفی باید مورد توجه واقع شود.

سخت‌افزار BIST (BIST controller, TPG)، اتصالات (اصلی، یدک) و مسیریاب سه منبع مصرف توان هستند. رابطه‌ی (۴) مصرف توان پویا را در هر چرخه ساعت برای سخت‌افزار BIST در جهت تولید الگوی آزمایش نشان می‌دهد. C_L ظرفیت بار (ثابت وابسته به فناوری)، دوره‌ی تناوب ساعت و σ فاکتور سوئیچینگ است. متغیرهای N_{gt} و N_{ff} به ترتیب حاکی از تعداد دروازه‌ها و فلیپ‌فلاپ‌های فعال در سخت‌افزار BIST هستند. σ_{ff} و σ_{gt} به ترتیب فاکتورهای سوئیچینگ فلیپ‌فلاپ و دروازه‌ها در زمان تولید الگوهای آزمایش می‌باشند. توجه شود که برای یک فلیپ‌فلاپ، علاوه بر سوئیچینگ احتمالی برای ذخیره بیت، یک فاکتور ثابت سوئیچینگ ایجاد شده توسط پالس ساعت وجود دارد.

$$P_{BIST} = C_L \times Vdd^2 \times \frac{1}{T} \times ((\sigma_{ff} + 1) \times N_{ff} + \sigma_{gt} \times N_{gt}) \quad (4)$$

همین‌طور متغیر σ_w در مدل ریاضی، برای جاگذاری در رابطه (۸) حداکثر ۳۰٪ فرض شده است. مقدار σ_w در اتصالات عبور دهنده الگوهای آزمایش نیز با توجه به جدول (۱) برابر با ۶۰٪ است. برای هر اتصال طول ۷۳۰ میکرومتر در نظر گرفته شده است [۳۵]. جدول (۳) مصرف توان مسیریاب بعلاوه سخت‌افزار BIST افزوده شده را در هر چرخه ساعت نمایش می‌دهد. جدول (۴) مصرف توان تمام اتصالات (یدک، اصلی) و سخت‌افزار BIST تعبیه شده در NOC را برای دو سناریو و سه اندازه (۳×۳، ۴×۴، ۵×۵) به هنگام اجرای آزمایش در هر چرخه ساعت نشان می‌دهد. در اولین سناریو مصرف توان به حداکثر می‌رسد؛ زیرا تمام اتصالات NOC مورد آزمایش قرار گرفته‌اند. اما در سناریوی دوم، ساختار NOC به دو ناحیه‌ی توان که اتصالات هر کدام به صورت جداگانه آزمایش شده تقسیم می‌گردند. همان‌طور که جدول (۴) نشان می‌دهد مصرف توان ناحیه BIST و اتصالات افزوده شده تقریباً نصف می‌شود؛ باین‌حال زمان آزمایش دو برابر می‌گردد. جدول (۵) نشانگر تفاوت مصرف توان کل NOC در زمان اجرای آزمایش و هنگام عملکرد عادی سیستم بوده و درصد افزایش مصرف توان را به هنگام آزمایش نشان می‌دهد. برای شبیه‌سازی ۱۰۰۰ چرخه ساعت در نظر گرفته شده است که برابر با دوره فعال‌سازی آزمایش بوده و $k=2$ انتخاب شده است. با توجه به کم بودن زمان اجرای آزمایش یعنی ۲۰ الی ۲۲ چرخه ساعت، حداکثر توان نیز در بازه ۲۰ الی ۲۲ چرخه ساعت مصرف می‌گردد.

جدول ۳: توان مصرفی مسیریاب مرکزی

Router port width(#bit)	Router (μw) + Proposed BIST hardware(μw)
16	1.1 + 0.003
32	1.9 + 0.006
64	3.7 + 0.012

جدول ۴: توان مصرفی سخت‌افزار BIST و اتصالات

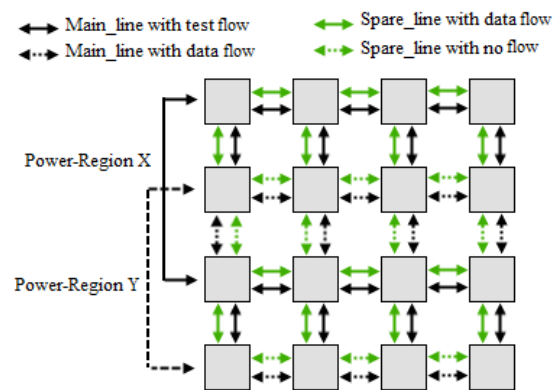
NOC size	Link width (#bit)	P_{total} (μw)	Region X (μw)	Region Y (μw)
3*3	16	1.34	0.92	0.75
	32	2.70	1.87	1.53
	64	5.40	3.75	3.09
4*4	16	2.68	1.85	1.51
	32	5.40	3.74	3.07
	64	10.78	7.48	6.16
5*5	16	4.47	2.97	2.64
	32	8.90	5.91	5.20
	64	17.94	11.96	10.64

جدول ۵: توان مصرفی شبکه بر تراشه

NOC size	Link width (#bit)	P_{NOC} in test mode(mw)	P_{NOC} in normal mode (mw)	Power consumption avrage(mw)& Increment percentage
3*3	32	15.5	12.8	12.85(0.39%)
	64	29.8	24.4	24.50(0.40%)
4*4	32	30.3	24.9	25.01(0.44%)
	64	57.88	47.1	47.32(0.46%)
5*5	32	49.7	40.8	40.99(0.46%)
	64	95.14	77.2	77.59(0.50%)

در بحث سربار مساحت، ماژول‌های اصلی (TPG, TPG control, BIST control) افزوده شده به مسیریاب سنتز گردیده و جدول (۶) مساحت را در این ماژول‌ها نمایش می‌دهد. در جدول (۷) مقایسه‌ای

مسیریاب در این ناحیه را آزمایش می‌کند. برای آزمایش اتصالات ناحیه‌ی y سناریوی بالا برعکس می‌شود؛ بنابراین هر BIST controller باید در دو مُد آزمایش عمل کند. درحالی‌که تمام BIST controller ها دارای ساختار یکسانی باشند، پیچیدگی آزمایش کم خواهد بود. باید توجه داشت که تمام BIST controller ها در طول آزمایش در نواحی x و y فعال هستند. با بهره‌برداری از این تکنیک می‌توان مصرف توان کل را در طی آزمایش کنترل کرد. باین‌حال، زمان کل آزمایش به تناسب با تعداد نواحی توان افزایش خواهد یافت، زیرا در یک‌زمان، یک‌ناحیه می‌تواند فعال باشد؛ درحالی‌که سایر نواحی غیرفعال‌اند.



شکل ۱۲: تقسیم شبکه ۴×۴ به دو ناحیه توان

۶- نتایج شبیه‌سازی

برای شبیه‌سازی زمان آزمایش در معماری پیشنهادی، از ابزار Modelsim استفاده شده است. توان مصرفی مسیریاب و مساحت با استفاده از synopsys design compiler در فناوری SAED 90nm برای سه NOC با اندازه‌های متفاوت شبیه‌سازی گردیده است. تعداد چرخه‌ی موردنیاز ساعت برای اعمال الگوهای آزمایش بر اتصالات از طریق شبیه‌سازی معماری پیشنهادی موردبررسی قرار گرفته است. فرض شد که تأخیر اتصالات برای انتقال سیگنال در فناوری ۹۰ nm، یک چرخه‌ی کلاک است [۳۵]. تعداد چرخه‌های ساعت برای آزمایش اتصالات برای K های متفاوت برای مدل MVT در جدول (۲) نشان شده است. نتایج نشان می‌دهد که زمان آزمایش BIST پیشنهادی در مقایسه با روش نقطه‌به‌نقطه [۸] حداقل زمان برای هر مقدار K است.

جدول ۲: زمان اجرای آزمایش

NOC size	Proposed BIST test time (clock cycle)			Point-to-Point[8] (Clock cycle)
	K=2	K=3	K=4	
3*3	20	26	30	50×10 ³
4*4	21	27	31	
5*5	22	28	32	

برای شبیه‌سازی، مسیریاب با سایز فلیت (flit) ۱۶، ۳۲، ۶۴ بیت، بافر با عمق ۸ فلیت و فرکانس ۵۰ مگاهرتز در نظر گرفته شده است. فاکتور سوئیچینگ اتصالات عبور دهنده‌ی داده‌های نرمال توسط Testbench برای به دست آوردن P_{router} در هر کدام از مسیریاب‌ها و

می‌گردد. روش دوم، آزمایش آگاه از ترافیک [۱۷]، روشی برای آزمایش برخط اتصالات ارائه می‌دهد.

جدول ۶: سربار مساحت در ماژول‌های BIST (#gates)

#Bits	TPG	TPG control	BIST control
8	245	120	22
16	484	120	22
32	960	120	22

جدول ۷: مقایسه روش پیشنهادی با دو روش دیگر

Approaches	Link width(#bit)	Test pattern hardware(#gates)	Response Analyzer(#gates)	Total test unit area(#gates)	Online test	Online Fault tolerant
BIST method in [8] (Point-to-point)	16	TDG 287	TED 314	4 TDG/TED per switch 2404	No	No
Online traffic-aware BIST[17]	36	-	-	3808	Yes	No
Our BIST method	16	TPG + delay queue + 2 controllers 828	Comparators 875	1703	Yes	Yes
	32	1560	1690	3250		

ادامه، نتایج سربار مساحت برای مسیریاب مرکزی و NOC در سه اندازه به ترتیب در جدول (۸) و (۹) نمایش داده شده است.

با توجه به نتایج، در BIST پیشنهادی مقدار کمی سربار مساحت ایجاد شده، لکن امکان آزمایش برخط اتصالات و تحمل خرابی اتصالات در آن‌ها فراهم گردیده است.

مابین روش نقطه‌به‌نقطه [۸]، روش آزمایش برخط آگاه از ترافیک [۱۷] و معماری پیشنهادی از لحاظ سربار مساحت BIST نمایش داده شده است. این دو روش به علت استفاده از معماری BIST به دلیل مزیت این معماری نسبت به روش‌های دیگر، انتخاب شده‌اند. روش نقطه‌به‌نقطه [۸] از معماری BIST برای آزمایش اتصالات به صورت برون‌خطی استفاده کرده و هنگام آزمایش عملکرد معمول سیستم قطع

جدول ۸: سربار مساحت در مسیریاب‌ها (#gates)

Router port width(#bit)	Original central Router	Router with Proposed BIST
8	8353	9914(18.6%)
16	17470	22609(22.7%)
32	30315	40883(34.8%)

جدول ۹: سربار مساحت در شبکه روی تراشه‌ها (#gates)

NOC size	Link width(bit)	Original area	Area with proposed BIST	Number of interconnects wires in proposed BIST
3*3	8	54897	66066(20.3%)	216
	16	115510	151261(30.9%)	408
	32	197579	270319(36.8%)	792
4*4	8	106188	127820(20.4%)	432
	16	171630	225085(31.1%)	816
	32	384548	524660(36.4%)	1584
5*5	8	174185	209402(20.2%)	720
	16	367510	479781(30.5%)	1360
	32	632155	860767(36.1%)	2640

۷- نتیجه‌گیری
روش‌های رایج در آزمایش اتصالات، عموماً به صورت برون‌خطی است و در معدود روش‌هایی که آزمایش به صورت برخط بوده، مسیریاب‌های وقفی با الگوریتم‌های پویا هدف قرار گرفته‌اند. در مسیریاب‌های غیروفقی به دلیل استفاده از الگوریتم‌های قطعی، روش‌های آزمایش قبلی برای تحمل خرابی کارایی ندارند. در این مقاله، معماری ارائه شد که با افزودن اتصالات میان مسیریاب‌ها، آزمایش به صورت برخط و با فرکانس خود تراشه انجام گیرد. در این معماری، زمان آزمایش کاهش چشم‌گیری یافته و تحمل خرابی نیز امکان‌پذیر بوده و سربار مساحت کم است. میانگین توان مصرفی BIST پیشنهادی، با توجه به هدف این روش و همچنین زمان کم آزمایش به دلیل همگام بودن با فرکانس تراشه و تعداد الگوی آزمایش پائین، افزایش بسیار اندکی دارد.

مراجع

- [1] A. Agarwal, B. Raton, C. Iskander, H. Multisystems, and R. Shankar, "Survey of Network on Chip (NoC) Architectures & Contributions," *Networks*, vol. 3, no. 1, pp. 15–27, 2009.
- [2] R. Marculescu and P. Bogdan, "The chip is the network: Toward a science of network-on-chip design," *Found. Trends@ Electron. Des. Autom.*, vol. 2, no. 4, pp. 371–461, 2007.
- [3] "ITRS Home." [Online]. Available: <http://www.itrs.net/>. [Accessed: 05-Nov-2015].
- [4] R. A. Shafik, J. Mathew, and D. K. Pradhan, "Introduction to Energy-Efficient Fault-Tolerant Systems," in *Energy-Efficient Fault-Tolerant Systems*, pp. 1–10, Springer 2014.
- [5] P. P. Pande, C. Grecu, A. Ivanov, R. Saleh, and G. De Micheli, "Design, Synthesis, and Test of Networks on

در [۸] یک جفت بلاک TDG (تولید داده‌های آزمایش)/TED (آشکارساز خطای آزمایش) در انتهای فرستنده و گیرنده هر اتصال یک‌طرفه قرار داده شده و باید هر اتصال در دو جهت مخالف مورد آزمایش قرار گیرد. همین‌طور در [۱۷] مانند روش قبل در انتهای فرستنده و گیرنده هر اتصال یک‌طرفه، ماژول ناظر MM قرار داده شده که متشکل از چهار مؤلفه CCD (آشکارساز تراکم کانال)، TSM (مؤلفه حسگر ترافیک)، CT (آزمایشگر کانال) و TID (فاصله‌گزار زمانی) است.

بنابراین، چهار TDG/TED و MM برای هر مسیریاب در دو روش لازم است. ناحیه‌ی مورد ارزیابی فقط سخت‌افزار BIST در روش نقطه‌به‌نقطه و روش آزمایش برخط آگاه از ترافیک است که تقریباً برای روش پیشنهادی در [۸] با پهنای اتصال ۱۶ بیت برابر ۲۴۰۴ دروازه‌ی منطقی و برای [۱۷] با پهنای اتصال ۳۶ بیت برابر ۳۸۰۸ دروازه‌ی منطقی است. در روش BIST پیشنهادی به دلیل وجود فقط یک TPG در هر مسیریاب، سربار مساحت برای ۱۶ و ۳۲ بیت به ترتیب برابر با ۱۷۰۳ و ۳۲۵۰ دروازه‌ی دو ورودی است که جزییات آن بعلاوه دو ثبات افزوده شده جهت ایجاد تأخیر در جدول (۷) گزارش شده است. در

- [20] E. F. Cota, F. G. de L. Kastensmidt, M. C. dos Santos, M. B. Hervé, P. R. V. de Almeida, P. R. M. Meirelles, A. de M. Amory, and M. S. Lubaszewski, "A high-fault-coverage approach for the test of data, control, and handshake interconnects in mesh networks-on-chip," *IEEE Trans. Comput. New York. Vol. 57, no 9, pp. 1202-1215, Sept 2008*.
- [21] M. B. Hervé, M. Moraes, P. Almeida, M. Lubaszewski, F. L. Kastensmidt, and É. Cota, "Functional Test of Mesh-Based NoCs with Deterministic Routing: Integrating the Test of Interconnects and Routers," *J. Electron. Test.*, vol. 27, no. 5, pp. 635–646, Oct 2011.
- [22] C. Concatto, P. Almeida, F. Kastensmidt, É. Cota, M. Lubaszewski, and M. Herve, "Improving yield of torus NoCs through fault-diagnosis-and-repair of interconnect faults," in *On-Line Testing Symposium, 2009. IOLTS 2009. 15th IEEE International*, pp. 61–66, 2009.
- [23] L. Chen, X. Bai, and S. Dey, "Testing for interconnect crosstalk defects using on-chip embedded processor cores," *J. Electron. Test.*, vol. 18, no. 4–5, pp. 529–538, 2002.
- [24] M. CuvIELLO, S. Dey, Xiaoliang Bai, and Yi Zhao, "Fault modeling and simulation for crosstalk in system-on-chip interconnects," in *1999 IEEE/ACM International Conference on Computer-Aided Design. Digest of Technical Papers (Cat. No.99CH37051)*, pp. 297–303, 1999.
- [25] M. H. Tehranipour, N. Ahmed, and M. Nourani, "Multiple transition model and enhanced boundary scan architecture to test interconnects for signal integrity," in *Computer Design, 2003. Proceedings. 21st International Conference on*, pp. 554–559, 2003.
- [26] R. Nourmandi-Pour, A. Khadem-Zadeh, and A. Masoud Rahmani, "An IEEE 1149.1-based BIST method for at-speed testing of inter-switch links in network on chip," *Microelectronics J.*, vol. 41, no. 7, pp. 417–429, Jul 2010.
- [27] D. Anish, G. K. Kumar, and R. Jagdale, "Minimization of crosstalk in high speed PCB," in *Proceedings of the 12th international conference on Networking, VLSI and signal processing*, pp. 104–107, 2010.
- [28] H. Sankaran and S. Katkoori, "Simultaneous Scheduling, Allocation, Binding, Re-Ordering, and Encoding for Crosstalk Pattern Minimization During High-Level Synthesis," *Very Large Scale Integr. Syst. IEEE Trans.*, vol. 19, no. 2, pp. 217–226, 2011.
- [29] W.-Y. Chen, S. K. Gupta, and M. Breuer, "Test generation for crosstalk-induced delay in integrated circuits," in *Proceedings of the 1999 IEEE International Test Conference*, pp. 191–200, 1999.
- [30] A. Sinha, S. K. Gupta, and M. A. Breuer, "Validation and test generation for oscillatory noise in VLSI interconnects," in *Proceedings of the 1999 IEEE/ACM international conference on Computer-aided design*, pp. 289–296, 1999.
- [31] K. T. Lee, C. Nordquist, and J. Abraham, "Automatic test pattern generation for crosstalk glitches in digital circuits," in *Proceedings of the 16th IEEE VLSI Test Symposium*, pp. 34–39, 1998.
- [32] X. Bai and S. Dey, "High-level crosstalk defect simulation methodology for system-on-chip interconnects," *IEEE Trans. Comput. Des. Integr. Circuits Syst.*, vol. 23, no. 9, pp. 1355–1361, 2004.
- [33] F. Moraes, N. Calazans, A. Mello, L. Möller, and L. Ost, "HERMES: an infrastructure for low area overhead packet-switching networks on chip," *Integr. VLSI J.*, vol. 38, no. 1, pp. 69–93, 2004.
- [34] J. Öberg, "Clocking strategies for networks-on-chip," in *Networks on chip*, pp. 153–172, Springer 2003.
- Chips," *IEEE Des. Test Comput.*, vol. 22, no. 5, pp. 404–413, May 2005.
- [6] É. Cota, L. Carro, and M. Lubaszewski, "Reusing an on-chip network for the test of core-based systems," *ACM Trans. Des. Autom. Electron. Syst.*, vol. 9, no. 4, pp. 471–499, Oct 2004.
- [7] T. Han, I. Choi, H. Oh, and S. Kang, "A Scalable and Parallel Test Access Strategy for NoC-Based Multicore System," *2014 IEEE 23rd Asian Test Symposium*, pp. 81–86, 2014.
- [8] C. Grecu, P. Pande, A. Ivanov, and R. Saleh, "BIST for network-on-chip interconnect infrastructures," in *Proceedings of the IEEE VLSI Test Symposium*, pp. 30–35, 2006.
- [9] M. Botelho, F. L. Kastensmidt, M. Lubaszewski, É. Cota, and L. Carro, "A broad strategy to detect crosstalk faults in network-on-chip interconnects," in *VLSI System on Chip Conference (VLSI-SoC), 2010 18th IEEE/IFIP*, pp. 298–303, 2010.
- [10] M. R. Kakoe, V. Bertacco, and L. Benini, "A distributed and topology-agnostic approach for on-line NoC testing," in *Proceedings of the Fifth ACM/IEEE International Symposium on Networks-on-Chip - NOCS '11*, pp. 113–120, 2011.
- [11] R. Nourmandi-Pour and N. Mousavian, "A fully parallel BIST-based method to test the crosstalk defects on the inter-switch links in NOC," *Microelectronics J.*, vol. 44, no. 3, pp. 248–257, 2013.
- [12] M. Kumar, Pankaj, V. Laxmi, M. S. Gaur, and S. B. Ko, "Reconfigurable distributed fault tolerant routing algorithm for on-chip networks," *2013 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFTS)*, pp. 290–295, 2013.
- [13] A. Vitkovskiy, V. Soteriou, and C. Nicopoulos, "A Dynamically Adjusting Gracefully Degrading Link-Level Fault-Tolerant Mechanism for NoCs," *IEEE Trans. Comput. Des. Integr. Circuits Syst.*, vol. 31, no. 8, pp. 1235–1248, Aug 2012.
- [14] A. Ben Ahmed and A. Ben Abdallah, "Graceful deadlock-free fault-tolerant routing algorithm for 3D Network-on-Chip architectures," *J. Parallel Distrib. Comput.*, vol. 74, no. 4, pp. 2229–2240, 2014.
- [15] A. P. Frantz, L. Carro, E. Cota, and F. L. Kastensmidt, "Evaluating SEU and Crosstalk Effects in Network-on-Chip Routers," in *12th IEEE International On-Line Testing Symposium (IOLTS'06)*, pp. 191–192, 2006.
- [۱۶] فرید کربلایی، حمیدرضا شعبانی و رضا ابراهیم پور، «ارزیابی برون خط پایداری گذرا به وسیله تعیین دقیق CCT با استفاده از شبکه عصبی با ورودی‌های مبتنی بر توابع انرژی»، *مجله مهندسی برق دانشگاه تبریز*، دوره ۴۶، شماره ۱، صفحه ۲۷۷–۲۸۵، بهار ۱۳۹۵.
- [17] J. Liu, J. Harkin, Y. Li, and L. Maguire, "Online traffic-aware fault detection for networks-on-chip," *J. Parallel Distrib. Comput.*, vol. 74, no. 1, pp. 1984–1993, 2014.
- [18] A. E. Kiasari, A. Jantsch, and Z. Lu, "A Heuristic Framework for Designing and Exploring Deterministic Routing Algorithm for NoCs," *Routing Algorithms in Networks-on-Chip*, 2014.
- [۱۹] معصومه واعظی و محمدعلی جبرئیل جمالی، «پروتکل مسیریابی جدید مبتنی بر کیفیت خدمات در شبکه‌های حسگر بیسیم با تحلیل سلسله مراتبی»، *مجله مهندسی برق دانشگاه تبریز*، دوره ۴۶، شماره ۲، صفحه ۳۵۵–۳۶۷، بهار ۱۳۹۵.

platforms,” *Microelectronics J.*, vol. 36, no. 9, pp. 833–845, Sep 2005.

[35] C. Grecu, P. P. Pande, A. Ivanov, and R. Saleh, “Timing analysis of network on chip architectures for MP-SoC

زیرنویس‌ها

- ¹ Network on Chip (NoC)
- ² Deterministic
- ³ Test access mechanism (TAM)
- ⁴ Cross-talk
- ⁵ Built-in Self-test (BIST)
- ⁶ Adaptive
- ⁷ None-Adaptive
- ⁸ Test Pattern Generator (TPG)
- ⁹ Maximum Aggressor Fault (MAF)
- ¹⁰ Multiple Transaction (MT)
- ¹¹ Multiple Victim Test (MVT)
- ¹² Automated Test Equipment (ATE)
- ¹³ Victim lines
- ¹⁴ Aggressor lines
- ¹⁵ Mutual inductance
- ¹⁶ Capacitance coupling
- ¹⁷ To BIST Controller
- ¹⁸ Test pattern generation time
- ¹⁹ BIST setup time
- ²⁰ Monitor module