Tabriz Journal of Electrical Engineering (TJEE), vol. 55, no. 2, Summer 2025 Serial no. 112
DOI: 10.22034/tjee.2025.63036.4881

Design and Analysis of High Quality Factor N-path Filters for LTE and GSM Standards

Ahmad Najjari, Sirous Toofan*, Ziaddin Daie Kuzekanani, Jafar Sobhi*

Electrical and Computer Enginnering, Tabriz University, Tabriz, and Iran.
E-mails: ahmadnj770611@gmail.com; s.toofan@tabrizu.ac.ir; zdaie@tabrizu.ac.ir; sobhi@tabrizu.ac.ir
* Corresponding author

Abstract
The paper introduces a N-path filter with high-quality factors for GSM and LTE standards. The filter is constructed from a Sallen-Key low-pass filter, LNA, and simple N-path filter. It operates in the frequency range of 0.1 to 3 GHz with a 20 MHz bandwidth and exhibits quality factors of 45 and 135 for frequencies of 0.9 and 2.7 GHz, respectively. Furthermore, an inductor-free LNA with resistive feedback is designed. It belongs to the class AB type with a 1 mA current bias and offers 35.4 dB gain in the frequency range of 0 to 4.5 GHz. This amplifier, built using 180nm CMOS TSMC technology, consumes 7.2 mW of power, and an IIP3 of 6.4 dBm. The proposed N-path filter utilizes 16 ohm switches on-resistance with 180nm CMOS TSMC technology, and at clock frequencies of 0.9 and 2.7 GHz with an input amplitude of 0.1 V, it provides gains amplitude of -6.7 dB and -15.81 dB. The overall gain of this filter is 8.37 dB, with a noise of 8.24 dB, an IIP3 of 9.2 dBm, consumes 10 mW of power, and S_{11} = -26.9 dB. In comparison to similar works, this filter exhibits significant improvements in terms of gain, frequency range, bandwidth, and power consumption while maintaining noise and IIP3 levels consistent with other filters. For clock generation, the filter is designed using a two-bit quadrature generator comprising 11 transistors, alongside a Johnson counter and D-type flip-flops with TSPC logic.

Keywords
N-path filter, low noise amplifier, Sallen-Key filter, clock frequency, bandwidth, noise.

1- Short Introduction

This research addresses the growing demands of wireless communication across diverse standards like GSM, LTE, WCDMA, and GPS. To achieve this, the focus is on creating wider frequency bands, employing filters with high linearity and quality factors, and exploring cognitive radio technology and adjustable chipsets. The study investigates adjustable RF filters with various topologies (active and passive) and analyzes SAW and FBAR filters commonly used in communication devices. However, limitations in integration, tunability, and multi-band coverage necessitate exploring alternative methods. Frequency shift filtering emerges as a promising on-chip RF pre-filtering approach due to its adjustability, high-quality factor, and reliance solely on switches and capacitors. Consequently, this research aims to design and simulate a high-quality, adjustable bandpass filter for GSM and LTE standards using the frequency shift filtering method.

2- Proposed Work and Methodology

To solve the challenges of high-quality bandpass filters, including integration limitation and sensitivity to element fluctuations, a new bandpass filter for GSM and LTE standards is designed and simulated using the combination of a N-path filter and a low-pass Sallen-Key filter. This innovative filter offers several advantages including a wide frequency range, good bandwidth, and channel selectivity, and significantly improves the performance of existing filters.

3- Conclusion

The N-path filter with high-quality factors present for GSM and LTE standards. This filter was designed by combining a Sallen-Key low pass filter, low noise amplifier, and simple N-path filter and implemented in 180nm CMOS TSMC technology. The simulation results show that the proposed filter has a bandwidth of 20 MHz, high-quality factor, optimal gain, wide frequency range, and low power consumption. It also offers acceptable noise and IIP3 and has a adjustabile center frequency with fixed bandwidth. In addition, a clock pulse with a duty cycle of 25% and a frequency dependent on the clock signal was designed using D flip-flop type TSPC.

طراحی و شبیه‌سازی فیلترهای چندمسیره با ضریب کیفیت بالا برای استانداردهای GSM و LTE

احمد نجاری
فارغ التحصیل کارشناسی ارشد، دانشکده مهندسی برق و کامپیوتر، دانشگاه تبریز، تبریز، ایران

سیروس طوفان
دانشیار، دانشکده مهندسی برق و کامپیوتر، دانشگاه تبریز، تبریز، ایران

ضیاء الدین دایی کوزه کنانی
استاد، دانشکده مهندسی برق و کامپیوتر، دانشگاه تبریز، تبریز، ایران

جعفر صبحی
دانشیار، دانشکده مهندسی برق و کامپیوتر، دانشگاه تبریز، تبریز، ایران

چکیده
در این مقاله، یک فیلتر چندمسیره با ضریب کیفیت بالا برای استانداردهای GSM و LTE ارائه می‌شود. این فیلتر از ترکیب فیلتر پایین‌گذر Sallen-Key، تقویت‌کننده کم نویز و فیلتر چندمسیره ساده طراحی‌شده است. فیلتر مذکور در بازه فرکانسی ۰/۱ تا ۳ گیگاهرتز با پهنای‌باند ۲۰ مگاهرتز کار می‌کند و به ترتیب برای فرکانس‌های ۰/۹ و ۲/۷ گیگاهرتز ضریب کیفیتی برابر ۴۵ و ۱۳۵ دارد. تقویت‌کننده کم نویز بدون سلف با فیدبک مقاومتی، از نوع کلاس AB با جریان بایاس ۱ میلی‌آمپر و بهره ۳۵/۴ دسی‌بل در بازه فرکانسی صفر تا ۴/۵ گیگاهرتز با استفاده از فنّاوری 180nm CMOS TSMC طراحی‌شده است. توان مصرفی این تقویت‌کننده ۷/۲ میلی‌وات و IIP3 برابر 6.4dBm می‌باشد. از سوئیچ‌هایی با مقاومت روشن ۱۶ اهم با فنّاوری 180nm CMOS TSMC فیلتر چندمسیره پیشنهادی استفاده شده و برای فرکانس‌های کلاک ۰/۹ و ۲/۷ گیگاهرتز با دامنه ورودی ۰/۱ ولت، دامنه بهره برابر ۶/۷- و ۱۵/۸۱- دسی‌بل دارد. بهره نهایی این فیلتر ۸/۳۷ دسی‌بل، نویز ۸/۲۴ دسی‌بل، IIP3 برابر ۹/۲ dBm، توان مصرفی ۱۰ میلی وات و S_{11} = -26.9dB می‌باشد. در مقایسه با سایر کارهای مشابه، این فیلتر از نظر بهره، بازه فرکانسی، پهنای‌باند و توان مصرفی به‌طور قابل توجهی بهبود یافته است. همچنین نویز و IIP3 آن در محدوده مشابهی با سایر فیلترها قرار دارد. برای ایجاد کلاک این فیلتر از مولد ربعی دو بیتی با ۱۱ ترانزیستور و با استفاده از شمارنده جانسون و فلیپ‌فلاپ‌های نوع D با منطق TSPC استفاده شده است.

کلمات کلیدی
فیلتر چندمسیره، تقویت‌کننده کم نویز، فیلتر Sallen-Key، فرکانس کلاک، پهنای‌باند، نویز.

نام نویسنده مسئول: سیروس طوفان
ایمیل نویسنده مسئول: s.toofan@tabrizu.ac.ir

تاریخ ارسال مقاله: ۱۴۰۳/۰۵/۲۹
تاریخ(های) اصلاح مقاله: ۱۴۰۳/۱۲/۱۱
تاریخ پذیرش مقاله: ۱۴۰۴/۰۱/۳۰

۱- مقدمه

رشد سریع ارتباطات بی‌سیم، تقاضای اخیر برای گیرنده‌های چند باندی و چند استانداردی و محدودیت طیف رادیویی توجه محققان به فرستنده‌های بی‌سیم بسیار انعطاف‌پذیر را به خود جلب کرده است. رادیوهای شناختی (CR[1]) راه‌حلی هوشمندانه برای این چالش ارائه می‌کنند. رادیوهای شناختی می‌توانند به‌طور خودکار کانال‌های بلااستفاده در گستره طیف بی‌سیم را شناسایی کرده و بهترین پهنای‌باند را از نظر مجاورت با کاربر انتخاب کنند. این امر از تداخل و ازدحام میان کاربران جلوگیری کرده و در نهایت، کارایی ارتباطی را به‌طور بهینه تضمین می‌کند. پیاده‌سازی رادیوهای شناختی به سیستمی تحت عنوان رادیو نرم‌افزاری (SDR[2]) نیازمند است تا بتواند هر نوع مدولاسیونی را برای سیگنال دریافتی انجام دهد و باند فرکانسی و پهنای‌باند موردنیاز را تنظیم کند. یکی از اساسی‌ترین چالش‌های طراحی SDR، یافتن فیلتر میان‌گذر با فرکانس مرکزی قابل تنظیم است. این فیلترها نقش کلیدی در فرآیند انتخاب کانال را در رادیوهای شناختی ایفا می‌کنند که در این کار به این موضوع پرداخته می‌شود.

فیلترهای RF قابل تنظیم با توپولوژی‌های مختلف در دو دسته فعال و غیرفعال موجود هستند. فیلترهای فعال شامل اجزای فعال و غیرفعال هستند و معمولاً از سلف استفاده نمی‌شود. از سوی دیگر، مقاومت، خازن و سلف اجزا تشکیل‌دهنده فیلترهای غیرفعال هستند. فیلترهای LC یکپارچه با خازن‌های قابل تنظیم، امکان تنظیم را فراهم می‌کنند، اما به دلیل توان مصرفی سلف‌های روی تراشه و ضریب کیفیت پایین، عملکرد ضعیفی دارند. در روش دیگر مانند

[1] Cognitive Radio
[2] Software-defined radio

تشدیدکننده MEMS[3]، محدودیت‌هایی نظیر سطح امپدانس وجود دارد [۱]. فیلترهای SAW[4] و FBAR[5] نیز در دستگاه‌های ارتباطی استفاده‌های گسترده‌ای دارند. فیلترهای SAW از سال ۱۹۷۷ در محدوده فرکانس‌های زیر ۲ گیگاهرتز مورد استفاده قرار گرفتند [۲]. فیلترهای FBAR در فرکانس‌های بالا کارایی بهتری دارند. این فیلترها نیاز به یکپارچگی، تنظیم‌پذیری و پوشش باندهای فرکانسی مختلف دارند. با پیشرفت فناوری، روش‌های جدیدتری برای فیلتر کردن سیگنال‌ها پدید آمده است [۳، ۴].

محققان علاقه زیادی به استفاده از فیلتر کردن با انتقال فرکانس به‌عنوان یک روش پیش فیلتر کردن RF روی تراشه دارند. در این روش فیلتر کردن، با تغییر فرکانس ساعت‌های فاز در مسیرهای مختلف، فرکانسی سیگنال خروجی کنترل می‌شود [۵]. این فیلترها قابلیت تنظیم و ضریب کیفیت بالایی دارند و تنها از سوئیچ و خازن تشکیل شده‌اند. با توسعه سریع فناوری CMOS، سوئیچ‌ها با مقاومت روشن و خازن‌های پارازیتی کمتری در دسترس قرار می‌گیرند. همچنین، با استفاده از فناوری‌های جدید CMOS، می‌توان خازن‌های با ضریب کیفیت بالا را تولید کرد.

در دو دهه گذشته، پیشرفت‌های چشمگیر در فناوری CMOS تأثیر قابل توجهی بر امکان پیاده‌سازی فیلترهای چندمسیره در طراحی‌های گیرنده‌های مدرن داشته است. فناوری CMOS ساخت سوئیچ‌هایی با مقاومت کم و خازن پارازیتی ناچیز در فرکانس‌های گیگاهرتز را امکان‌پذیر کرده است. این دستاوردها راه را برای یکپارچه‌سازی موفق فیلترهای چندمسیره در گیرنده‌های رادیویی نرم‌افزاری تعریف‌شده (SDR) هموار کرده‌اند.

روش‌های مختلفی برای بهبود عملکرد فیلترهای چندمسیره ارائه شده است که شامل افزایش ضریب کیفیت، افزایش بازه فرکانسی، کاهش نویز و افزایش مرتبه فیلتر می‌شود. از انواع روش‌ها به تفصیل می‌توان به‌صورت زیر اشاره کرد:

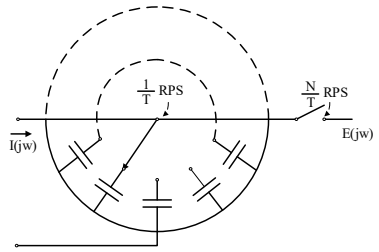
- فیلتر چندمسیره دیفرانسیلی: این نوع فیلتر از اتصال دو فیلتر چندمسیره تک انتهایی به‌صورت موازی تشکیل شده است. پهنای‌باند و ضریب کیفیت آن چهار برابر بهتر از فیلتر تک‌مسیره است [۵، ۶]. طراحی فیلتر کاملاً تفاضلی می‌تواند با حذف هارمونیک‌های مرتبه زوج از پاسخ فرکانسی را برطرف کند [۷].
- فیلترهای مبتنی بر سلول G_m-C: این روش برای حل مشکل ساخت القاگر فعال استفاده می‌شود. سلول‌های G_m در اطراف فرکانس مرکزی استفاده می‌شوند و نویز فیلتر را کاهش می‌دهند [۸، ۹].
- فیلترهای اثر میلر: برای کاهش توان در عین حفظ بهره بالا، نویز کم و خطینگی بالا، پیاده‌سازی LNA با یک فیلتر چندمسیره راه حل کارآمدتری است. همچنین این روش باعث کاهش تاشدگی، نویز و مقاومت روشن سوئیچ‌ها می‌شود [۱۰].
- اضافه کردن صفر و قطب فیلتر: این روش گزینش‌پذیری محدود فیلترهای چندمسیره تمام-قطبی را برطرف می‌کند امّا تلفات نشتی را افزایش می‌دهد [۱۱].
- افزایش مرتبه فیلتر با تبدیل توپولوژی مدار از سری به موازی: برای افزایش مرتبه مدار از LC موازی با خطوط انتقال $\lambda/4$ به‌جای LC سری استفاده شده و مشکل طراحی قسمت سری LC را حل می‌کند [۱۲].

فیلترهای چندمسیره کلیدزنی غیرفعال نتایج امیدوارکننده‌ای را برای حذف سیگنال در front-ends گیرنده‌های فرکانس رادیویی نشان داده‌اند. مزایای آن‌ها شامل یکپارچه‌سازی، پهنای‌باند قابل تنظیم، خطینگی خوب و توان مصرفی کم است [۸، ۱۳]. با این‌حال، چالش‌هایی مانند پاسخ‌های هارمونیک، تاشدگی هارمونیک، نویز، پهنای‌باند محدود و پیچیدگی طراحی دارند. این فیلترها به‌طور بالقوه می‌توانند جایگزین فیلترهای SAW خارج از تراشه شوند، اما برای غلبه بر محدودیت‌های آن‌ها تحقیقات بیشتری لازم است [۵].

در فیلترهای چندمسیره تاشدگی هارمونیک زمانی رخ می‌دهد که سیگنال‌ها نزدیک مضرب‌های صحیح فرکانس سوئیچینگ فیلتر میان‌گذر قرار گیرند [۵]. درحالی‌که افزایش تعداد مسیرها تاشدگی هارمونیک را کاهش می‌دهد، این امر با افزایش پیچیدگی مدار و توان مصرفی همراه است [۶]. هدف این پژوهش، طراحی و شبیه‌سازی یک فیلتر میان‌گذر با قابلیت تنظیم‌پذیری و ضریب کیفیت بالا برای استانداردهای GSM و LTE است. در این پژوهش، یک ساختار جدید برای فیلترهای چندمسیره با استفاده از فیلتر Sallen-Key به‌منظور بهبود بازه فرکانسی، پهنای‌باند و ضریب کیفیت مورد بررسی قرار گرفته است. در بخش دوم، به تشریح روش ابداع فیلترهای چندمسیره، بررسی عملکرد آن‌ها در حوزه زمان و فرکانس و روابط ریاضی پرداخته شده است. در بخش سوم، یک ساختار جدید برای فیلترهای چندمسیره ارائه شده است. در بخش چهارم، فیلتر چندمسیره پیشنهادی با استفاده از نرم‌افزار ADS شبیه‌سازی شده است. در پایان، جمع‌بندی از نتایج و مهم‌ترین یافته‌های این پژوهش می‌شود.

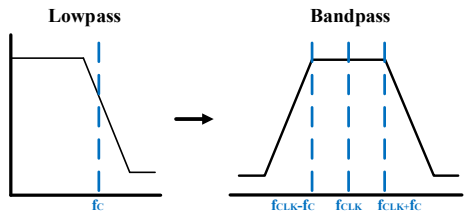
۲- ساختار و نحوه پیدایش فیلترهای چندمسیره

در سال ۱۹۶۰، فرانک و سندبرگ با معرفی فیلتر چندمسیره، نقطه عطف بزرگی را در حوزه ارتباطات آغاز کردند. مطابق شکل ۱، این فیلتر به شکل یک چرخ با سرعت چرخش 1/T دور بر ثانیه و یک کلید خارجی در هر بازه T/N طراحی شده بود، توانست با ویژگی‌های منحصر به فرد خود، این ساختار جایگاه خود را در صنعت ارتباطات برجسته کند [۱۴، ۱۵].



شکل ۱- طراحی اولیه فیلتر چندمسیره [۱۴].

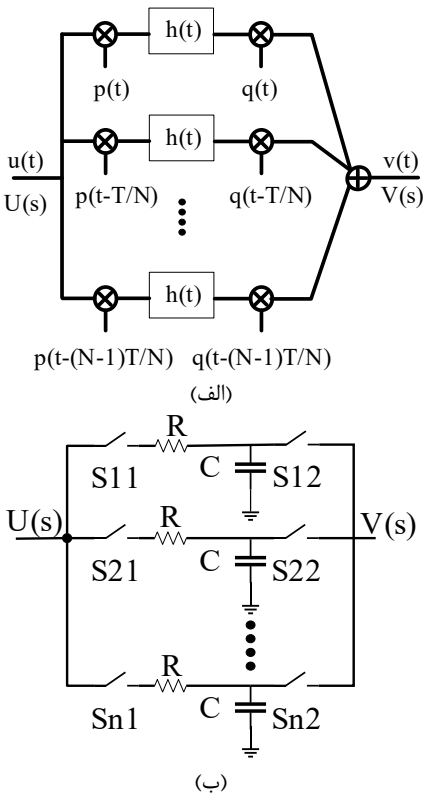
در دهه ۱۹۸۰، با ظهور فیلترهای دیجیتال، استفاده از فیلترهای چندمسیره به‌تدریج کاهش یافت؛ اما در سال‌های اخیر، با پیشرفت فناوری CMOS، فیلترهای چندمسیره با ابعاد کوچک‌تر و محدوده فرکانسی گسترده‌تری تولید شدند. هدف اصلی این فیلترها، ایجاد یک محدوده قابل تنظیم و ضریب کیفیت مناسب در فرکانس‌های RF می‌باشد. مطابق شکل ۲، محدوده فرکانس فیلتر چندمسیره از $f_{clk}-f_c$ تا $f_{clk}+f_c$ می‌باشد.



شکل ۲- تبدیل فیلتر پایین‌گذر به میان‌گذر توسط فیلتر چندمسیره.

[3] micro-electromechanical-systems
[4] surface-acoustic-wave
[5] Film-buck-acoustic-resonator

بلوک دیاگرام یک فیلتر چندمسیره در شکل ۳- (الف) نشان داده شده است. مدولاتورهای ورودی که به‌صورت ضرب کننده‌ها عمل می‌کنند، برای تولید ورودی‌های مورد نیاز برای N شبکه LTI یکسان با پاسخ ضربه h(t) و ضریب کنترل‌کننده‌های p(t) و q(t) با دوره تناوب $T=1/f_{CLK}$ استفاده می‌شوند.



شکل ۳- (الف) پیکربندی ساختار چندمسیره [۱۴] و (ب) فیلتر میان‌گذر چندمسیره RC [۱۶].

مطابق شکل ۳، بلوک دیاگرام فیلترهای چندمسیره با استفاده از سوئیچ‌ها به‌عنوان مخلوط کننده‌های غیر فعال p(t) و q(t) و فیلتر پایین‌گذر RC به عنوان پاسخ ضربه h(t) به سطح مداری تبدیل می‌شود. سیگنال ورودی از طریق یک سوئیچ به یک خازن منتقل می‌شود، سپس ولتاژ خروجی با نرخ نمونه‌برداری مشخصی (Nf_{CLK}) از سیگنال شارژ شده در خازن‌ها گرفته می‌شود [۱۵، ۱۶]. رابطه ریاضی برای فیلترهای چندمسیره شکل ۳-(ب) بر اساس بحث‌های فرانک و سندبرگ در [۱۴] و لانگر در [۱۷] به‌صورت رابطه (۱) بیان می‌شود.

$$\frac{V(s)}{U(s)}=\begin{cases} N\sum_{l}\left(\frac{\sin(l\pi/N)}{l\pi}\right)^2\frac{1}{1+RC(s-jw_0l)} & l+m=0 \\ 0 & l+m\neq 0 \end{cases} \quad (۱)$$

این رابطه نشان‌دهنده پاسخ فرکانسی خروجی به ورودی یک فیلتر چندمسیره میان‌گذر است که در آن N تعداد مسیرها، R مقاومت، C خازن و w_0 فرکانس مرکزی می‌باشند. ضمناً مقدار آن به فرکانس ورودی وابستگی ندارد و مقاومت و خازن نمایانگر یک فیلتر پایین‌گذر هستند. با افزایش تعداد مسیرها، ولتاژ خروجی به سیگنال سینوسی نزدیک‌تر می‌شود و عملکرد فیلتر بهبود می‌یابد؛ لذا، هر مرحله از فیلتر چندمسیره نیاز به زمان کمتری برای پردازش سیگنال دارد. این باعث کاهش تأخیر کلی فیلتر می‌شود و عملکرد آن در برخورد با سیگنال‌های با فرکانس بالا بهبود می‌یابد. پهنای‌باند فیلترهای چندمسیره شکل ۳- (ب) به‌صورت رابطه (۲) می‌باشد [۱۵].

$$BW=2f_{CLK}=\frac{1}{\pi NRC} \quad (۲)$$

در این رابطه N تعداد مسیرها، R مقاومت و C خازن را نشان می‌دهد. از دیگر مزایای استفاده از فیلترهای چندمسیره می‌توان به‌دقت بالا در تنظیم پارامترها، عملکرد پایدار در مقابل تغییرات دما و ولتاژ، قدرت کاهش نویز و تداخل، کاهش تأخیر راه‌اندازی و همچنین سازگاری با سیگنال‌های آنالوگ و دیجیتال اشاره کرد. طراحی فیلتر میان‌گذر تیز با استفاده از شبکه RLC یا تکنیک‌های فعال RC در فرکانس‌های بالا چالش‌برانگیز است. از طرفی، فیلتر چندمسیره به‌عنوان یک جایگزین جذاب برای فیلتر بدون سلف در مدارهای مجتمع مورد توجه قرار می‌گیرد [۱۴].

۳- مدار پیشنهادی

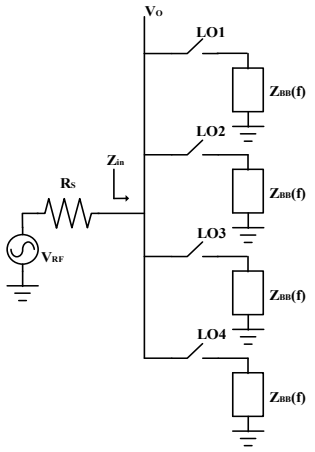
در این کار، یک فیلتر پایین‌گذر Sallen-Key با فیلترهای چندمسیره ساده ادغام‌شده و یک فیلتر میان‌گذر برای استانداردهای GSM و LTE با ضریب کیفیت بالا طراحی شده است که در زیر به طراحی قسمت‌های مختلف آن پرداخته می‌شود.

۳-۱- طراحی فیلتر چندمسیره میان‌گذر ساده

فیلتر چندمسیره میان‌گذر قابل تنظیم با فرکانس مرکزی کلاک مطابق شکل ۴، از سوییچ‌هایی با ساعت‌های غیر همپوشانی 1/N و باندپایه Z_{BB} بهره می‌برد. سوئیچ‌ها سیگنال‌های RF ورودی را به فرکانس و هارمونیک‌های کلاک منتقل می‌کند. امپدانس ورودی Z_{in} برای فرکانس ورودی RF به‌صورت رابطه (۳) می‌باشد [۱۸].

$$Z_{IN}(\omega)=R_S+N\sum_{n=-\infty}^{\infty}|a_n|^2 Z_{BB}(\omega-n\omega_{LO}) \quad (۳)$$

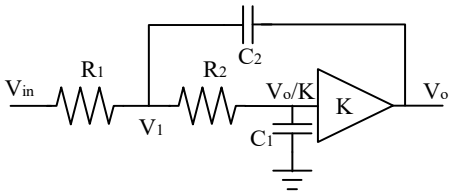
به‌طوری‌که $|a_n|=|sin(nN\pi/n\pi)|$ ،ω_{LO} ،$Z_{BB}=1/j\omega C_{bb}$ ،N ،R_S به تربیت بیانگر مقاومت منبع، تعداد مسیر، امپدانس باند پایه، فرکانس ساعت و ضریب فوریه برای یک ساعت چند فازی یکسان است. طبق رابطه (۲)، برای پهنای‌باند ۲۰ مگاهرتز و مقدار مقاومت R=100Ω و ۴ مسیره بودن فیلتر، مقدار خازن محاسبه‌شده برابر ۴۰ پیکو فاراد می‌باشد.



شکل ۴- فیلتر چندمسیره میان‌گذر [۱۸].

۳-۲- طراحی فیلتر پایین گذر Sallen-Key

در این بخش، فیلتر پایین‌گذر Sallen-Key که نوعی فیلتر فعال درجه دوم است، معرفی می‌شود. مطابق شکل ۵، در فیلتر پایین‌گذر Sallen-Key از یک تقویت‌کننده با بهره مثبت K با جریان ورودی صفر بهره برده شده است [۱۹]. جدول ۱ مشخصات افزاره‌های بکار رفته در فیلتر پایین‌گذر Sallen-Key برای فرکانس قطع ۱۰ مگاهرتز را نشان می‌دهد.



شکل ۵- فیلتر پایین‌گذر Sallen-Key [۱۹].

جدول ۱- مشخصات افزاره‌های بکار رفته در فیلتر پایین‌گذر Sallen-Key

$R_1[\Omega]$	$R_2[\Omega]$	C_1[pF]	C_2[pF]
۱۰۰	۱۰۰	۱۶۰	۱۶۰

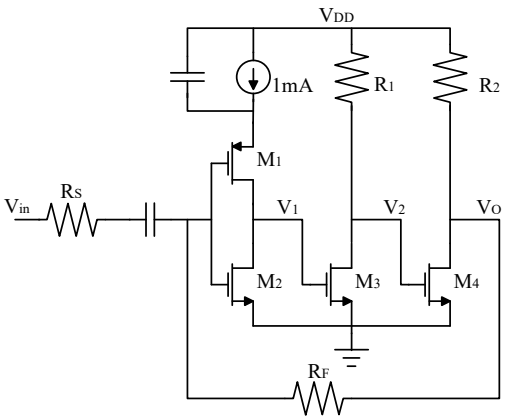
با توجه به رابطه (۴)، این فیلتر دارای دو قطب مزدوج در صفحه s بوده و پاسخ فرکانسی متقارن و پاسخ گذرا سریع دارد. این امر برای طراحی فیلترهایی با قطب‌های مزدوج و سیستم‌های نمونه‌برداری مناسب است. از مزایای این فیلتر می‌توان به‌سادگی در پیاده‌سازی، افزایش ولتاژ و امکان طراحی فیلترهای مرتبه اول و دوم با آبشاری کردن اشاره کرد [۱۹].

$$\frac{V_O}{V_{in}} = \frac{\frac{K}{R_1R_2C_1C_2}}{s^2 + s(\frac{1}{R_1C_1} + \frac{1}{R_2C_1} + \frac{1-K}{R_2C_2}) + \frac{1}{R_1R_2C_1C_2}} = \frac{K\omega_0^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \quad (۴)$$

با مقایسه فرم عادی تابع انتقال فیلتر پایین‌گذر مرتبه دوم با فیلتر پایین‌گذر Sallen-Key، تنظیم Q و ω_0 در این فیلتر مستقل بوده، به‌طوری که مقدار ω_0 با R_1 و R_2 تنظیم شده و مقدار Q با K تنظیم می‌گردد.

۳-۳- طراحی تقویت‌کننده کم نویز

در این مقاله یک تقویت‌کننده کم نویز (LNA) با بهره مثبت K بر اساس توپولوژی‌های ارائه‌شده در [۱۰] جهت به‌کارگیری در فیلتر پایین‌گذر Sallen-Key طراحی شده است. مطابق شکل ۶ تقویت‌کننده LNA شامل سه طبقه بوده و از فیدبک مقاومتی برای تطبیق امپدانس ورودی و کنترل بهره ولتاژ- جریان استفاده شده است. طبقه اول از یک تقویت‌کننده کلاس AB با بایاس جریان ۱ میلی‌آمپر تشکیل‌شده و طبقات دوم و سوم از نوع سورس مشترک با امپدانس ورودی بالا و جریان ورودی کم هستند. مدار پیشنهادی با مشخصات افزاره‌های بکار رفته در جدول ۲، پیاده‌سازی شده است.



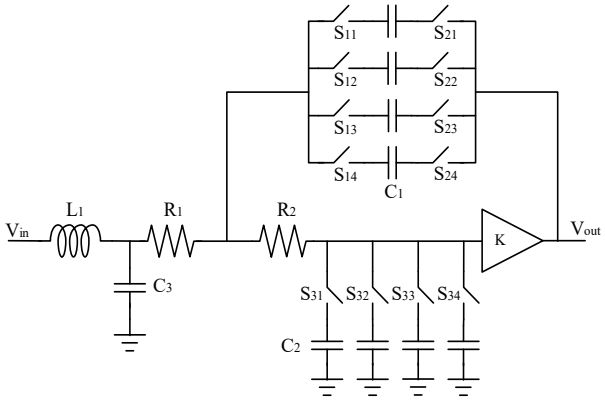
شکل ۶- مدار LNA پیشنهادی با فیدبک RF.

جدول ۲- مشخصات افزاره‌های بکار رفته در مدار LNA پیشنهادی.

سایز (W) [um]	ترانزیستور	اندازه مقاومت[KΩ]	مقاومت
۲۰	M_1	۰/۰۵	R_S
۲۰	M_2	۰/۵۱۵	R_1
۱۲/۸	M_3	۱/۱۱	R_2
۱۲/۸	M_4	۴	R_F

۴-۳- طراحی فیلتر پیشنهادی

فیلترهای میان‌گذر با ضریب کیفیت بالا به سلف‌های بزرگ نیاز دارند و به دلیل محدودیت ضریب کیفیت توسط این سلف‌ها و سطح مصرفی زیاد آن‌ها، قابلیت مجتمع‌سازی محدودی دارند. فیلترهای Sallen-Key مزایای متعددی از جمله سادگی در پیاده‌سازی، افزایش ولتاژ، امکان پیاده‌سازی فیلترهای مرتبه اول و دوم به روش آبشاری، تکرارپذیری قطعات و افت تدریجی[6] ارائه می‌دهند [۱۹]. مطابق شکل ۷، فیلتر پیشنهادی از ادغام فیلتر پایین‌گذر Sallen-Key، تقویت‌کننده کم نویز، فیلتر میان‌گذر ساده و سوئیچ‌ها با فنّاوری 180nm CMOS TSMC طراحی شده است. این روش می‌تواند به دستاوردهای قابل توجهی، از جمله بازه فرکانسی زیاد، پهنای‌باند مناسب و انتخاب پذیری کانال منجر شود. جدول ۳ مقادیر مقاومت‌ها، خازن‌ها و سلف را برای پهنای‌باند ۲۰ مگاهرتز در بازه فرکانسی ۰/۱ تا ۳ گیگاهرتز ارائه می‌دهد.



شکل ۷- مدار فیلتر میان‌گذر چندمسیره پیشنهادی.

جدول ۳- مقادیر عناصر موجود در فیلتر پیشنهادی شکل ۷.

L_1[nH]	$R_1[\Omega]$	$R_2[\Omega]$	C_1[pF]	C_2[pF]	C_3[pF]
۸/۵۶	۱۰۰	۱۰۰	۲۰	۴۰	۲/۲۵

۵-۳- تولید کلاک‌های چندفاز فیلترهای چندمسیره

فیلتر چندمسیره از N مسیر موازی تشکیل شده است که در هر لحظه فقط یک مسیر آن فعال است. مدار محرک این فیلتر باید دارای یک ساعت غیر همپوشانی با سیکل کاری برابر با T/N باشد.

دو رویکرد اصلی برای تولید کلاک‌های چندفاز فیلترهای چندمسیره وجود دارد:

- نوسان‌ساز محلی خارجی (LO) و مدار دیجیتال: در این روش، از یک LO خارجی برای تولید فرکانس مرجع استفاده شده و سپس یک مدار دیجیتال این فرکانس را به N فاز مورد نیاز فیلتر تقسیم می‌کند [۲۰].
- حلقه‌های قفل‌شده تأخیری DLL: DLLها می‌توانند برای تولید سیگنال‌های ساعت با فرکانس و فاز دلخواه مورد استفاده قرار گیرند [۲۰].

[6] roll-off

در این پژوهش، از رویکرد ارائه شده در [۲۱] با استفاده از گیت‌های AND برای تولید ساعت فیلتر چندمسیره استفاده شده است. این مدار با ادغام روش‌های ارائه شده در [۱۵، ۲۱] طراحی شده است.

برای تولید چهار سیگنال ساعت غیر همپوشانی با سیکل کاری ۲۵٪، این مدار از دو فلیپ‌فلاپ، چهار گیت AND و چهار گیت NOT تشکیل شده است. دو فلیپ‌فلاپ به‌صورت حلقه جانسون دو بیتی پیکربندی می‌شوند و چهار سیگنال A، $\bar{A}$، B و $\bar{B}$ را تولید می‌کنند. برای تولید چهار سیگنال خروجی F1، F2، F3 و F4 با چرخه کاری ۲۵٪ و فاصله ۹۰ درجه با مولد ربعی دو بیتی از گیت‌های AND و NOT استفاده می‌شود. جدول ۴ مقادیر چهار سیگنال F1 تا F4 را در حالت‌های مختلف نشان می‌دهد. مزایای این مدار عبارت‌اند: سادگی، کارایی مناسب و تولید سیگنال‌های ساعت با پایداری بالا. فلیپ‌فلاپ نوع D با منطق TSPC به دلیل مزایای متعددی از جمله کاهش تعداد ترانزیستورها، همگام‌سازی ساده فقط به یک سیگنال کلاک و جلوگیری از انحراف کلاک در این مقاله استفاده شده است [۲۱].

جدول ۴- جدول درستی مولد ربعی دو بیتی.

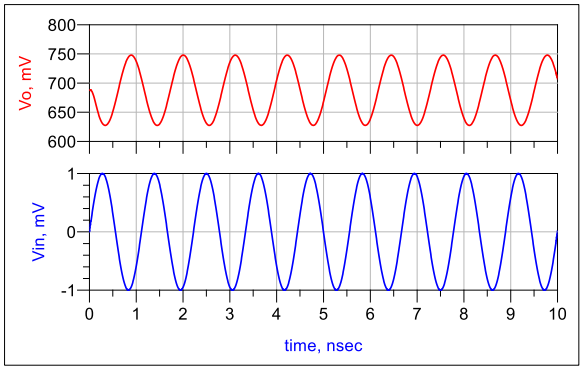
Output	F1	F2	F3	F4
A+$\bar{B}$	۱	۰	۰	۰
A+B	۰	۱	۰	۰
$\bar{A}$+B	۰	۰	۱	۰
$\bar{A}$+$\bar{B}$	۰	۰	۰	۱

۴- نتایج شبیه‌سازی مدار پیشنهادی

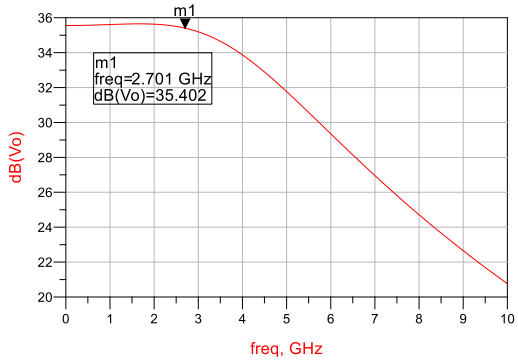
فیلتر چندمسیره میان‌گذر پیشنهادی و مدار تقویت‌کننده کم نویز با استفاده از نرم‌افزار ADS در فناوری 180nm CMOS TSMC با ولتاژ تغذیه ۱/۸ ولت شبیه‌سازی کرده و در ادامه به بررسی نتایج شبیه‌سازی‌ها پرداخته می‌شود.

۴-۱- نتایج شبیه‌سازی تقویت‌کننده کم نویز

شکل ۸ نتایج خروجی در حوزه زمان و شکل ۹ نتایج خروجی در حوزه فرکانس را برای ورودی با فرکانس ۰/۹ گیگاهرتز و دامنه ۱ میلی‌ولت نشان می‌دهند. دامنه ولتاژ خروجی LNA پیشنهادی ۷۰ میلی‌ولت و بهره آن ۳۵/۴ دسی‌بل است. LNA پیشنهادی نسبت به مدار مرجع [۱۰]، با افزایش ۹/۴ دسی‌بل در بهره خروجی، کاهش جریان بایاس، افزایش دامنه ولتاژ طبقات و توان مصرفی ۷/۲ میلی‌وات با ولتاژ تغذیه ۱/۸ ولت، عملکرد بهتری ارائه می‌دهد.

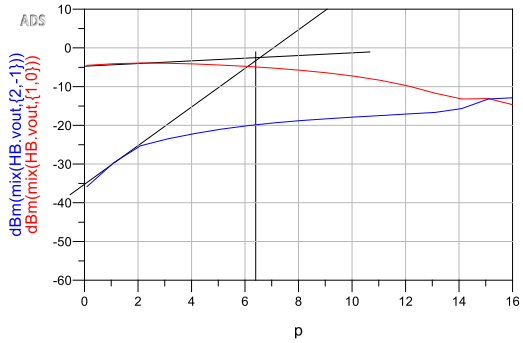


شکل ۸- تحلیل زمانی مدار LNA پیشنهادی.



شکل ۹- تحلیل AC مدار LNA پیشنهادی.

مطابق شکل ۱۰، IIP3 مدار LNA پیشنهادی با استفاده از روش برونیابی محاسبه شده و مقدار آن ۶/۴ dBm است که در مقایسه با تقویت‌کننده‌های LNA مشابه، نشان‌دهنده بهبود است.



شکل ۱۰- نمودار IIP3 مدار LNA پیشنهادی.

جدول ۵ مقایسه‌ای برای عملکرد تقویت‌کننده LNA پیشنهادی را با دیگر تقویت‌کننده‌ها نشان می‌دهد. این تقویت‌کننده بهره، پهنای‌باند، IIP3 و توان خروجی مناسبی در مقایسه با سایر تقویت‌کننده‌ها دارد و به همین خاطر می‌تواند در سیستم‌های رادیویی، تجهیزات مخابراتی و ابزارهای اندازه‌گیری کاربرد داشته باشد.

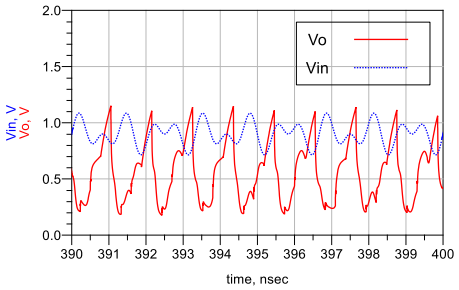
جدول ۵- مقایسه تقویت‌کننده LNA پیشنهادی با دیگر تقویت‌کننده‌ها.

مراجع	فناوری [nm]	فرکانس [GHz]	بهره [dB]	IIP3 [dBm]	منبع ولتاژ [V]	توان [mW]
[۱۰]*	۶۵	۰ ~ ۵	۲۶	۵	۱/۲	۱۰/۱
[۲۲]*	۶۵	۰/۱- ۲/۱	۱۴- ۲۴	۱۴/۵	۱/۶	۱۶- ۲۰
[۲۳]	۱۸۰	۰/۲۵ ~ ۱	۱۵	۲	۱/۸	۱۸
[۲۴]	۱۸۰	۰/۴ ~ ۳/۴	۱۳/۰۶- ۲۴/۵	-۷/۲۹ | -۱/۸	۱/۸	۱۲/۹۳
[۲۵]	۱۸۰	۰/۰۵ ~ ۱/۷	۱۷/۲- ۲۰/۲	-۱۰/۱۴ | -۵/۶۷	۱/۸	۳/۲۸
این مقاله	۱۸۰	۰ ~ ۴/۵	۳۵/۴	۶/۴	۱/۸	۷/۲

*اندازه گیری

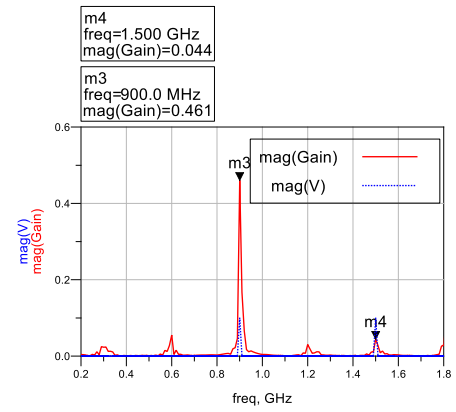
۴-۲- نتایج شبیه‌سازی فیلتر پیشنهادی

شکل ۱۱ نتیجه شبیه‌سازی فیلتر پیشنهادی به ازای سیگنال‌های ورودی برای فرکانس ۰/۹ و ۱/۵ گیگاهرتز با ولتاژ پیک ۱ ولت و فرکانس کلاک ۰/۹ گیگاهرتز را نشان می‌دهد. با نمونه‌برداری از سیگنال‌های ورودی در فرکانس کلاک ۰/۹ گیگاهرتز، سیگنال خروجی به‌صورت سینوسی خواهد بود و تغییر فرکانس ورودی ۱/۵گیگاهرتز بر نمودار خروجی تأثیری نخواهد گذاشت.

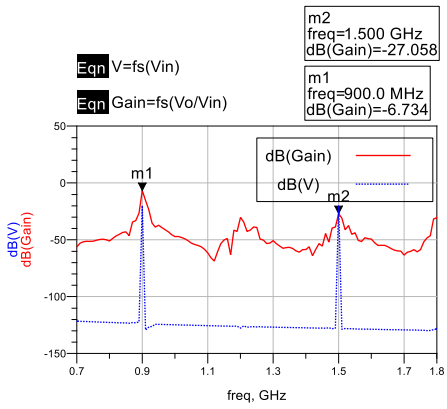


شکل ۱۱- تحلیل زمانی ورودی و خروجی فیلتر پیشنهادی.

اندازه |Gain=|Vout/Vin فیلتر در فرکانس‌های کلاک مطابق شکل ۱۲-(الف) ۵ برابر بیشتر است و برای فرکانس کلاک ۰/۹ گیگاهرتز با دامنه ورودی ۰/۱ ولت، مطابق شکل ۱۲- (ب) دامنه بهره برابر ۶/۷- دسی‌بل دارد. همچنین در فرکانس کلاک ۲/۷ گیگاهرتز با دامنه ورودی ۰/۱ ولت، دامنه بهره برابر ۱۵/۸۱- دسی‌بل است. نسبت هارمونیک اول به دوم در این مدار ۲ دسی‌بل بهتر از فیلترهای ۴ مسیره [۲۳] است و ضریب کیفیت آن برای فرکانس‌های ۰/۹ و ۲/۷ گیگاهرتز به ترتیب ۴۵ و ۱۳۵ است.



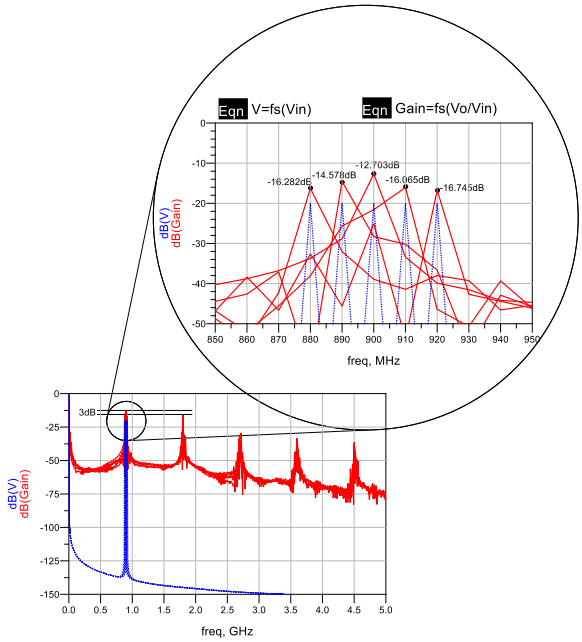
(الف)



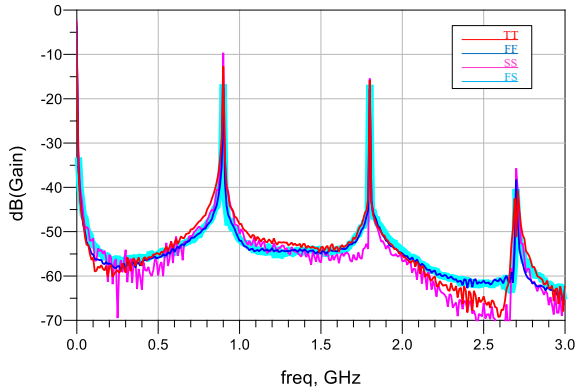
(ب)

شکل ۱۲- نتایج خروجی فیلتر پیشنهادی: (الف) اندازه و (ب) دامنه بهره.

برای اندازه‌گیری پهنای‌باند مدار پیشنهادی، فرکانس ورودی از ۸۸۰ تا ۹۲۰ مگاهرتز با گام‌های ۱۰ مگاهرتز Sweep شده است. نتایج شکل ۱۳ نشان می‌دهد که پهنای‌باند مدار ۲۰ مگاهرتز است که با محاسبات قبلی مطابقت دارد. هارمونیک‌های فیلتر پیشنهادی مانند فیلترهای [۵، ۶] است و خازن‌های پارازیتی سوییچ‌ها بر بهره مدار تأثیر می‌گذارند، اما تأثیر قابل توجهی بر پهنای‌باند ندارند و فقط فرکانس مرکزی را کمی جابجا می‌کنند. شکل ۱۴ نمودار بهره برای فرکانس کلاک ۰/۹ گیگاهرتز با دامنه ورودی ۰/۱ ولت، در محدوده دمایی بین ۴۰- تا ۱۲۰ درجه سانتیگراد برای گوشه‌های مختلف پروسه ساخت نشان می‌دهد. مطابق این شکل حداکثر میزان تغییرات بهره در فرکانس ۰/۹گیگاهرتز در برابر تغییرات پروسه ساخت برابر ۳ دسی‌بل است.

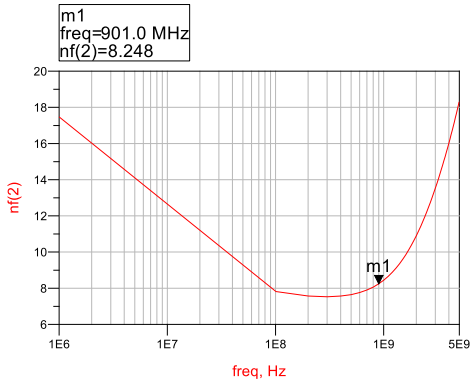


شکل ۱۳- نمودار بهره و ورودی در حوزه فرکانسی به‌صورت Sweep.

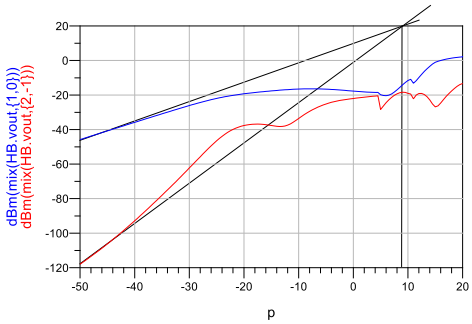


شکل ۱۴- نمودار بهره برای فرکانس کلاک ۰/۹ گیگاهرتز برای گوشه‌های مختلف پروسه ساخت.

شکل ۱۵ نمودار عدد نویز مدار پیشنهادی را نشان می‌دهد که مقدار آن برابر ۸/۲۴ دسی‌بل است. این نویز ناشی از نویزهای تقویت‌کننده LNA، مقاومت و سوییچ‌ها می‌باشد. مطابق شکل ۱۶، میزان خطینگی مدار با استفاده از روش برونیابی 9.2dBm بدست آمده است. نتایج نشان می‌دهد که نویز و خطینگی مدار پیشنهادی در حد قابل قبولی هستند.

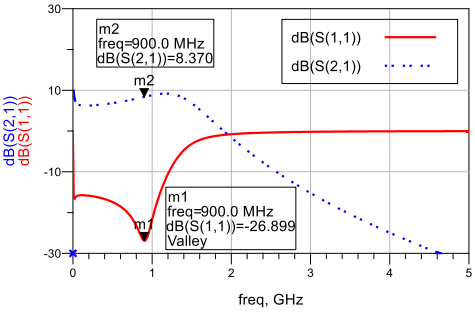


شکل ۱۵- نویز خروجی فیلتر پیشنهادی.



شکل ۱۶- خطینگی IIP3 فیلتر پیشنهادی.

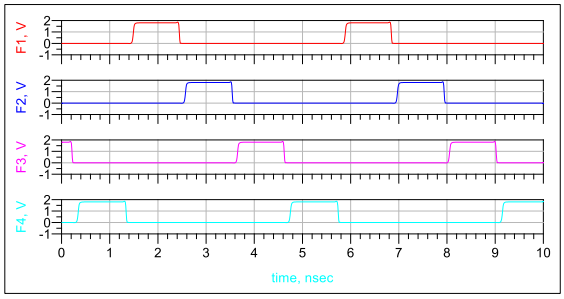
برای تطبیق امپدانس فیلتر چندمسیره از یک شبکه L-match استفاده شده است. این شبکه شامل یک سلف و یک خازن است. مطابق شکل ۱۷ تطبیق امپدانس ورودی در فرکانس کلاک ۰/۹ گیگاهرتز و پهنای‌باند ۲۰ مگاهرتز برابر با ۲۶/۹- دسی‌بل است که نشان‌دهنده بازتاب بسیار کم امواج ورودی به مدار است. بهره مدار در فرکانس کلاک ۰/۹ گیگاهرتز برابر با ۸/۳۷ دسی‌بل است که نشان‌دهنده توانایی مدار در تقویت قابل‌توجه سیگنال‌های ورودی است.



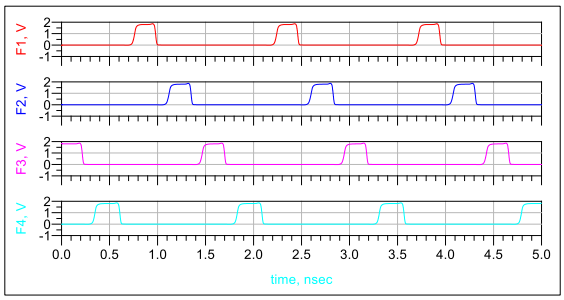
شکل ۱۷- نمودار پارامترهای S_{11} و S_{21} فیلتر پیشنهادی.

۴-۳- نتایج شبیه‌سازی تولید کلاک‌های چندفاز فیلترهای چندمسیره

فرکانس کلاک در این مدار قابل تنظیم بین ۰/۱ تا ۳ گیگاهرتز است. با افزایش فرکانس، خازن‌های پارازیتی موجود در ترانزیستورها بر لبه‌های سیگنال کلاک تأثیر می‌گذارند، اما عملکرد مدار در فرکانس‌های مختلف تقریباً یکسان باقی می‌ماند. دلیل این امر آن است که مدار از تعداد ترانزیستور، گیت و فلیپ‌فلاپ کمتری نسبت به مدارهای مشابه استفاده می‌کند و عملکرد آن به‌طور کامل توسط سیگنال کلاک کنترل می‌شود. شکل ۱۸، نمودار سیگنال‌ها را برای چرخه وظیفه ۲۵٪ ساعت‌های غیر همپوشانی در فرکانس ۰/۹ و ۲/۷گیگاهرتز را نشان می‌دهد.



(الف)



(ب)

شکل ۱۸- نمودار سیگنال برای چرخه وظیفه ۲۵٪ ساعت‌های غیر همپوشانی: (الف) فرکانس ۰/۹ گیگاهرتز و (ب) فرکانس ۲/۷ گیگاهرتز.

جدول ۶ عملکرد فیلتر چندمسیره میان‌گذر پیشنهادی را با دیگر فیلترها ارائه شده در مجلات مقایسه می‌کند. فیلتر پیشنهادی از نظر بهره، بازه فرکانسی، IIP3 و توان مصرفی عملکرد بهتری نسبت به سایر فیلترها دارد. با این حال، نویز خروجی فیلتر پیشنهادی در مقایسه با سایر فیلترها در حد متوسط است و در رنج مشابهی با آن‌ها قرار می‌گیرد. به‌طورکلی، فیلتر پیشنهادی از نظر پارامترهای کلیدی عملکرد مطلوبی دارد.

۵- نتیجه‌گیری

در این پژوهش، طراحی و شبیه‌سازی فیلتر چندمسیره میان‌گذر برای گیرنده فرکانس رادیویی با تمرکز بر بهبود عملکرد انجام شد. فیلتر چندمسیره پیشنهادی ارائه‌شده در این پژوهش، برای استانداردهای GSM و LTE با پهنای‌باند ۲۰ مگاهرتز طراحی و پیاده‌سازی شده است. این فیلتر از قسمت‌های مختلفی از جمله فیلتر چندمسیره ساده، تقویت‌کننده کم نویز و فیلتر پایین‌گذر Sallen-Key تشکیل شده است. در این فیلتر از سوییچ‌های با مقاومت ۱۶ اهم با استفاده از فنّاوری 180nm CMOS TSMC بهره گرفته شده است. دامنه بهره این فیلتر برای فرکانس‌های کلاک ۰/۹و ۲/۷ گیگاهرتز با دامنه ورودی ۰/۱ ولت به ترتیب ۶/۷- و ۱۵/۸۱- دسی‌بل است. تأثیر خازن‌های پارازیتی موجود در مدار بر پهنای‌باند آن ناچیز بوده و فقط باعث جابه‌جایی جزئی فرکانس مرکزی شده است. برای فرکانس کلاک ۰/۹ گیگاهرتز توان، نویز، مقدار IIP3، بهره نهایی و تطبیق امپدانس ورودی به ترتیب ۱۰ میلی وات، ۸/۲۴ دسی‌بل، ۹/۲ dBm، ۸/۳۷ دسی‌بل و ۲۶/۹- دسی‌بل به دست آمده است. در نهایت، از یک مولد ربعی دو بیتی برای تولید سیگنال‌های کنترلی فیلتر چهار مسیره و دستیابی به سیکل کاری ۲۵٪ استفاده شده است. فلیپ‌فلاپ‌های این مولد به‌صورت شمارنده جانسون به یکدیگر متصل شده‌اند. فلیپ‌فلاپ‌های نوع D به کار رفته از نوع TSPC با ۱۱ ترانزیستور هستند که تعداد ترانزیستور کمتری دارند. مهم‌ترین مشاهده این شد که در این مدار، فرکانس خروجی سیگنال‌ها با فرکانس LO خروجی برابر است.

جدول ۶- مقایسه فیلتر چندمسیره میان‌گذر پیشنهادی با دیگر فیلترهای چندمسیره.

مراجع	فناوری [nm]	فرکانس [GHz]	نویز [dB]	بهره [dB]	پهنای باند [MHz]	IIP3 [dBm]	منبع ولتاژ [V]	توان [mW]
[۶]*	۶۵	ذکر نشده	۲/۸	۵۵/۸	۴	-۸/۴ ~ -۶/۳	۱/۲|۲/۵	ذکر نشده
[۱۰]*	۶۵	۰/۰۵ ~ ۲/۵	۲/۹	۳۸	~ ۲۰ ۰/۳۵	۱۰	۱/۲	۲۰ (در ۲ GHZ)
[۱۱]*	۶۵	۰/۸ ~ ۱/۱	۵ - ۸/۶	-۴/۶ ~ -۳/۸	۳۰ ~ ۵۰	۲۴	ذکر نشده	۸۰ - ۹۷
[۱۲]*	۶۵	۰/۶ ~ ۰/۸۵	۸/۶	-۶/۲ ~ -۴/۷	۹ ~ ۱۵	۱۷/۵	ذکر نشده	۷۵ (در ۰/۷ GHZ)
[۱۶]*	۶۵	۰/۴ ~ ۱/۲	۱۰	۳/۵	۲۰	۲۹	۱/۲|۲/۵	۱۲/۸ ~ ۲۱/۴
[۲۶]*	۶۵	۰/۴ ~ ۱/۲	۱۰	ذکر نشده	۲۱	۲۹	۱/۲|۲/۵	۲۱/۴
[۲۷]*	۲۸	۰/۲ ~ ۲	۴/۳ ~ ۷/۶	۱۳	۱۸	۳۳/۳	۱/۲	۱۰۰
این مقاله	۱۸۰	۰/۱ ~ ۳	۸/۲۴	۸/۳۷	۲۰	۹/۲	۱/۸	۱۰

*اندازه گیری

مراجع

[1] C. T. Nguyen, “Integrated Micromechanical Radio Front Ends,” International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA), Hsinchu, pp. 3-4, 2008.

[2] P. V. Wright, “A review of SAW resonator filter technology,” IEEE Ultrasonics Symposium Proceedings, vol. 1, pp. 29-38, Oct. 1992.

[3] R. Ruby, P. Bradley, J. Larson, Y. Oshmyansky and D. Figueredo, “Ultra-miniature high-Q filters and duplexers using FBAR technology,” IEEE International Solid-State Circuits Conference. Digest of Technical Papers. ISSCC, San Francisco, CA, USA, pp. 120-121, 2001.

[4] R. C. Ruby et al., “High-Q FBAR filters in a wafer-level chip-scale package,” IEEE International Solid-State Circuits Conference. Digest of Technical Papers, San Francisco, CA, USA, vol.1, pp. 184-458, 2002.

[5] A. Ghaffari, E. A. M. Klumperink and B. Nauta, “Tunable N-Path Notch Filters for Blocker Suppression: Modeling and Verification,” in IEEE Journal of Solid-State Circuits, vol. 48, no. 6, pp. 1370-1382, June 2013.

[6] A. Mirzaei, H. Darabi and D. Murphy, “A Low-Power Process-Scalable Super-Heterodyne Receiver With Integrated High-Q Filters,” in IEEE Journal of Solid-State Circuits, vol. 46, no. 12, pp. 2920-2932, Dec. 2011.

[7] P. Karami, A. Banaeikashani, B. Behmanesh and S. M. Atarodi, “An N-Path Filter Design Methodology with Harmonic Rejection, Power Reduction, Foldback Elimination, and Spectrum Shaping,” IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 67, no. 12, pp. 4494-4506, Dec. 2020.

[8] M. Darvishi, R. van der Zee and B. Nauta, “Design of Active N-Path Filters,” in IEEE Journal of Solid-State Circuits, vol. 48, no. 12, pp. 2962-2976, Dec. 2013.

[9] Zh. Lin and Pui-In Mak, Rui P. Martins, “A 0.028mm2 11mW Single-Mixing Blocker-Tolerant Receiver with Double-RF N-Path Filtering, S11 Centering, +13dBm OB-IIP3 and 1.5-to-2.9dB NF,” ISSCC RF TX/RX Design Tech. Paper Continuations, pp. 36-38, Feb. 2015.

[10] J. W. Park and B. Razavi, “Channel Selection at RF Using Miller Bandpass Filters,” in IEEE Journal of Solid-State Circuits, vol. 49, no. 12, pp. 3063-3078, Dec. 2014.

[11] P. Song and H. Hashemi, “RF Filter Synthesis Based on Passively Coupled N-Path Resonators,” in IEEE Journal of Solid-State Circuits, vol. 54, no. 9, pp. 2475-2486, Sept. 2019.

[12] N. Reiskarimian and H. Krishnaswamy, “Design of all-passive higher-order CMOS N-path filters,” 2015 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), Phoenix, AZ, USA, 2015, pp. 83-86.

[13] Y. Xu and P. R. Kinget, “A Switched-Capacitor RF Front End With Embedded Programmable High-Order Filtering,” IEEE Journal of Solid-State Circuits, vol. 51, no. 5, pp. 1154-1167, 2016.

[14] L. E. Franks and I. W. Sandberg, “An alternative approach to the realization of network transfer functions: The N-path filter,” in The Bell System Technical Journal, vol. 39, no. 5, pp. 1321-1350, Sept. 1960.

[15] E. A. M. Klumperink, H. J. Westerveld and B. Nauta, “N-path filters and mixer-first receivers: A review,” IEEE Custom Integrated Circuits Conference (CICC), pp. 1-8, April 2017.

[16] A. Ghaffari, E. A. M. Klumperink, M. C. M. Soer and B. Nauta, “Tunable high-Q N-path bandpass filters: Modeling and Verification,” IEEE Journal of Solid-State Circuits, vol. 46, no. 5, pp. 998-1010, May 2011.

[17] E. Langer, “A new type of N-path N filters with two pairs of complex poles,” IEEE International Solid-State Circuits Conference. Digest of Technical Papers, Philadelphia, PA, USA, pp. 26-27, 1968.

[18] A. Mirzaei, H. Darabi and D. Murphy, “Architectural Evolution of Integrated M-Phase High-Q Bandpass Filters,” in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 59, no. 1, pp. 52-65, Jan. 2012.

[19] Lawrence P. Huelsman, Active and passive analog filter design: an introduction, McGraw-Hill, 1993.

[20] X. Gao, B. Nauta and E. Klumperink, “Advantages of Shift Registers Over DLLs for Flexible Low Jitter Multiphase Clock Generation,” IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 55, no. 3, pp. 244-248, 2008.

[21] D. Yang, H. Yuksel, A. Molnar, “A wideband highly integrated and widely : tunable transceiver for in-band full-duplex communication,” IEEE Journal of Solid-State Circuits, v. 50, n. 5, p. 1189–1202, 2015.

[22] J. Zhu, H. Krishnaswamy and P. R. Kinget, “Field-Programmable LNAs With Interferer-Reflecting Loop for Input Linearity Enhancement,” in IEEE Journal of Solid-State Circuits, vol. 50, no. 2, pp. 556-572, Feb. 2015.

[23] A. Mohammadpour, B. Behmanesh, S. M. Atarodi, “An N-Path Enhanced-Q Tunable Filter With Reduced Harmonic Fold Back Effects,” Circuits and Systems I: Regular Papers, IEEE Transactions on, vol. 60, no. 11, pp. 2867-2877, Nov. 2013.

[24] R. Eskandari, A. Ebrahimi and H. Faraji. “An area-efficient broadband balun-LNA-mixer front-end for multi-standard receivers,” Tabriz Journal of Electrical Engineering, vol. 51, no. 1, pp. 11-17, June 2021.

[۲۵] جواد چقایی، علی جلالی، جلیل مظلوم، «طراحی تقویت‌کننده کم‌نویز تفاضلی بدون سلف با افزایش‌دهنده فعال و غیرفعال برای رادیوشناختی»، مجله مهندسی برق دانشگاه تبریز، جلد ۵۰، شماره ۱، صفحات ۷۵-۸۵، خرداد ۱۳۹۹.

[26] M. Darvishi, R. van der Zee, E. A. M. Klumperink and B. Nauta, "Widely Tunable 4th Order Switched Gm-C Band-Pass Filter Based on N-Path Filters," in IEEE Journal of Solid-State Circuits, vol. 47, no. 12, pp. 3105-3119, Dec. 2012.

[27] S. Krishnamurthy and A. M. Niknejad, "Design and Analysis of Enhanced Mixer-First Receivers Achieving 40-dB/decade RF Selectivity," in IEEE Journal of Solid-State Circuits, vol. 55, no. 5, pp. 1165-1176, May 2020.